

장거리 드론 통신을 위한 저전력 협대역 433 MHz 송수신 IC

Low-Power Narrowband 433 MHz Transceiver IC
for Long-Range Drone Communication이기성^{*1} · 박동욱^{*,**2} · 변기륜^{*3} · 오태현^{*4} · 오혁준^{*5} · 어윤성^{*,**6}Gisung Lee^{*1} · Dongwuk Park^{*2} · Kiryun Byeon^{*3} · Taehyoun Oh^{*4} · Hyukjun Oh^{*5} · Yunseong Eo^{*,**6}

요 약

본 논문에서는 비가시권 장거리 드론 통신을 위한 협대역 RF 송수신기 IC를 설계 및 제작하였다. 수신기의 Low-IF 구조를 채택하여 DC 노이즈와 flicker 노이즈에 의한 영향을 줄였다. 제안된 송수신기는 0.18 μm CMOS 공정 기술을 이용하여 제작하였다. 측정 결과, 수신기의 최대 이득은 110 dB, 잡음 지수는 3.5 dB이다. 송신기의 최대 출력은 15.4 dBm이다. 전류 소모는 송신 모드(@ 0 dBm)에서 41.4 mW, 수신 모드에서 37.8 mW임을 확인하였다. 측정값을 기반한 링크 계산을 통해 20 km의 통신이 가능함을 입증하였다.

Abstract

This paper presents the design and implementation of a narrowband radio-frequency transceiver integrated-circuit for beyond visual range long-distance drone communications. The receiver adopts a low intermediate-frequency architecture to reduce the direct current and flicker noise effects. Fabricated in a 0.18 μm complementary metal-oxide semiconductor process, the receiver achieved a maximum gain of 110 dB and a noise figure of 3.5 dB. The transmitter provides an output power of up to 15 dBm. The power consumption was 41.4 mW and 37.8 mW in the transmit and receive modes, respectively. A 20 km communication range was verified by link calculations based on the measurement results.

Key words: Drone Communication, High Power Transmitter

I. 서 론

최근 다양한 드론 시장의 성장과 함께 드론의 데이터 링크 및 통신을 위한 기술이 필요해졌다^{[1][2]}. 많은 드론이 Wi-Fi와 같은 상용 통신 방식을 이용하고 있으나, 이는 최

대 수백 m 이상의 통신 거리 지원이 불가능하고 드론에 최적화되지 않아 전력 소모가 크다^[3]. 이러한 문제를 해결하기 위해 최근 433 MHz 대역을 이용한 드론 응용 통신 기술이 개발되고 있으며, 최대 20 km 이상의 통신거리와 저전력 구현이 가능하다. 본 논문은 이러한 기술 흐름에 맞추어,

「이 연구는 과학기술정보통신부가 지원하고 한국연구재단(NRF)이 수행하는 연구사업(No.NRF-2021M1B3A3102380)의 지원을 받아 수행되었음.」

「이 연구는 산업통상자원부가 지원하고 한국산업기술평가관리원(KEIT)이 수행하는 연구사업(No. 20023667)의 지원을 받아 수행되었음.」

*광운대학교 전자공학과(Department of Electronic Engineering, Kwang-woon University)

**실리콘알앤디(주) (Silicon R&D Co. Ltd.)

1 : 석사과정(<https://orcid.org/0009-0007-7136-6105>), 2 : 박사과정(<https://orcid.org/0000-0003-0782-534X>)

3 : 석사과정(<https://orcid.org/0000-0002-2960-3919>), 4 : 교수(<https://orcid.org/0000-0002-6574-0590>)

5 : 교수(<https://orcid.org/0009-0004-1937-0447>), 6 : 교수(<https://orcid.org/0000-0003-4508-6672>)

· Manuscript received 20 December 2024 ; Revised 3 February, 2025 ; Accepted 19 February, 2025. (ID No. 20241220-004S)

· Corresponding Author: Yunseong Eo (e-mail: yseo71@kw.ac.kr)

433 MHz에서 드론 통신에 적합한 협대역 통신을 위한 장거리 고집적 저전력 RF 송수신 IC를 보여주고자 한다.

본 논문은 다음과 같이 구성되어 있다. II장에서는 RF 송수신기 구조와 회로 설계에 대해 설명하고, III장에서는 측정 결과를 제시하고, IV장에서는 결론을 작성하였다.

II. 송수신기 구조 및 회로설계

2-1 RF 송수신기 구조 설계

수신기의 경우, 수백 kHz 수준의 협대역 특성에 따라 DC 노이즈와 Flicker 노이즈가 신호 대역에 미치는 영향이 커서, 기저대역 최종 출력에서 신호 대 잡음비(SNR, signal-to-noise ratio)가 상당히 열화되는 현상이 발생한다. 이를 피하기 위해 기저대역 신호를 DC로부터 낮은 IF 주파수만큼 이동시켜, DC 인근의 잡음들로부터 자유로운 Low-IF 수신기 구조를 채택하였다. 수신 대역폭은 12 kHz에서 400 kHz까지 대응할 수 있도록 대역폭을 400 kHz, IF 주파수는 400 kHz로 설계하였다. ADC(analog-to-digital converter)는 2배 oversampling을 적용하여 최대 신호 대역인 600 kHz의 4배인 2.4 MHz 속도로 샘플링하도록 설계하였다. FSK/GFSK/4FSK 변조 신호 통신을 위해서는 약 12 dB의 SNR이 필요하며, 이를 기반으로 20 km 이상의 통신이 가능하도록 시스템 버짓을 설계한다. 400 kHz의 대역폭 통신이 20 km에서 가능하려면, 출력전력은 15 dBm 이상, 수신기 잡음지수는 4 dB 이하이어야 하며, -102 dBm 수준의 감도를 확보하기 위해 마진을 고려하여 수신기 전체 이득을 100 dB 이상이 되도록 설계하였다. ADC의 경우, 40 dBc 수준의 인접 채널 간섭신호인 ACI(adjacent channel interference)를 제거하기 위해 비교적 고해상도인 12 bit의 저전력 SAR(successive approximation-register) ADC 구조로 설계하고자 한다. 송신기 구조의 경우 직접 변환 방식(direct conversion)을 선택하였다. 그림 1은 설계된 전체 RF 송수신기 구조를 보여주고 있다. 설계된 칩은 low-IF 수신기, 직접 변환 송신기, 그리고 주파수 합성기로 구성되어 있다.

2-2 수신기 회로 설계

수신부 RFFE(RF front end)는 S2D(single to differential),

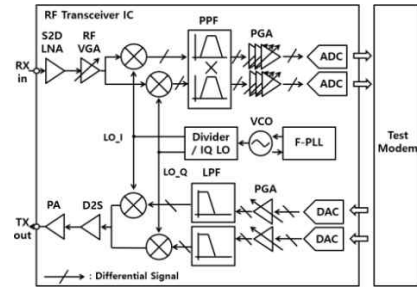


그림 1. 433 MHz 드론 통신 RFIC 구조

Fig. 1. 433 MHz drone comm RFIC block diagram.

LNA(low noise amplifier), RF VGA(variable gain amplifier), passive mixer와 결합된 TIA(transimpedance amplifier)로 구성되어 있다. S2D LNA는 CGCS 구조를 사용하여 단일 입력을 차동으로 변환하며, noise cancelling을 통해, 낮은 잡음 지수를 확보하였다. 출력단에서는 부하 저항을 가변하여 이득을 조정함으로써 동적 범위(dynamic range)를 개선하였다. RF VGA는 공통 소스(common-source) 증폭기 구조를 사용하였고, shunt 부하 저항을 가변하여 이득을 조정할 수 있도록 설계하였다. Mixer는 선형성이 높은 passive mixer를 사용하였고, 부족한 이득은 뒷단에 TIA를 결합하여 보완하였다. LO buffer는 비교적 낮은 전류로 동작이 가능한, push-pull 타입의 buffer를 사용하였다.

수신부 BBA(base band analog)는 PPF(poly phase filter)와 3단 PGA(programmable gain amplifier)로 구성되어 있다. RFFE 단의 높은 이득으로 인접 채널 주파수가 증폭되어서 발생하는 신호 포화 현상을 막기 위해, PPF를 PGA 앞단에 배치하였다. PPF는 인접 채널 효과를 효과적으로 차단하기 위해 roll-off 특성이 좋은 4차 Chebyshev filter를 사용하며, 통과 대역폭과 중심 주파수를 조정할 수 있다. PGA는 op-amp 기반의 반전 증폭기로, feedback 저항 스위칭을 통해 이득을 가변할 수 있다. 3단 PGA의 첫 두 단은 5 dB step 이득 가변이 가능하고, 마지막 단은 1 dB step 이득 가변이 가능하다. BBA단의 잡음지수는 최대이득에서 36.7 dB이다. 각 증폭단에는 DCOC(DC offset cancellation) 루프를 추가하여 DC offset 전압을 상쇄하였다.

ADC는 강력한 인접 채널 신호와 원하는 신호를 구별해 주기 위해 12 bit의 SAR ADC로 설계하였다. 시뮬레이션을 통해서, 2.4 MHz 샘플링 clock에서 64 dB SNR와

66.7 dB SFDR을 확인하였다.

2-3 송신기 회로 설계

송신부 RFFE는 직접 변환 I/Q 구조로, DAC(digital-to-analog converter), PGA, LPF(low pass filter), active mixer, D2S(differential to single) amp, PA(power amplifier)로 구성되어 있다. 제일 앞단에는 8 bit-current steering DAC가 신호를 생성하여 출력한다. 송신기 스펙트럼 마스크 제한을 맞추기 위해서, DAC 다음 단에는 LPF를 연결하여, DAC에 디지털 동작으로 발생하는 원치 않는 spur 신호들을 제거한다. LPF는 2차 Tow-Thomas 필터로, 능동 RC회로를 사용한다. 그 뒤에 1 dB step으로 총 16 dB의 가변 범위를 가진 PGA를 배치하였다. Up-conversion mixer는 선형적인 증폭을 위해 기저대역 입력단에 resistive degeneration 기법을 사용하고, current mirror amplifier를 배치하여, 전압 신호 증폭 시, MOSFET에서 생길 수 있는 왜곡들을 완화하였다. Mixer의 부하 단은 active load를 사용하여 LC tank 없이 이득을 최대화했다. D2S buffer는 PMOS와 NMOS를 결합하여 push pull 증폭기로 설계하였다. 그림 2는 offchip inductor와 capacitive load를 사용한 PA의 구조를 보여준다. 입력단과 출력단의 isolation 특성이 좋은 cascode 구조를 사용하였고, 15 dBm 이상의 높은 출력으로 인한 출력단 MOSFET의 breakdown을 막기 위해서, common gate 단의 MOSFET을 oxide 두께가 두꺼운 NMOS를 사용하였다. bias point는 class B에 맞추어 설계하여, 전력 효율을 높였다. common source 단은 입력 전압 스위칭을 통해서, 이득 가변이 가능하도록 설계하였다.

2-4 Fractional - N 주파수 합성기 설계

그림 3은 설계된 주파수 합성기 구조이다. PLL에서 나온 신호가 divider와 MUX(multiplexer)를 거쳐 출력된다. MUX를 통해 % 2, % 4, % 8 divider 신호 중 하나를 선택할 수 있어, 다양한 대역의 통신 지원이 가능하다. VCO(voltage-controlled oscillator)는 CMOS cross-coupled pair LC VCO 구조로 설계하였고, 발진 주파수 범위는 1.6 GHz에서 2.4 GHz이다. charge pump의 스위칭 잡음 제거와 적절한 phase margin 확보를 위해 루프 필터는 3차 저대역통과 필터로 설계하였다. 시뮬레이션을 통해 확인된

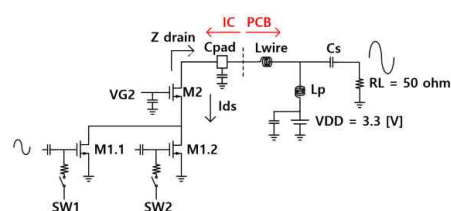


그림 2. 전력 증폭기 회로도
Fig. 2. Schematic of power amplifier.

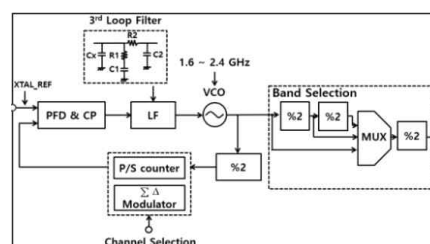
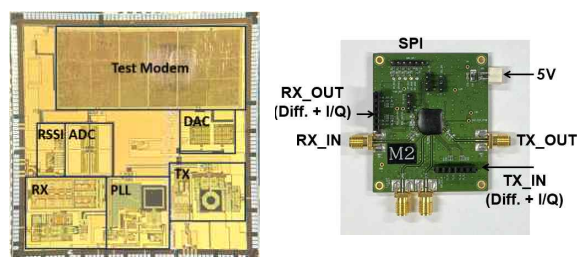


그림 3. 주파수 합성기 블록도
Fig. 3. Block diagram of frequency synthesizer.

PLL의 루프 대역폭은 200 kHz, lock time은 35 μ s, 주파수 해상도는 585.9 Hz이다. PLL의 총 전류소모는 LO buffer를 포함하여 12.2 mA이다.

III. 측정 결과

장거리 드론 통신 RF 송수신기 IC는 0.18 μm CMOS 공정에서 설계되었다. 그림 4는 제작된 IC와 테스트 보드의 사진이다. IC 크기는 $5 \times 5 \text{ mm}^2$ 이다. 1.8 V 전압 기준, 수신기는 21 mA를 소모하고, 송신기는 0 dBm 출력 시 23 mA를 소모하며, 최대 출력 시 3.3 V에서 25 mA를 추가로



(a) 드론 통신 RFIC 사진 (b) 드론 통신 RFIC 시험 보드
(a) Photograph of Drone (b) Test board for Drone
Communication RFIC communication RFIC

그림 4. 드론 통신 RFIC와 시험 보드
Fig. 4. Drone communication RFIC and test board.

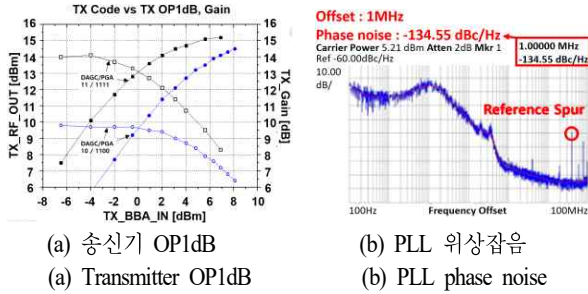


그림 5. 드론 통신 RFIC 측정결과

Fig 5. Measurement result of drone communication RFIC.

소모한다. 수신기는 RF와 BBA 이득 제어를 통해 17.5 dB에서 110 dB까지 제어가 가능하다. 수신기 잡음지수는 최대 이득에서 3.5 dB이며, 측정된 IIP3는 LNA 저이득 모드에서 -28.5 dBm이다. 그림 5(a)는 송신기 OP1dB를 측정 한 그래프이다. 최대 15.4 dBm까지 출력이 가능하며, OP1dB는 13 dB이다. 그림 5(b)는 PLL phase noise를 측정 한 그래프로, 1 MHz offset에서, -134.55 dBc/Hz를 확인하였다. 20 km에서의 111.2 dB 링크 손실과 0 dBi의 안테나 이득을 고려할 때, 수신기에서 최종 SNR은 18.14 dB로, 목표인 SNR 12 dB를 충분히 만족한다. 표 1은 sub-GHz 대역의 다른 RF 송수신기와의 성능 비교표이다^{[4]~[7]}.

IV. 결론

장거리 드론 통신을 위한 433 MHz CMOS RF 송수신기 IC가 제안되었으며, 0.18 μ m RF CMOS 공정으로 구현되었다. 협대역 수신기 설계를 위해 Low-IF 수신기 구조가 채택되었고, 전력 증폭기는 최대 15.4 dBm 출력이 가능하다. 주파수 합성기는 다중 대역을 지원 가능하도록 설계하였다.

References

[1] G. Wang, B. Lee, and J. Y. Ahn, "Trends in communica-

tion and security technologies for drone-based wireless sensor networks," *Electronics and Telecommunications Trends*, vol. 34, no. 3, pp. 55-64, Jun. 2019.

- [2] K. H. Lee, M. Oh, and J. Kim "Study on practical design of datalink in interoperable UAV systems," *Journal of the Korea Institute of Military Science and Technology*, vol. 27, no. 1, pp. 51-59, Feb. 2024.
- [3] M. Oba, E. Okada, A. Tachibana, K. Takahashi, and M. Sagisaka, "A low-power single-chip transceiver for 169/300/400/900 MHz band wireless sensor networks," in *2014 IEEE Asian Solid-State Circuits Conference*, KaoHsiung, Nov. 2014, pp. 13-16.
- [4] J. van Sinderen, G. W. de Jong, F. Leong, X. He, M. Apostolidou, and H. K. Subramaniyan, et al., "Wideband UHF ISM-band transceiver supporting multichannel reception and DSSS modulation," in *2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers*, Francisco, CA, Feb. 2013, pp. 454-455.
- [5] S. Huang, M. Lin, R. Wang, Z. Chen, and Y. Dong, "A 400MHz single-chip CMOS transceiver for long range high definition video transmission in UAV application," *Chinese Journal of Electronics*, vol. 29, no. 3, pp. 554-562, May. 2020.
- [6] S. Son, J. Kang, and K. Park, "Overview and issues of drone wireless communication," *Journal of The Korean Institute of Communication Sciences*, vol. 33, no. 2, pp. 93-99, 2016.
- [7] Z. Song, B. Chi, "Two 180nm CMOS wireless transceivers for IoT applications," in *2016 URSI Asia-Pacific Radio Science Conference(URSI AP-RASC)*, Seoul, Aug. 2016, pp. 1000-1002.