

무전해 니켈-금 표면처리가 위상천이기의 전송손실에 미치는 영향 분석

Effect of ENIG Surface Finish to Insertion Loss on Reflective Type Phase Shifter

최재성 · 정재영*

Jae-Sung Choi · Jae-Young Chung*

요약

본 논문에서는 인쇄회로기판 제작에 사용되는 무전해 니켈-금 표면처리 공정이 반사형 위상천이기의 전송손실에 미치는 영향을 분석하였다. 반사형 위상천이기는 단락 선로에 설치된 가변커패시터를 제어함으로써 출력 위상을 변화시키는 구조로 크기가 작으면서도 높은 위상변화 폭과 낮은 전송손실을 보이는 장점이 있다. 하지만 제작된 반사형 위상천이기 시료의 전송손실이 예상보다 큼을 확인하고 이를 분석하고자 무전해 니켈-금 표면처리 층을 전자파 시뮬레이션에 반영하여 분석하였다. 무전해 니켈-금 표면처리를 하지 않은 시뮬레이션 모델과 표면처리를 한 측정 모델의 전송손실이 3 GHz에서 2.9 dB의 차이가 발생한 반면, 표면처리를 반영한 모델은 그 차이가 1 dB로 줄어들었다.

Abstract

This paper presents a reflective-type phase shifter (RTPS) and the effect of an electroless nickel immersion gold (ENIG) surface finish on its insertion loss. The former is commonly used in transmit- and reflect-array designs for electrical beam steering. Its design is simple and robust, providing a high phase shift and low insertion loss. However, if proper attention is not paid to the surface finish applied on copper traces, higher-than-expected insertion losses can occur. This was demonstrated through simulations, which were compared with measurement results. Originally, there was a 2.9 dB difference in the insertion loss values between the simulation and measurement results for an S-band RTPS. After applying the ENIG layer to the simulations, the difference was reduced to 1.0 dB.

Key words: Phase Shifter, Surface Finish, ENIG, Insertion Loss

I. 서론

감시/정찰 전투체계의 핵심 장비인 레이다는 지상, 해수면, 나무, 새때 등 복잡한 클러터 환경에서도 탐지확률이 높아야 한다. 이를 위해 전자적으로 빔조향이 가능한 배열 안테나 기술이 필수적이다. 위상 배열 안테나(phased

array antenna)는 배열을 구성하는 각각의 단위 안테나에 급전되는 전류의 위상을 조절함으로써 특정 방향으로 방사에너지를 조향한다^[1]. 이렇게 위상 조절을 가능케 해주는 주요 소자는 RF 전치단(RF-front-end)의 위상천이기(phase shifter)이다. 다양한 위상천이기 설계 방법 중 반사형 위상천이기(RTPS, reflective type phase shifter)는 단락

「이 논문은 2022년 정부(방위사업청)의 재원으로 국방기술진흥연구소의 지원을 받아 수행된 연구임(KRIT-CT-23-005).」

서울과학기술대학교 전기정보공학과(Department of Electrical and Information Engineering, Seoul National University of Science and Technology)

· Manuscript received January 2, 2025 ; Revised February 17, 2025 ; Accepted February 20, 2025. (ID No. 20250102-007S)

· Corresponding Author: Jae-Yonung Chung (e-mail: jychung@seoultech.ac.kr)

선로에 설치된 가변커패시터(varactor)를 제어함으로써 출력 위상을 변화시키는 구조로 크기가 작으면서도 높은 위상변화 폭과 낮은 전송손실을 보이는 장점이 있다^{[2],[3]}.

본 논문에서는 4개의 가변커패시터를 사용하는 2단 RTPS를 인쇄회로기판(PCB, printed circuit board)에 구현하는데 있어 표면처리 마감공정이 위상천이기의 전송손실(transmission loss)에 미치는 영향을 분석하였다. 반사형 위상천이기에 대한 많은 연구가 이루어졌음에도 PCB 표면처리에 의한 성능변화가 보고된 경우는 드물다. PCB에 인쇄된 금속(구리)의 산화 및 오염 방지, 납땜 연결 강화 등을 위해 표면처리는 필수적인 공정이다. 표면처리 종류에는 HASL(hot air solder leveling), OSP(organic solderability preservative), ENIG(electroless nickel immersion gold) 등이 있다^{[4],[5]}. 이 중 무전해 니켈-금 표면처리 기법인 ENIG는 공정비용이 높으나 고밀도 선로 구현과 via 홀 작업 유리하며 보관 수명이 길다. 본 논문에서는 3 GHz에서 동작하는 RTPS에 ENIG를 적용함에 따른 전송손실의 변화를 전자파 시뮬레이션과 시제품 측정을 통해 관찰하고 분석하였다.

II. 반사형 위상천이기(RTPS)

그림 1은 2개의 가변커패시터를 이용하여 S-대역에서 동작하도록 설계한 1단 RTPS의 도면이다. 가변커패시터는 단락된 부하(reflective load)로부터 5 mm 떨어진 곳에 위치하며 90° 하이브리드 커플러(quadrature hybrid coupler)에 연결되어 있다. 이를 통해 반사된 전파가 입

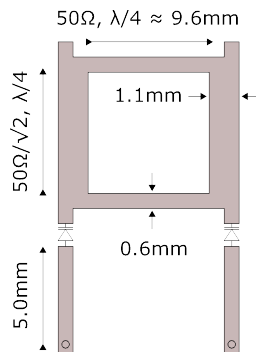


그림 1. 1단 반사형 위상천이기 구조

Fig. 1. Geometry of 1-stage RTPS.

력단에서 180° 위상차를 가져 상쇄되고, 출력단에서는 같은 위상을 가져 더해진다. 가변커패시터에 인가되는 전압(bias voltage)을 제어함에 따른 반사계수의 위상변화는 식 (1)과 같이 나타낼 수 있다.

$$\Gamma = \frac{Z_{RL} + Z_0}{Z_{RL} + Z_0} = \frac{R_{RL} + jX_{RL} - Z_0}{R_{RL} + jX_{RL} + Z_0} = \frac{R_{RL} + j\left(\omega L_{RL} - \frac{1}{\omega C_V}\right) - Z_0}{R_{RL} + j\left(\omega L_{RL} - \frac{1}{\omega C_V}\right) + Z_0} \quad (1)$$

이때 ω 는 각주파수, Z_0 는 전송선로의 임피던스(50 Ω)이며, R_{RL} 과 L_{RL} 은 단락부하의 저항과 인덕턴스로 인가전압과 상관없는 상수로 간주된다. 반면에, C_V 는 인가전압에 의해 변하는 가변커패시터 커패시턴스이다.

위와 같은 1단 RTPS만으로는 고기능 위상 배열 안테나에서 요구되는 360° 이상의 위상변화폭을 만족할 수 없기에 1단 RTPS 2개를 직렬 연결한 2단 RTPS를 설계하였다^[3]. 상용 전자파 시뮬레이션 소프트웨어인 Ansys HFSS[®]을 이용하여 설계하였으며 소형화를 위해 고유전율 기판(Taconic RF-10, 비유전율 $\epsilon_r=10.2$, 손실탄젠트 $\tan\delta=0.0025$, 두께=0.635 mm)을 사용하였다. 가변커패시터는 Macom사의 MAVR 시리즈를 사용하였다. 이 가변커패시터는 인가전압이 0~12 V로 바뀔 때 따라 커패시턴스가 1.1~0.2 pF로 변화하는 특성을 가지고 있다. 그림 2는 제작된 2단 RTPS를 보여주고 있다.

III. 무전해 니켈-금 표면처리(ENIG)

그림 3은 ENIG 표면처리된 구리선로를 도식한 것이다. 구리선로 위의 니켈층(Ni)은 구리표면의 산화 및 납땜 작업 중의 열에 인한 훼손을 방지한다. 니켈층 위의 얇은 금도금층(Ag)은 니켈층을 보호함과 동시에 납 부착력을 제고하기 위함이다^[4]. 2단 RTPS의 제작에 적용한 각 층의 두께는 $t_C=17.5 \mu\text{m}$, $t_N=3 \mu\text{m}$, $t_A=0.03 \mu\text{m}$ 이다. 니켈층과 금도금층의 두께는 구리층의 두께와 PCB 제작사 장비의 공정 신뢰도를 고려하여 설정하였다. 각 층의 두께와 물성(도전율)값을 기반으로 ENIG 표면처리를 전자파 시뮬레이션 계산값에 반영할 수 있

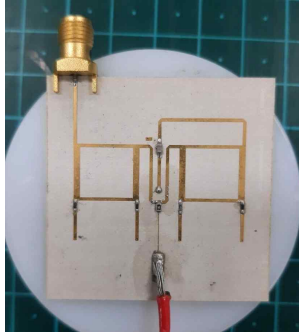


그림 2. 제작된 2단 반사형 위상천이기
Fig. 2. Fabricated 2-stage reflective type phase shifter.

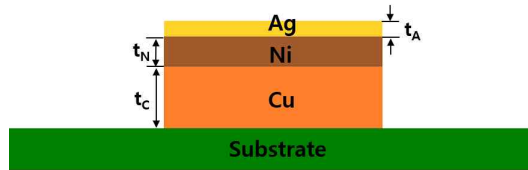


그림 3. ENIG 표면처리된 구리선로
Fig. 3. ENIG layer composition on copper trace.

다. 하지만 파장대비 얇은 층의 정확한 해석을 위해 mesh크기를 작게 설정하면 해석 시간이 급격하게 증가한다. 반면에 Ansys HFSS에서 제공하는 ‘layerd impedance boundary’ 기능을 사용하면 적층구조의 유효임피던스 계산을 통해 해석 효율성을 높일 수 있다.

IV. 측정결과 및 분석

ENIG 표면처리된 2단 RTPS 테스트 시료(그림 2)를 벡터회로망분석기(Anritsu MS2038C)에 연결하여 반사계수(S_{11})와 전송계수(S_{21})를 측정하였다. 4개의 가변커패시터를 제어하기 위해 직류(DC, direct current) bias 선로를 연결하고 bias 전압을 0~12 V 범위에서 1 V 단위로 변화시키면서 2~4 GHz 주파수 대역에서의 S_{11} 과 S_{21} 을 관찰하였다. 선로 상에 인덕터와 커패시터를 배치하여 DC 전류와 고주파 전류가 격리되도록 하였다.

표 1은 중심주파수에서 bias 전압을 조정함에 따른 S_{11} 과 S_{21} 의 크기와 위상 측정값을 정리한 것이다.

Bias 전압 변화에 따라 가변커패시터의 커패시턴스가 바뀌어 S_{11} 과 S_{21} 응답이 변화하였다. S_{11} 의 크기는 모든

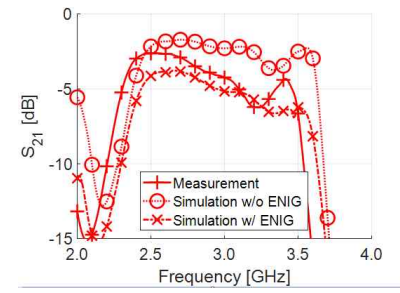
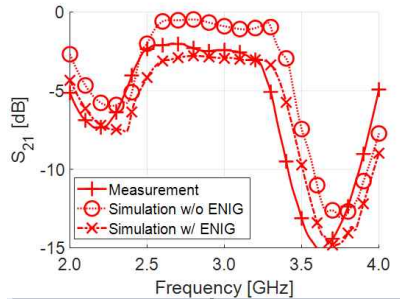
bias 전압값에서 -10 dB 이하를 보여 RTPS의 임피던스 매칭이 잘 이루어졌음을 알 수 있다. S_{21} 의 위상 관찰 결과, 0~12 V bias 전압 조정에 따라 최대 436도의 위상 변화가 가능하다. S_{21} 크기를 통해 전송손실을 관찰한 결과, bias 전압값이 1V일 때 최대 5 dB의 전송손실을 보였다. 가변커패시터의 특성 상 낮은 bias 전압값에서 위상변화가 급격히 변하는 비선형성이 존재하여 추가적인 손실이 발생하더라도 시뮬레이션을 통해 예측했던 값보다 3 dB 정도 큰 값이다. 높은 bias전압값(예: 4 V 이상)에서도 예상보다 큰 2.2 dB 이상의 전송손실을 보였다.

이러한 높은 전송손실의 원인을 분석하고자 3장에서 언급한 대로 시뮬레이션 모델에 layered impedance boundary 기능을 적용하여 ENIG 표면처리 영향성을 조사하였다. 그림 4(a)와 그림 4(b)는 2~4 GHz 주파수 대역에서 S_{21} 크기의 측정값과 시뮬레이션값을 비교한 것으로, 2개의 시뮬레이션값 중 하나는 ENIG 표면처리를 반영한 것, 다른 하나는 반영하지 않은 것이다. 그림 4(a)와 그림 4(b)는 각각 bias 전압값이 0 V와 12 V인 경우이다.

그래프에서 볼 수 있듯이 측정된 S_{21} 크기와 ENIG를 고려하지 않은 시뮬레이션 S_{21} 크기는 큰 차이를 보인다. 예를 들어, 그림 4(a)와 그림 4(b)의 경우 3 GHz에서 2.9

표 1. Bias 전압에 따른 S-parameter 측정값
Table 1. S-parameter measured data by varying bias voltages.

Bias (V)	S_{11} (dB)	S_{21} (dB)	$\angle S_{21}$ (deg)
0	-15.6	-4.4	0
1	-12.5	-5.0	86
2	-21.8	-3.6	224
3	-23.6	-2.6	311
4	-17.0	-2.3	356
5	-14.6	-2.2	382
6	-13.4	-2.3	399
7	-12.6	-2.3	411
8	-12.1	-2.3	418
9	-11.7	-2.3	425
10	-11.4	-2.3	429
11	-11.2	-2.3	433
12	-11.0	-2.4	436

(a) S_{21} magnitude at bias voltage 0 V(b) S_{21} magnitude at bias voltage 12 V그림 4. S_{21} 의 측정값과 시뮬레이션값 비교Fig. 4. Comparison of measured and simulated S_{21} .

dB와 2.0 dB 차이를 보인다. 하지만 시뮬레이션에 ENIG를 반영한 경우 그 차이가 1.0 dB, 0.6 dB로 줄어들었다. 이렇게 ENIG 표면처리에 의해 전송손실이 증가하는 이유는 니켈 층의 상대적으로 낮은 도전률($\sigma=1.43 \times 10^7$)과 표면효과(skin effect)에 의한 저항성분의 증가 때문이다^[5]. 그러므로 마이크로파 대역 위상천이기 제작 시 ENIG 사용을 지양하고 금 또는 은을 보호층으로 사용하는 EPIG(electroless palladium immersion gold), ISIG(immersion silver immersion gold) 등의 표면처리 기법을 사용하는 것이 바람직하다.

V. 결 론

본 논문에서는 PCB 제작과정 중 마감 프로세스인 표

면처리가 고주파 회로의 전송손실에 미치는 영향을 분석하기 위해 ENIG 표면처리가 반영된 2단 반사형 위상천이기 시료의 측정값과 시뮬레이션값을 비교하였다. 그 결과 S-대역에서 측정한 S_{21} 의 크기가 시뮬레이션 값에 비해 2.9 dB 낮음을 확인하였다. 전자파 시뮬레이션 소프트웨어의 layered impedance boundary 기능을 사용하여 ENIG 층을 반영함으로써 ENIG층에 의한 추가적인 전송손실을 예측하였다.

References

- [1] W. L. Stutzman, G. A. Thiele, *Antenna Theory and Design*, 3rd ed. Hoboken, NJ, John Wiley & Sons, pp. 320-325, 2012.
- [2] F. Burdin, Z. Iskandar, F. Podevin, and P. Ferrari, "Design of compact reflection-type phase shifters with high figure-of-merit," *IEEE Transactions on Microwave Theory and Techniques*, vol. 63, no. 6, pp. 1883-1893, Jun. 2015.
- [3] C. Huang, W. Pan, X. Ma, B. Zhao, J. Cui, and X. Luo, "Using reconfigurable transmitarray to achieve beamsteering and polarization manipulation applications," *IEEE Transactions on Antennas and Propagation*, vol. 63, no. 11, pp. 4801-4810, Nov. 2015.
- [4] X. Wu, D. Cullen, G. Brist, and O. M. Ramahi, "Surface finish effects on high-speed signal degradation," *IEEE Transactions on Advanced Packaging*, vol. 31, no. 1, pp. 182-189, Feb. 2008.
- [5] P. Seiler, D. Plettmeier, "Measurement of PCB surface finishes for substrate characterization up to 67 GHz," in *2018 IEEE International Symposium on Antennas and Propagation & USNC/URSI National Radio Science Meeting*, Boston, MA, Jan. 2018, pp. 1059-1060.

최 재 성 [서울과학기술대학교/석사과정]

<https://orcid.org/0009-0006-2760-6223>



2025년 2월: 서울과학기술대학교 전기정보
공학과 (공학사)

2025년 3월~현재: 서울과학기술대학교 전
기정보공학과 석사과정

[주 관심분야] EMI, EMC, 안테나 설계

정 재 영 [서울과학기술대학교/교수]

<https://orcid.org/0000-0002-0982-6066>



2002년 2월: 연세대학교 전기공학과 (공학
사)

2002년 6월~2004년 6월: 모토로라 코리아
연구원

2007년 3월: 미국 오하이오주립대 전기 및
컴퓨터공학과 (공학석사)

2010년 6월: 미국 오하이오주립대 전기 및
컴퓨터공학과 (공학박사)

2010년 6월~2012년 8월: 삼성전자 책임연구원

2012년 9월~현재: 서울과학기술대학교 전기정보공학과 교수

[주 관심분야] 전자파 측정, 안테나 설계