

DC-8 GHz 대역 4 비트 스위치형 감쇄기 설계

Design of DC - 8 GHz Band 4-Bit Switched-Type Attenuator

박종성¹ · 임정택² · 이재은³ · 송재혁⁴ · 손정택⁵ · 김준형⁶ ·백민석⁷ · 이병찬⁸ · 김일훈⁹ · 이은규¹⁰ · 김철영¹¹Jong-Seong Park¹ · Jeong-Taek Lim² · Jae-Eun Lee³ · Jae-Hyeok Song⁴ · Jeong-Taek Son⁵ ·
Joon-Hyung Kim⁶ · Min-Seok Baek⁷ · Byeong-Chan Lee⁸ · Ilhun Kim⁹ · Eun-Gyu Lee¹⁰ · Choul-Young Kim¹¹

요 약

본 논문에서는 DC-8 GHz 대역에서 동작하는 4 비트 스위치형 감쇄기를 설계하였다. 감쇄기는 검증을 위해 28-nm bulk CMOS 공정을 이용하여 제작되었다. 설계된 감쇄기는 스위치 T/ π 형 구조를 사용하였으며, 크기를 줄이기 위해 0.5 dB 비트는 간소화된 π 형 회로를 적용하였다. 또한, 입출력 매칭을 향상시키기 위해 0.5 dB 비트와 1 dB 비트 사이에 인덕터를 추가하였다. 주파수 대역인 DC-8 GHz에서 측정된 입출력 반사 손실은 11.45 dB 이상이며, 삽입 손실은 2.69 dB 이하이고, 측정된 RMS 이득 오차는 0.64 dB 이하이며, RMS 위상 오차는 1.42° 이하이다. RF 및 DC 패드를 제외한 감쇄기의 실제 크기는 0.236×0.146 mm²이다.

Abstract

This paper presents the design of a 4-bit switched attenuator operating in the frequency range of DC to 8 GHz band. The attenuator is fabricated using a 28-nm bulk CMOS process for verification. The designed attenuator employs switched T-type and π -type structures, with a simplified π -type circuit to reduce size for the 0.5 dB bit. Additionally, an inductor is added between the 0.5 dB bit and the 1 dB bit to improve input and output matching. Measured input and output return loss in the frequency band of DC to 8 GHz is greater than 11.45 dB, insertion loss is less than 2.69 dB, the measured RMS gain error is less than 0.64 dB, and the RMS phase error is less than 1.42°. The actual size of the attenuator, excluding the RF and DC pads, is 0.236×0.146 mm².

Key words: DC-8 GHz, Bulk CMOS, Simplified π -Type Attenuator, Millimeter Wave Communication System

「본 과제는 2024년도 교육부의 재원으로 한국연구재단의 지원을 받아 수행된 지자체-대학 협력기반 지역혁신 사업의 결과입니다(2021RIS-004).」

「이 성과는 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. RS-2024-00337763).」

충남대학교 전자공학과(Department of Electronic Engineering, Chungnam National University)

1: 석사과정(<https://orcid.org/0009-0007-5828-499X>), 2: 박사과정(<https://orcid.org/0000-0002-2698-6942>),

3: 석 · 박사통합과정(<https://orcid.org/0000-0001-6616-6503>), 4: 박사과정(<https://orcid.org/0000-0003-3736-2753>),

5: 석 · 박사통합과정(<https://orcid.org/0000-0003-4794-5813>), 6: 석 · 박사통합과정(<https://orcid.org/0000-0002-6873-9034>),

7: 석 · 박사통합과정(<https://orcid.org/0000-0002-3651-4498>), 8: 석사과정(<https://orcid.org/0009-0001-9103-5836>),

9: 석사과정(<https://orcid.org/0009-0000-7545-1576>), 10: 박사후 연구원(<https://orcid.org/0000-0002-3835-2226>),

11: 교수(<https://orcid.org/0000-0002-5532-7399>)

· Manuscript received August 1, 2024 ; Revised August 2, 2024 ; Accepted August 7, 2024. (ID No. 20240801-078)

· Corresponding Author: Choul-Young Kim (e-mail: cykim@cnu.ac.kr)

I. 서 론

무선 기술의 빠른 발전으로 인해 5G, 6G 등의 무선통신 응용을 위한 밀리미터파 기술에 대한 연구가 활발히 이루어지고 있다. 밀리미터파 통신 시스템에서 빔 형성과 스캐닝을 사용함으로써 고속 데이터 전송률 요구 사항을 충족시킬 수 있다. 위상 배열 시스템은 여러 채널을 사용하여 각 채널에 대한 높은 집적 밀도와 낮은 전력 소비가 필요하다. 위상 배열 시스템의 핵심 요소인 송수신기의 성능이 중요하다. 일반적으로 감쇄기는 송수신기 내에서 공통 블록으로 존재하며, 신호의 크기를 제어하여 원하는 빔의 방향 및 패턴을 형성하기 때문에 송수신기에서 중요한 역할을 한다^[1]. 수동 감쇄기는 전력 소모가 없고 대역폭이 넓으며, 대표적인 구조는 분산형 감쇄기, 스위칭 경로 감쇄기, 스위치 T/π 형 감쇄기가 있다. 분산형 감쇄기는 삽입 손실이 낮지만 진폭 범위가 제한되어 16 dB 이상의 큰 감쇄 범위나 0.5 dB 미만의 고해상도를 동시에 달성하기 어렵고 회로의 크기가 크다. 스위칭 경로 감쇄기 낮은 이득 및 위상 오차를 달성할 수 있지만 신호 경로의 스위치 역할을 하는 직렬 트랜지스터가 많아 높은 삽입 손실이 발생한다^[2]. 스위치 T/π 형 감쇄기는 상대적으로 회로 크기가 작고 낮은 삽입 손실과 이득 오차를 달성할 수 있다^{[3][4]}.

본 논문에서는 DC-8 GHz 대역에서 동작하는 감쇄기를 설계하였다. 설계된 감쇄기는 T/π 형 구조를 사용하였으며, 크기를 줄이기 위해 꼬리 저항을 제거한 T형 구조와 간소화된 π 형 구조를 적용하였다. 또한, 임피던스 매칭을 향상시키기 위해 0.5 dB 비트와 1 dB 비트 사이에 인덕터를 추가하였다. 설계된 감쇄기는 검증 을 위해 28-nm bulk CMOS 공정을 이용하여 제작하였다.

II. 감쇄기 설계

그림 1은 설계된 4 비트 스위치 T/π 형 감쇄기의 회로도이다. 설계된 감쇄기는 4 dB, 0.5 dB, 1 dB, 2 dB 순서로 배치하였다. 스위칭형 감쇄기는 스위치 역할을 하는 트랜지스터를 사용하여 신호를 통과시키거나 그라운드로 신호를 보내 신호의 크기를 감쇄시킬 수 있다. 통과 상태의 경우, 직렬 트랜지스터 게이트에 전압을 인가하여 저항으로

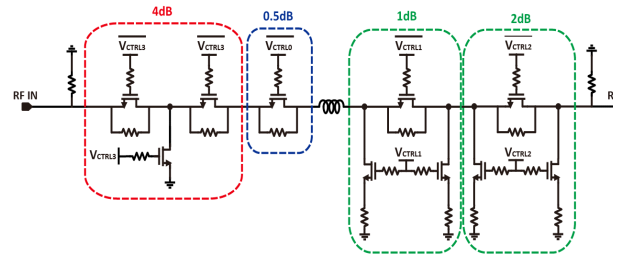


그림 1. 설계된 4 비트 스위치 T/π 형 감쇄기의 회로도
Fig. 1. Schematic of designed 4-bit switched T/π -type attenuator.

로 동작하게 하고 반대로 병렬 트랜지스터 게이트에 전압을 인가하지 않아 커패시터로 동작하게 하여 대부분의 신호가 그대로 통과하게 된다. 감쇄 상태의 경우, 직렬 트랜지스터 게이트에 전압을 인가하지 않아 커패시터로 동작하게 하고 반대로 병렬 트랜지스터 게이트에 전압을 인가하여 저항으로 동작하게 하여 일정량의 신호를 그라운드로 보내 감쇄시킨다.

그림 2는 T형 감쇄기의 동작 형태의 등가 회로도이다. T형 감쇄기는 직렬 트랜지스터 2개와 병렬 트랜지스터 1개를 사용하여 신호 통과 여부를 결정하고 직렬 트랜지스터와 병렬로 사용하는 2개의 통과 저항으로 감쇄량과 위상을 조절한다. 트랜지스터와 통과 저항만으로 감쇄량이 충분하여 꼬리 저항을 제거할 수 있다. 소자 수를 줄여 크기를 작게 만들 수 있고 공정 오차를 줄일 수 있어 4 dB 비트에 적용하였다.

그림 3은 π 감쇄기의 동작 형태의 등가 회로도로서 직렬 트랜지스터 1개와 병렬로 사용하는 1개의 통과 저항, 그리고 병렬 트랜지스터 2개와 직렬로 사용하는 2개의 꼬

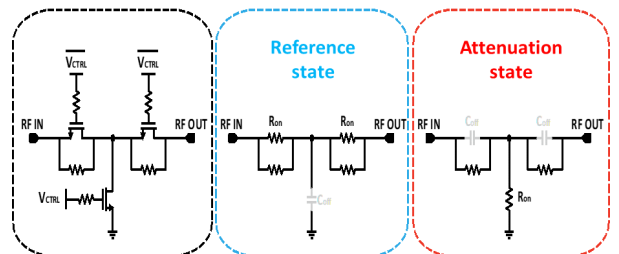


그림 2. T형 감쇄기의 동작 형태의 등가 회로도
Fig. 2. Equivalent schematic operation mode of the T-type attenuator.

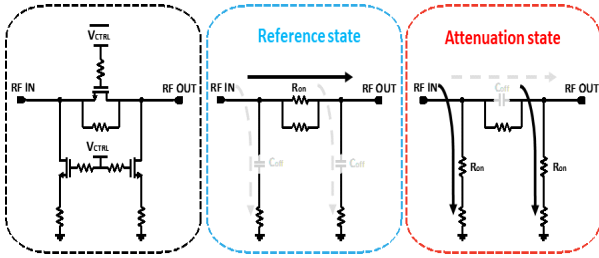


그림 3. π 형 감쇄기의 동작 형태의 등가 회로도
Fig. 3. Equivalent schematic operation mode of the π -type attenuator.

리 저항을 사용하였으며, 1 dB와 2 dB 비트에 적용하였다. 그림 4는 간소화된 π 형 감쇄기의 동작 형태의 등가 회로도, 트랜지스터와 병렬 저항으로 감쇄량이 충분하여 소자 수와 크기를 줄일 수 있다. 큰 감쇄량이 필요한 경우, 매칭에 악영향을 주어 감쇄량이 작은 경우에만 적용할 수 있어 0.5 dB 비트에만 적용하였다. 추가로 0.5 dB, 1 dB 비트 사이에 인덕터를 추가하여 입출력 매칭을 향상시켰다.

그림 5는 제작된 감쇄기의 현미경 사진으로 검증을 위

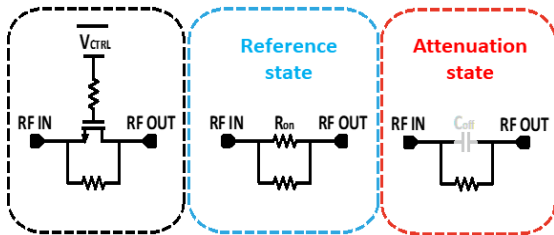


그림 4. 간소화된 π 형 감쇄기의 동작 형태의 등가 회로도
Fig. 4. Equivalent schematic operation mode of the simplified π -type attenuator.

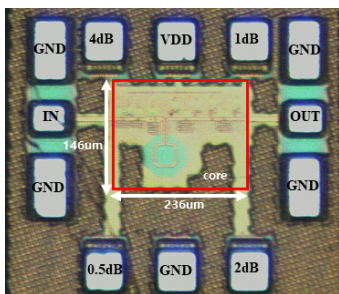


그림 5. 제작된 감쇄기의 현미경 사진
Fig. 5. Microphotography of fabricated attenuator.

해 28-nm bulk CMOS 공정을 이용하였다. 감쇄기의 크기는 RF 및 DC 패드를 제외하여 $0.236 \times 0.146 \text{ mm}^2$ 이다.

III. 설계 및 측정 결과

그림 6~그림 8은 DC-8 GHz 대역에서 동작하는 감쇄기의 설계 및 측정 결과이다. 그림 6은 입출력 반사 손실을 보여주며, 전 대역에서 11 dB 이상이다. 그림 7(a)는 삽입 손실로 DC-8 GHz 대역에서 2.69 dB 이하이다. 그림 7(b)는 위상 오차를 나타내며, 8 GHz에서 최대 -3° 를 갖는다. 그림 8은 RMS 위상 오차와 이득 오차를 나타내며, 각각 1.42° , 0.64 dB 이하이다. 측정 결과는 설계 결과와 비교하여 약간의 차이가 있다. 이는 제작된 공정 설계에 사용한 트랜지스터의 기생 커패시턴스의 값이 정확하게 모델링되지 않았기 때문이다. 표 1은 제작된 감쇄기와 기존 감쇄기의 성능 비교를 나타낸다. 제작된 감쇄기는 다른 감쇄기와 비교하여 삽입 손실이 가장 낮으며, 작은 크

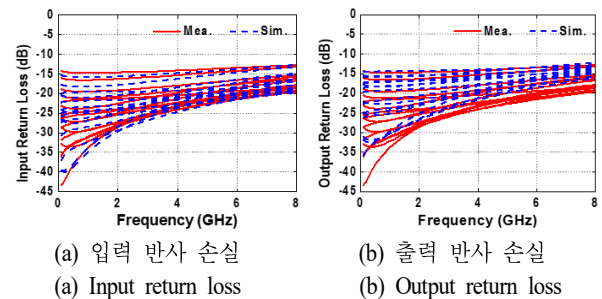


그림 6. 설계 및 측정 결과

Fig. 6. Simulation and measurement results.

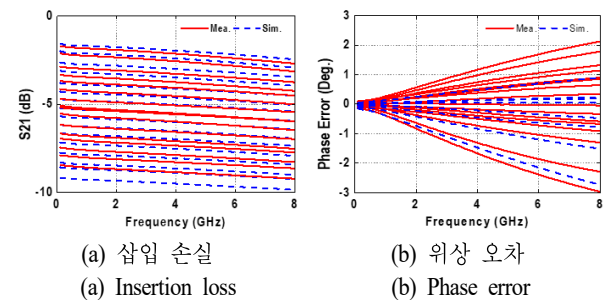


그림 7. 설계 및 측정 결과

Fig. 7. Simulation and measurement results.

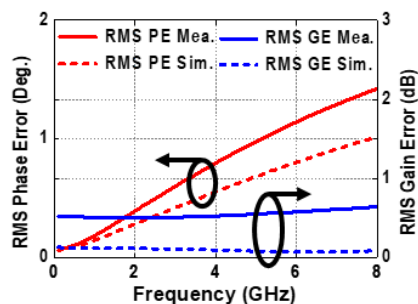


그림 8. RMS 위상 및 이득 오차 설계 및 측정 결과
Fig. 8. Simulation and measurement results of RMS phase and gain error.

표 1. 감쇄기 성능 비교

Table 1. Comparison with other works.

Ref.	This work	Ref. [4]	Ref. [5]
Tech.	28 nm CMOS	65 nm CMOS	250 nm BiCMOS
Topology	Switched T/ π type	Switched T/ π type	Switched T/ π type
Freq. (GHz)	DC-8	DC-50	6-12.5
Range/step (dB)	7.5/0.5	15.5/0.5	16.5/0.26
IL (dB)	1.71 ~ 2.69	1.5 ~ 5.9	<12.7
RL (dB)	>11.45	>12	>13
RMS gainerror (dB)	<0.64	<0.25	<0.26
RMS phase error (°)	<1.42	<3.5	<3.5
Area (mm ²)	0.034	0.036	0.29

기를 갖는다. 또한, 위상 오차가 낮아 밀리미터파 통신 시스템에서 사용하기에 적합하다.

IV. 결 론

본 논문에서는 28-nm bulk CMOS 공정을 이용하여 DC-8 GHz 대역에서 동작하는 4 비트 스위치형 감쇄기를 설계하였다. 설계된 감쇄기는 π 형 구조를 사용하였으며,

크기를 줄이기 위해 꼬리 저항을 제거한 T형 구조와 간소화된 π 형 구조를 적용하였다. 또한, 입출력 매칭을 향상시키기 위해 0.5 dB 비트와 1 dB 비트 사이에 인덕터를 추가하여 설계하였다. 측정된 감쇄기는 기존 감쇄기에 비해 삽입 손실이 작으며, 낮은 위상 오차를 달성하였다.

References

- [1] C. Zhao, X. Zeng, L. Zhang, H. Liu, Y. Yu, and Y. Wu, et al., "A 37~40-GHz low-phase-imbalance CMOS attenuator with tail-capacitor compensation technique," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 67, no. 10, pp. 3400-3409, Oct. 2020.
- [2] L. Sjogren, D. Ingram, M. Biedenbender, R. Lai, B. Allen, and K. Hubbard, "A low phase-error 44-GHz HEMT attenuator," *IEEE Microwave and Guided Wave Letters*, vol. 8, no. 5, pp. 194-195, May 1998.
- [3] Z. Zhang, N. Li, H. Gao, M. Li, S. Wang, and Y. C. Kuan, et al., "A DC - Ka-band 7-bit passive attenuator with capacitive-compensation-based bandwidth extension technique in 55-nm CMOS," *IEEE Transactions on Microwave Theory and Techniques*, vol. 69, no. 8, pp. 3861-3874, Aug. 2021.
- [4] P. Gu, D. Zhao, and X. You, "A DC-50 GHz CMOS switched-type attenuator with capacitive compensation technique," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 67, no. 10, pp. 3389-3399, Oct. 2020.
- [5] M. Davulcu, C. Caliskan, I. Kalyoncu, M. Kaynak, and Y. Gurbuz, "7-Bit SiGe-BiCMOS step attenuator for X-band phased-array RADAR applications," *IEEE Microwave and Wireless Components Letters*, vol. 26, no. 8, pp. 598-600, Aug. 2016.