

130 nm SOI CMOS 공정을 이용한 Ku 대역 구동 증폭기 설계

Design of Ku-Band Drive Amplifier Using 130 nm SOI CMOS Process

김일훈¹ · 임정택² · 송재혁³ · 이재은⁴ · 손정택⁵ · 김준형⁶ ·백민석⁷ · 이병찬⁸ · 박종성⁹ · 이은규¹⁰ · 김철영¹¹Ilhun Kim¹ · Jeong-Taek Lim² · Jae-Hyeok Song³ · Jae-Eun Lee⁴ · Jeong-Taek Son⁵ · Joon-Hyung Kim⁶ ·
Min-Seok Baek⁷ · Byeong-Chan Lee⁸ · Jong-Seong Park⁹ · Eun-Gyu Lee¹⁰ · Choul-Young Kim¹¹

요 약

본 논문은 130 nm SOI CMOS 공정을 이용한 Ku 대역에서 동작하는 구동 증폭기 설계에 대해 논의한다. 해당 증폭기는 2단으로 구성되어 있으며, 높은 이득을 위해 첫 단은 캐스코드 증폭기가 사용되었고, 높은 OP1dB를 위해 마지막 단은 CS 증폭기가 사용되었다. 첫 단에 사용된 캐스코드 증폭기 구조에서 CS 증폭기와 CG 증폭기 사이에 직렬 인덕터를 추가하여 입력 정합을 단순화하였으며, 캐스코드 증폭기 Gm의 최대 지점을 낮은 주파수로 이동시켜 목표 주파수에서 높은 이득을 가지도록 했다. 측정된 증폭기는 13.7 dB의 최대 이득과 -0.3 dBm의 OP1dB를 가진다. 해당 증폭기는 1.2 V 전압에서 12 mW의 전력 소모를 가지고 DC 및 RF 패드를 제외한 0.188 mm²의 크기를 가진다.

Abstract

This paper discusses the design of a driver amplifier operating in the Ku-band using a 130 nm SOI CMOS process. The amplifier consists of two stages: a cascode amplifier in the first stage for high gain, and a CS amplifier in the final stage for high OP1dB. In the cascode amplifier structure of the first stage, a series inductor is added between the CS and CG amplifiers to simplify input matching. This modification shifts the maximum Gm point of the cascode amplifier to a lower frequency, resulting in a high gain at the target frequency. The measured amplifier achieves a maximum gain of 13.7 dB and an OP1dB of -0.3 dBm. It consumes 12 mW of power at 1.2 V and occupies an area of 0.188 mm², excluding the DC and RF pads.

Key words: Cascode Amplifier, CMOS, Drive Amplifier, Ku-Band, Series Peaking Inductor

「본 과제는 2024년도 교육부의 재원으로 한국연구재단의 지원을 받아 수행된 지자체-대학 협력기반 지역혁신 사업의 결과입니다(2021RIS-004).」

「본 연구는 과학기술정보통신부 및 정보통신기획평가원의 대학ICT연구센터사업의 연구결과로 수행되었음(IITP-2024-RS-2024-00436406, 50%).」

충남대학교 전자공학과(Department of Electronic Engineering, Chungnam National University)

1: 석사과정(<https://orcid.org/0009-0000-7545-1576>), 2: 박사과정(<https://orcid.org/0000-0002-2698-6942>),

3: 박사과정(<https://orcid.org/0000-0003-3736-2753>), 4: 석 · 박사통합과정(<https://orcid.org/0000-0001-6616-6503>),

5: 석 · 박사통합과정(<https://orcid.org/0000-0003-4794-5813>), 6: 석 · 박사통합과정(<https://orcid.org/0000-0002-6873-9034>),

7: 석 · 박사통합과정(<https://orcid.org/0000-0002-3651-4498>), 8: 석사과정(<https://orcid.org/0009-0001-9103-5836>),

9: 석사과정(<https://orcid.org/0009-0007-5828-499X>), 10: 박사후 연구원(<https://orcid.org/0000-0002-3835-2226>),

11: 교수(<https://orcid.org/0000-0002-5532-7399>)

· Manuscript received July 26, 2024 ; Revised August 7, 2024 ; Accepted August 7, 2024. (ID No. 20240726-074)

· Corresponding Author: Choul-Young Kim (e-mail: cykim@cnu.ac.kr)

I. 서 론

Ku 대역(12~18 GHz)은 위성 통신, 레이더 시스템 등 다양한 응용 분야에서 사용된다. 위성 통신에서 주로 사용되며, 특히 지상 통신 시스템과 위성 간의 신호 전달에 있어 중요한 주파수 대역이기 때문에 많은 연구가 진행되고 있다^{[1]~[4]}. 위성 통신 시스템에서 송신기의 성능은 전체 통신 품질에 직접적인 영향을 미치는데, 이때 PA (power amplifier)에 입력되는 신호를 적절히 증폭시키는 것이 매우 중요하다. 이러한 요구 사항을 충족하기 위해 높은 이득을 가지는 캐스코드 증폭기를 이용하는 것이 유리하다^[5].

본 논문에서는 130 nm SOI CMOS 공정을 이용한 Ku 대역 구동 증폭기의 설계에 대해 논의한다. 해당 증폭기는 PA에 충분히 높은 입력 신호를 공급하기 위해 높은 이득과 높은 OP1dB가 필요하여 2단으로 구성되었으며, 첫 단은 캐스코드 증폭기로, 마지막 단은 CS 증폭기로 이루어져 있다.

II. 구동 증폭기 설계

그림 1은 CS 증폭기와 캐스코드 증폭기의 최대 가용 이득을 보여준다. 설계 주파수인 Ku 대역에서 self-biased 캐스코드 증폭기가 CS 증폭기에 비해 더 높은 최대 가용 이득을 가지며, 이는 동일 소모전력에서 더 높은 이득을 가질 수 있어 해당 구동 증폭기 설계에 적합하다^[6]. 캐스

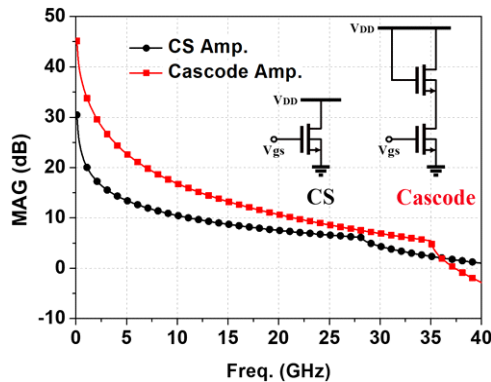


그림 1. CS 증폭기와 캐스코드 증폭기의 최대 가용 이득
Fig. 1. MAG of CS amplifier and cascode amplifier.

코드 증폭기 구조에서 CS 증폭기와 CG 증폭기 사이에 직렬 인덕터 L_x 를 연결한다면 그림 2처럼 인덕터의 값이 증가함에 따라 캐스코드 증폭기의 입력 임피던스의 값이 작아지면서 병렬 인덕터만을 이용하는 간단한 입력 매칭 회로가 가능해진다. 또한, 직렬 인덕터 L_x 의 값을 증가시키면 그림 3처럼 G_m 의 최대 지점을 낮은 주파수로 이동시켜 설계 주파수인 Ku 대역에서 높은 이득을 가질 수 있게 된다. 그림 4는 CS 증폭기와 캐스코드 증폭기의 로드 풀 시뮬레이션을 보여주며, self-biased 캐스코드 증폭기보다 CS 증폭기가 더 높은 최대 출력 전력을 가지는 것을 확인할 수 있다.

그림 5는 제안된 구동 증폭기의 회로도를 보여준다. 해

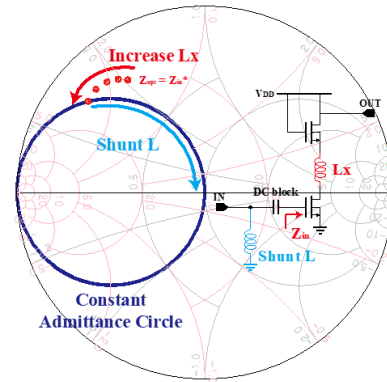


그림 2. 입력 정합 회로의 메커니즘
Fig. 2. Input matching network mechanism.

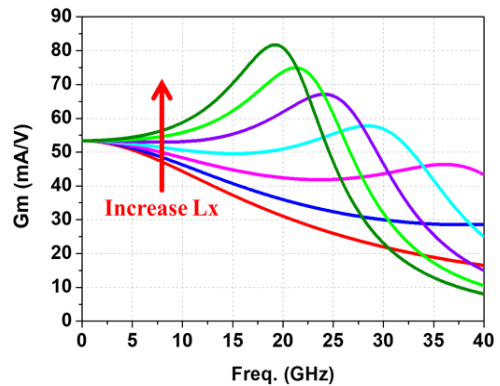


그림 3. 직렬 인덕터 L_x 에 따른 캐스코드 증폭기의 G_m
Fig. 3. G_m of cascode amplifier according to series L_x inductor.

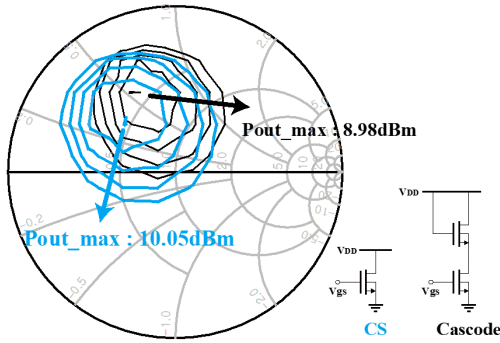


그림 4. CS 증폭기와 캐스코드 증폭기의 로드풀 시뮬레이션

Fig. 4. Load-pull simulation results of CS amplifier and cascode amplifier.

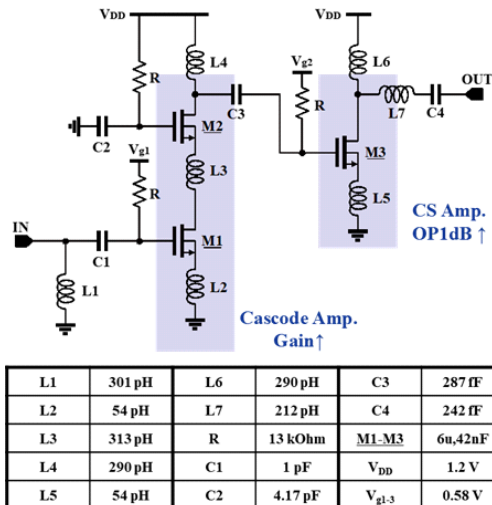


그림 5. 구동 증폭기의 회로도

Fig. 5. Schematic of drive amplifier.

당 증폭기는 2단으로 구성되어 있고, 높은 이득을 위해 첫 단계는 캐스코드 증폭기가 사용되었으며, 높은 OP1dB를 위해 마지막 단계는 CS 증폭기가 사용되었다. 첫 단의 캐스코드 구조에서 M1 트랜지스터는 CS 증폭기로 동작하고 M2 트랜지스터는 CG 증폭기로 동작하며 CG 증폭기의 경우, 게이트 전압과 드레인 전압이 모두 1.2 V가 인가되는 self-biased 캐스코드 증폭기로 구성되어 있다. 그리고 이 캐스코드 구조에서 CS 증폭기와 CG 증폭기 사이에 직렬 인덕터 L3를 사용하여 입력 정합 회로를 병렬 인덕터 L1만으로 간단하게 구성할 수 있었으며 입력 정합 회로에

사용된 직렬 커패시터는 1 pF의 큰 값을 가지는 DC block 커패시터로 사용되며 정합에는 크게 영향이 미치지 않는다. 그림 4와 같이 직렬 인덕터 L3를 사용하여 Gm의 높은 값을 가지는 주파수 위치를 저주파로 이동시켜, 설계 주파수인 Ku 대역에서 높은 이득을 얻도록 설계하였다.

III. 시뮬레이션 및 측정 결과

그림 6은 130 nm SOI CMOS로 구현된 구동 증폭기의 현미경 사진을 보여준다. 구현된 증폭기는 DC 및 RF PAD를 제외한 0.188 mm²의 크기를 가진다. 해당 증폭기의 동작을 위해 DC PAD는 측정용 PCB에 와이어 본딩하여 1.2 V의 V_{DD} 전압과 0.58 V의 V_{g1-3} 전압이 인가되었다. 그림 7은 입, 출력 반사 손실, 소 신호 이득의 시뮬레이션 결과와 측정결과를 보여준다. 입력 반사 손실은 14.3~20.6 GHz에서, 출력 반사 손실은 14~30 GHz에서 -10 dB 이하의 손실을 가지며, 소 신호 이득의 경우 16.3 GHz

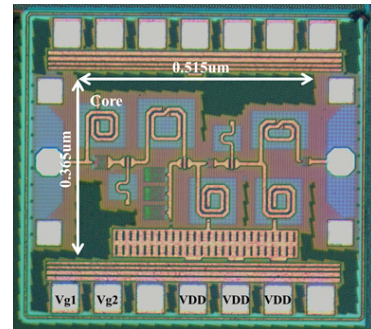


그림 6. 구현된 구동 증폭기의 현미경 사진

Fig. 6. Photomicrograph of drive amplifier.

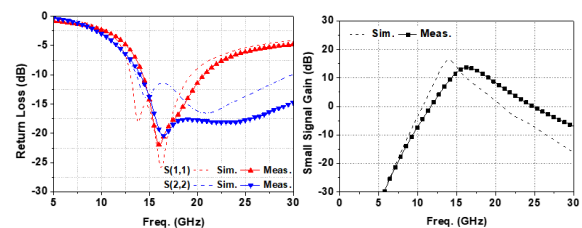


그림 7. 입·출력 반사 손실, 소신호 이득의 시뮬레이션 & 측정 결과

Fig. 7. Input, output return loss and small signal gain of simulation & measurement results.

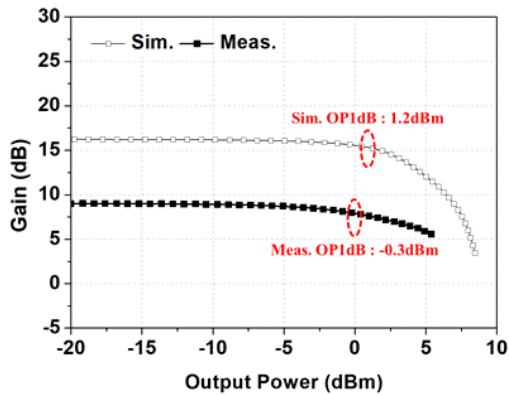


그림 8. OP1dB의 시뮬레이션 및 측정결과
Fig. 8. OP1dB of simulation and measurement result.

표 1. Ku 대역 CMOS 증폭기 성능 요약
Table 1. The performance summary of the Ku-band CMOS amplifier.

Ref.	This work	Ref. [1]	Ref. [2]	Ref. [3]
Tech.	130 nm SOI	65 nm bulk	65 nm bulk	65 nm bulk
V_{DD} (V)	1.2	1	1	1.8
3-dB B.W. (GHz)	14.5~18.7	8.6~13.6	9.2~12.2	13.7~16.5
Peak gain (dB)	13.7	20.0	32.4	26
IP1dB (dBm)	-9.3	-7.8	-31.4	NA
OP1dB (dBm)	-0.3	9.8	1	19.5
Pdc (mW)	12	10	22	52
Area (mm ²)	0.188	0.21	0.24	1.8

에서 13.7 dB의 최대 이득을 가지고 3-dB 대역폭은 14.5~18.7 GHz이다. 그림 8은 OP1dB의 시뮬레이션과 측정결과를 보여주며, 표 1은 Ku 대역 CMOS 증폭기의 성능요약을 보여준다. 측정결과는 시뮬레이션과 비교하여 유사한 결과를 얻었지만, 소 신호 이득의 경우 최대 이득 지점이 2 GHz 정도 고주파로 이동하였다. 이는 사용한 공정의 트랜지스터 기생 커패시터 모델링이 부정확하여 나타난 원인으로 보인다.

IV. 결 론

본 논문에서는 130 nm SOI CMOS 공정을 이용한 Ku

대역 구동 증폭기를 설계 및 구현하였다. 해당 증폭기는 캐스코드 증폭기와 CS 증폭기를 연결하여 2단으로 설계되었으며, 측정결과 작은 크기에서 높은 이득과 높은 OP1dB를 보였다.

References

- [1] M. S. Baek, H. W. Choi, J. H. Kim, J. H. Song, J. E. Lee, and J. T. Son, et al., "A low-power high-IP1dB low-noise amplifier using large-transistor and class-AB mode," *IEEE Microwave and Wireless Technology Letters*, vol. 34, no. 3, pp. 306-309, Mar. 2024.
- [2] H. W. Choi, S. Choi, and C. Y. Kim, "Ultralow-noise figure and high gain Ku-band bulk CMOS low-noise amplifier with large-size transistor," *IEEE Microwave and Wireless Components Letters*, vol. 31, no. 1, pp. 60-63, Jan. 2021.
- [3] M. Yang, D. Zhao, and X. You, "A Ku-band CMOS balanced driver amplifier with transformer-based notch filter for SATCOM phased arrays," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 70, no. 9, pp. 3318-3322, Sep. 2023.
- [4] H. W. Choi, C. Y. Kim, and S. Choi, "6.7~15.3 GHz, high-performance broadband low-noise amplifier with large transistor and two-stage broadband noise matching," *IEEE Microwave and Wireless Components Letters*, vol. 31, no. 8, pp. 949-952, Aug. 2021.
- [5] D. Hou, Y. Z. Xiong, W. L. Goh, W. Hong, and M. Madihian, "A D-band cascode amplifier with 24.3 dB gain and 7.7 dBm output power in 0.13 μm SiGe BiCMOS technology," *IEEE Microwave and Wireless Components Letters*, vol. 22, no. 4, pp. 191-193, Apr. 2012.
- [6] T. Sowlati, D. M. W. Leenaerts, "A 2.4-GHz 0.18- μm CMOS self-biased cascode power amplifier," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 8, pp. 1318-1324, Aug. 2003.