

Ku 대역 6 비트 스위치형 위상천이기

Ku Band 6-Bit Switched-Type Phase Shifter

박종성¹ · 임정택² · 이재은³ · 송재혁⁴ · 손정택⁵ · 김준형⁶ ·백민석⁷ · 이병찬⁸ · 김일훈⁹ · 이은규¹⁰ · 김철영¹¹Jong-Seong Park¹ · Jeong-Taek Lim² · Jae-Eun Lee³ · Jae-Hyeok Song⁴ · Jeong-Taek Son⁵ · Joon-Hyung Kim⁶ ·
Min-Seok Baek⁷ · Byeong-Chan Lee⁸ · Ilhun Kim⁹ · Eun-Gyu Lee¹⁰ · Choul-Young Kim¹¹

요 약

본 논문은 11~13 GHz 대역에서 동작하는 6 비트의 위상천이기에 관한 내용이다. 설계된 위상천이기를 검증하기 위해 130-nm SOI 공정으로 제작하였다. 설계된 위상천이기는 세밀한 위상 조절을 위해 5.625°부터 180°까지의 6개 단일 비트 위상천이기를 사용하였으며, 대역폭을 넓히고 낮은 위상 오차 및 이득 오차를 위해 90° 비트는 저역 통과 π 필터와 고역 통과 π 필터를 사용하였다. 또한, 180° 비트에는 변압기를 기반으로 한 스위치 구조를 사용하였다. 제작된 위상천이기의 크기는 0.87×0.4 mm²이며, 반사 손실은 10 dB 이상, 평균 삽입 손실은 6.41 dB, RMS 위상 오차는 3.19°~4.13°, RMS 이득 오차는 0.52~0.56 dB이다.

Abstract

This paper presents a 6-bit phase shifter operating in the 11~13 GHz band. The designed phase shifter is fabricated using a 130-nm SOI process to validate its performance. For fine phase adjustment, the phase shifter employs six single-bit phase shifters ranging from 5.625° to 180°. To expand the bandwidth and minimize the phase and gain errors, the 90° bit uses low-pass and high-pass filters. Additionally, the 180° bit uses a transformer-based switch structure. The fabricated phase shifter measures 0.87×0.4 mm², with a return loss of more than 10 dB, an average insertion loss of 6.41 dB, RMS phase errors ranging from 3.19° to 4.13°, and RMS gain errors between 0.52 dB and 0.56 dB.

Key words: Ku Band, SOI, Phase Shifter, STPS, Transformer

「본 과제는 2024년도 교육부의 재원으로 한국연구재단의 지원을 받아 수행된 지자체-대학 협력기반 지역혁신 사업의 결과입니다(2021RIS-004).」

「이 성과는 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. RS-2024-00337763).」

충남대학교 전자공학과(Department of Electronic Engineering, Chungnam National University)

1: 석사과정(<https://orcid.org/0009-0007-5828-499X>), 2: 박사과정(<https://orcid.org/0000-0002-2698-6942>),

3: 석 · 박사통합과정(<https://orcid.org/0000-0001-6616-6503>), 4: 박사과정(<https://orcid.org/0000-0003-3736-2753>),

5: 석 · 박사통합과정(<https://orcid.org/0000-0003-4794-5813>), 6: 석 · 박사통합과정(<https://orcid.org/0000-0002-6873-9034>),

7: 석 · 박사통합과정(<https://orcid.org/0000-0002-3651-4498>), 8: 석사과정(<https://orcid.org/0009-0001-9103-5836>),

9: 석사과정(<https://orcid.org/0009-0000-7545-1576>), 10: 박사후 연구원(<https://orcid.org/0000-0002-3835-2226>),

11: 교수(<https://orcid.org/0000-0002-5532-7399>)

· Manuscript received July 26, 2024 ; Revised August 1, 2024 ; Accepted August 7, 2024. (ID No. 20240726-073)

· Corresponding Author: Choul-Young Kim (e-mail: cykim@cnu.ac.kr)

I. 서 론

위상천이기는 레이더, 위성 통신, 밀리미터파 통신에 주로 사용되는 위상 배열 시스템의 필수 구성 요소이다^[1]. 위상천이기의 성능이 위상 배열 시스템의 성능에 중요한 역할을 한다. 따라서 위상천이기는 손실이 적고 위상 오차가 낮으며 소형이어야 한다. 대표적인 위상 천이기의 구조는 벡터 합형 위상 천이기(VSPS), 반사형 위상천이기(RTPS), 스위치형 위상천이기(STPS)가 있다. VSPS의 경우, 크기가 작고 RMS 위상 오차가 작지만, 믹서나 가변 이득 증폭기를 사용하여 전력 소모가 높고, 선형성에 한계가 있다. RTPS는 선형성이 높고 전력 소모가 없지만, 위상 각도를 세밀하게 조절하거나 360°의 위상천이기의 경우 대역폭이 제한되고 크기가 크다. STPS는 선형성이 높고 전력 소모가 없으며, 세밀한 각도 조절이 가능하지만, 삽입 손실이 크고 크기가 크다^{[2],[3]}.

본 논문에서는 11~13 GHz 주파수 대역에서 동작하는 위상천이기를 설계하였다. 설계된 위상천이기는 STPS를 이용하여 6 비트로 구성하였으며, 대역폭을 넓히고 위상 오차와 이득 오차를 줄이기 위해 90°비트는 저역 통과 π 필터와 고역 통과 π 필터를 사용하고, 180° 비트는 변압기를 기반으로 하여 설계하였다.

II. 위상천이기 설계

그림 1은 설계된 6 비트 STPS의 회로도이다. 설계된 STPS는 90°, 45°, 5.625°, 11.25°, 22.5°, 180° 순서로 배치하였다. 180° 비트가 다른 비트에 비해 위상 오차가 크기 때문에 6 비트 위상천이기의 위상 오차를 줄이기 위해 180° 비트의 성능이 중요하다. 그래서 180° 비트를 설계할 때

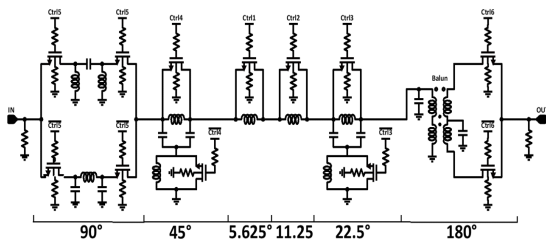


그림 1. 설계된 6 비트 스위치형 위상천이기의 회로도
Fig. 1. Schematic of designed 6-bit switch-type phase shifter.

두 개의 트랜지스터와 중심 탭 커패시터를 가진 변압기를 사용하는 기술을 적용하였다^[2]. 변압기는 일반적으로 차동 신호와 단일 종단 신호 사이의 변환을 하거나 임피던스 매칭을 위해 사용된다. 180° 회로에서는 스위치 역할을 하는 두 개의 트랜지스터를 통해 위와 아래 경로를 선택하여 단일 신호가 변압기를 통해 차동 신호인 0°와 180°로 출력된다. 위와 아래 경로 모두 동일한 등가 회로를 가지므로 이상적으로 이득 오차와 위상 오차가 없다. 그림 2는 180° 비트의 위상 및 이득 오차 설계 및 측정 결과이다. 그림 2에서 오차가 존재하는데, 이는 변압기 설계 시 교차선으로 인한 불가피한 비대칭성 때문이다. 인덕턴스가 작은 변압기의 경우, 1차 권선과 2차 권선 모두 1턴으로 설계할 수 있어 비대칭성이 거의 없다. 하지만 인덕턴스가 큰 변압기의 경우, 크기를 줄이기 위해 턴 수를 증가시켜야 하는데, 이로 인해 위와 아래 경로에서 교차 라인이 생기고, 서로 다른 인덕턴스 값과 결합이 발생하여 비대칭성이 나타난다. 90° 비트를 설계할 때 사용한 기술은 그림 3의 저역 및 고역 통과 π 필터를 스위칭하는 구조이다^[3]. 저역 및 고역 통과 필터를 각각 위와 아래 경로에 사용한 90° 비트는 두 경로의 위상 지연이 -45°와 +45° 값만 필요하므로 비교적 넓은 대역폭에서 위상 오차를 줄일 수 있다. 두 경로의 위상 지연이 -45°와 +45°이므로 경로에 따라 상대 위상 지연이 0°와 90°가 되도록 하였다. 저역 및 고역 통과 필터에는 T 구조와 π 구조가 있다. 저역 통과 필터에는 크기를 줄이기 위해 π 구조를 사용하였고 고역 통과 필터에는 인덕터 변동에 대

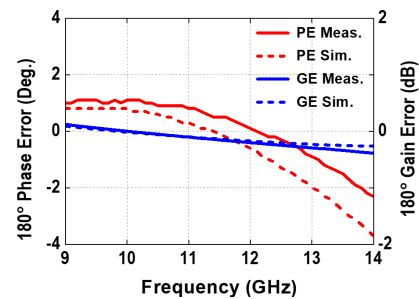


그림 2. 180° 비트의 위상 및 이득 오차 설계 및 측정 결과
Fig. 2. Simulation and measurement results of phase and gain errors for the 180° bit.

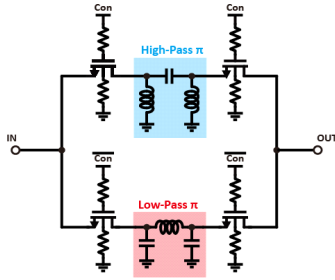


그림 3. 저역 및 고역 통과 π 필터 위상천이기 회로도
Fig. 3. Schematic of the low-pass and high-pass π filter phase shifter.

한 민감도의 영향을 줄이기 위해 π 구조를 사용했다^[4]. 마지막으로 사용한 기술은 삽입 손실을 줄이기 위해 5.625° , 11.25° 비트의 트랜지스터 크기를 크게 하는 것이다. 트랜지스터의 크기가 클수록 ON-저항이 작아지기 때문에 낮은 삽입 손실을 얻을 수 있다. 5.625° 와 11.25° 를 하나의 인덕터와 트랜지스터로 구성하여 단일 비트 크기에 배치하여 크기를 줄였다. 하나의 인덕터와 트랜지스터로 구성하는 경우, 크기와 삽입 손실은 줄일 수 있지만 요구하는 위상이 커질수록 위상 및 이득 오차가 커져서 5.625° 와 11.25° 에만 적용하였다. 22.5° 와 45° 비트는 하나의 인덕터와 트랜지스터만으로 설계하기에 위상 및 이득 오차가 커서 shunt arms가 있는 저역 통과 π 구조를 적용하였다^[2].

III. 설계 및 측정 결과

그림 4는 130-nm SOI 공정을 통해 제작된 위상천이기의 현미경사진이다. 위상천이기의 크기는 RF 및 DC 패드의 현미경사진이다. 위상천이기의 크기는 RF 및 DC 패드

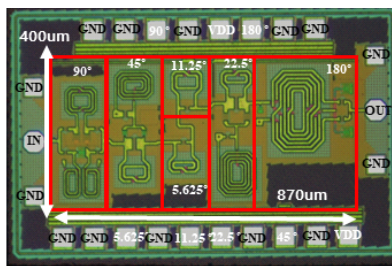


그림 4. 제작된 위상천이기의 현미경사진
Fig. 4. Photomicrograph of fabricated phase shifter.

를 제외하여 $0.87 \times 0.4 \text{ mm}^2$ 이다. 그림 5~그림 7은 11~13 GHz 대역에서 동작하는 위상천이기의 설계 및 측정 결과이다. 그림 5는 반사 손실로 평균 10 dB 이상이다. 그림 6은 삽입 손실로 평균 삽입 손실은 6.41 dB이다. 그림 7은 위상 오차와 이득 오차로 각각 4.13° , 0.56 dB 이하이다. 측정 결과는 설계 결과와 비교하였을 때 유사한 결과를

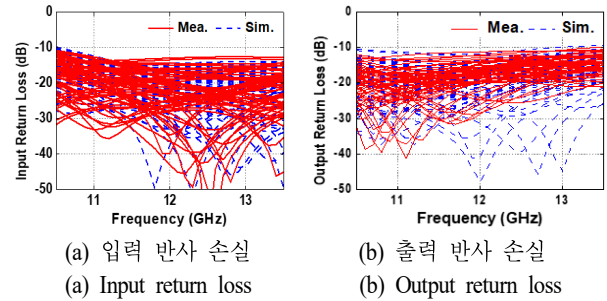


그림 5. 설계 및 측정 결과

Fig. 5. Simulation and measurement results.

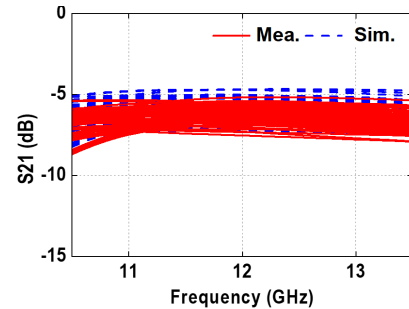


그림 6. 삽입 손실 설계 및 측정 결과

Fig. 6. Simulation and measurement results of insertion loss.

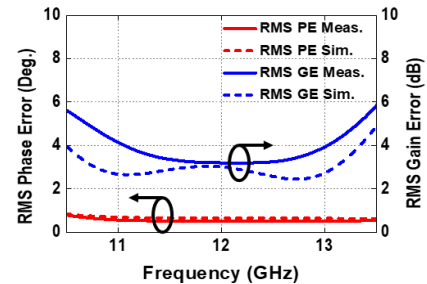


그림 7. RMS 위상 및 이득 오차 설계 및 측정 결과

Fig. 7. Simulation and measurement results of RMS phase and gain error.

표 1. 위상천이기 성능 비교

Table 1. Comparison with other works.

Ref.	This work	Ref. [5]	Ref. [6]
Process	130-nm SOI	250-nm GaAs	130-nm BiCMOS
Topology	STPS	STPS	STPS
Freq. [GHz]	11~13	6~18	14~18
No. of bit	6	6	6
Resolution [°]	5.625	5.625	5.625
Return loss [dB]	>10.8	>13	>13
IL [dB]	<7.78	<9.6	<15
RMS GE [dB]	<0.56	<0.46	<0.6
RMS PE [°]	<4.13	<3.7	<6
Area [mm ²]	0.348	9.28	2.16
FoM	0.21	0.16	0.027

$$FoM = \frac{IL_{\max}(\text{lin.}) \times \text{Resolution}(\text{bits})}{RMS_{\text{phase error}}(\text{deg.}) \times RMS_{\text{gain error}}(\text{lin.})}$$

얻었지만, 약간의 차이가 있다. 이는 사용한 공정에 트랜지스터의 기생 커패시턴스의 값이 정확하게 모델링되지 않았기 때문이다.

표 1은 제작된 위상천이기와 기존 위상천이기 간의 성능 비교를 나타내었다. 제작된 위상천이기는 다른 위상천이기와 비교하여 가장 크기가 작으며 가장 낮은 삽입 손실을 갖는다. 성능 지표(figure of merit)를 사용하여 다른 위상천이기와 비교하였을 때, 제작된 위상천이기가 가장 우수한 것을 알 수 있다.

IV. 결 론

본 논문에서는 130 nm SOI 공정으로 11~13 GHz 주파수 대역에서 동작하는 6 비트 STPS를 설계하였다. 위상오차와 이득 오차를 줄이기 위해 저역 통과 π 필터와 고역 통과 π 필터 기술을 사용하고 변압기를 기반으로 한 스위치 구조를 사용하였다. 측정된 위상천이기는 크기가

작으며 낮은 삽입 손실을 달성하였다.

References

- [1] J. J. P. Venter, T. Stander, and P. Ferrari, "X-band reflection-type phase shifters using coupled-line couplers on single-layer RF PCB," *IEEE Microwave and Wireless Components Letters*, vol. 28, no. 9, pp. 807-809, Sep. 2018.
- [2] J. T. Lim, J. H. Song, J. H. Kim, M. S. Baek, C. Park, and C. Y. Kim, "Low insertion loss CMOS phase shifter for wireless power transfer system," *IEEE Microwave and Wireless Technology Letters*, vol. 34, no. 1, pp. 49-52, Jan. 2024.
- [3] J. H. Kim, H. W. Choi, M. S. Baek, and C. Y. Kim, "180° switching method based on transformer for CMOS phase shifter," *IEEE Microwave and Wireless Technology Letters*, vol. 34, no. 6, pp. 631-634, Jun. 2024.
- [4] G. S. Shin, J. S. Kim, H. M. Oh, S. Choi, C. W. Byeon, and J. H. Son, et al., "Low insertion loss, compact 4-bit phase shifter in 65 nm CMOS for 5G applications," *IEEE Microwave and Wireless Components Letters*, vol. 26, no. 1, pp. 37-39, Jan. 2016.
- [5] W. Lv, B. Wu, Y. Wang, Z. Duan, and Y. Dai, "A 14~18 GHz 6bit passive phase shifter in 0.13 μm SiGe BiCMOS," in *2019 IEEE International Conference on Integrated Circuits, Technologies and Applications(ICTA)*, Chengdu, Nov. 2019, pp. 7-8.
- [6] G. Wang, Y. Xiong, Y. Pu, Y. Yao, Z. Yu, and X. Duan, "A 6 - 18-GHz broadband digital-stepped phase shifter MMIC with low in-band phase error," in *2023 2nd International Conference on Automation, Robotics and Computer Engineering(ICARCE)*, Wuhan, Dec. 2023, pp. 1-4.