

130 nm SOI 공정을 이용한 저삽입손실 Ku 대역 5 비트 감쇄기

Ku-Band Low Insertion Loss 5 Bit Attenuator in 130 nm SOI

이병찬¹ · 임정택² · 이재은³ · 송재혁⁴ · 손정택⁵ · 김준형⁶ · 백민석⁷ · 박종성⁸ · 김일훈⁹ · 이은규¹⁰ · 김철영¹¹Byeong-Chan Lee¹ · Jeong-Taek Lim² · Jae-Eun Lee³ · Jae-Hyeok Song⁴ · Jeong-Taek Son⁵ · Joon-Hyung Kim⁶ · Min-Seok Back⁷ · Jong-Seong Park⁸ · Ilhun Kim⁹ · Eun-Gyu Lee¹⁰ · Choul-Young Kim¹¹

요 약

본 논문에서는 10~15 GHz 대역에서 작동하는 5 비트 감쇄기에 대하여 다룬다. 이 감쇄기는 큰 유효 폭(effective width)을 가진 TR을 적극적으로 사용하여 삽입손실을 줄였으며, '꼬리 저항이 제거된 π 형 구조' 감쇄기를 이용하여 공정 편차를 줄였으며 RF 전력의 출입부를 단락시킨 '간소화된 T형 감쇄기'를 이용하여 크기와 삽입손실을 줄였다. 이 5 비트 감쇄기는 0.1 mm×0.3 mm의 중심부 크기를 가지며, 최소 14.5 dB의 반사손실, 최대 1.86 dB의 삽입손실, 최대 3.37도의 RMS (root mean square) 위상 편차와 0.24 dB의 RMS 이득 편차를 지닌다.

Abstract

This study deals with a 5-bit attenuator operating in the 10~15 GHz band. This attenuator actively uses transistors with a large effective width to reduce insertion loss, reduces process variation with an attenuator using a ' π -type structure with removed tail resistance,' and minimizes size and insertion loss using a 'simplified T-type attenuator' that short circuits the RF power input and output. This 5-bit attenuator has a core size of 0.1 mm×0.3 mm, minimum return loss of 14.5 dB, maximum insertion loss of 1.86 dB, maximum RMS (root mean square) phase error of 3.37°, and an RMS gain error of 0.24 dB.

Key words: Phased Array, CMOS SOI, π -Type Structure with Removed Tail Resistance, Simplified T-Type Attenuator

I. 서 론

감쇄기는 RF 채널을 구성하는 데에 있어서 매우 중요한 회로이다. 특히 밀리미터-통신에서 위상배열체계가 대두되면서 각 채널의 이득 편차를 줄이고 안테나에서 방사되는 전자기파의 부엽(side lobe)을 줄일 수 있는 감쇄

기의 역할이 더 중요해졌다^[1]. 밀리미터-통신에서는 각 채널의 크기가 작아야 하고, 각 회로를 통과하는 전력의 손실이 적어야 한다. 따라서 감쇄기도 이에 맞춰 크기가 소형화되고 저삽입손실 특성을 가져야 할 필요성이 대두되었다.

CMOS(상보적 금속 산화물) SOI(절연체 위 실리콘) 공

「본 과제는 2024년도 교육부의 재원으로 한국연구재단의 지원을 받아 수행된 지자체-대학 협력기반 지역혁신 사업의 결과입니다(2021RIS-004).」

「본 연구는 과학기술정보통신부 및 정보통신기획평가원의 대학ICT연구센터사업의 연구결과로 수행되었음 (IITP-2024-RS-2024-00436406), 50%.)」

충남대학교 전자공학과(Department of Electronic Engineering, Chungnam National University)

1: 석사과정(<https://orcid.org/0009-0001-9103-5836>), 2: 박사과정(<https://orcid.org/0000-0002-2698-6942>),

3: 석 · 박사통합과정(<https://orcid.org/0000-0001-6616-6503>), 4: 박사과정(<https://orcid.org/0000-0003-3736-2753>)

5: 석 · 박사통합과정(<https://orcid.org/0000-0003-4794-5813>), 6: 석 · 박사통합과정(<https://orcid.org/0000-0002-6873-9034>)

7: 석 · 박사통합과정(<https://orcid.org/0000-0002-3651-4498>), 8: 석사과정(<https://orcid.org/0009-0007-5828-499X>),

9: 석사과정(<https://orcid.org/0009-0000-7545-1576>), 10: 박사후 연구원(<https://orcid.org/0000-0002-3835-2226>),

11: 교수(<https://orcid.org/0000-0002-5532-7399>)

· Manuscript received July 26, 2024 ; Revised July 31, 2024 ; Accepted August 7, 2024. (ID No. 20240726-072)

· Corresponding Author: Choul-Young Kim (e-mail: cykim@cnu.ac.kr)

정으로 만든 감쇄기는 대량생산을 할 수 있고 크기가 작다는 장점을 가지고 있다. 또한, 기존 CMOS bulk 공정에 비해 소자의 신뢰성이 높으며 기생 커패시턴스값이 작아 고주파수 영역에서 더 유리하게 동작할 수 있다.

II. 감쇄기 설계

감쇄기는 기본적으로 MOS(metal-oxide-silicon) 스위치를 이용한다. MOS 스위치를 이용하여 입사하는 RF 전력을 그대로 통과시킬지, 아니면 그라운드로 전력을 손실시키며 통과시킬지 결정할 수 있다. 그림 1은 기본적인 감쇄기의 동작 원리를 표현한 그림이다. 1번 동작 원리(통과 상태)의 경우, 위에 있는 통과 트랜지스터(bypass TR)의 게이트에 전압을 가해 소스와 드레인 사이가 저항이 되도록 한다. 그 다음 아래의 꼬리 트랜지스터(tail TR)의 게이트에는 전압을 가하지 않아 소스와 드레인 사이가 커패시터로 동작하도록 한다. 이렇게 하면 대부분의 RF 전력은 위의 통과 트랜지스터를 타고 그대로 통과하게 된다. 2번 동작원리(감쇄 상태)의 경우, 각 트랜지스터의 게이트에 반대 전압을 가한다. 이 경우엔 일정량의 RF 전력이 그라운드로 새어나가 감쇄가 일어난다. 이때 통과 상태의 RF 전력과 감쇄 상태의 RF 전력차(dB 스케일)는 일정량이 요구되는데, 각 비트마다 감쇄 요구량은 0.5 dB, 1 dB, 2 dB, 4 dB, 8 dB이 일반적이며 0.25 dB, 16 dB 등을 요구하는 시스템도 있다. 이 5개의 직렬로 연결된 비트들을 이용하여 0.5 dB~15.5 dB의 총 31단계 감쇄가 가능하며, 어떠한 감쇄상태에도 각 상태의 S_{21} 위상은 동일하게 유지되어야 한다. 이 요구되는 감쇄량을 얼마나 잘 충족하였는지와 각 상태의 S_{21} 위상이 얼마나 동일하게 만들었는지에 대한 성능 지표가 RMS 이득 편차와 RMS 위상 편차이다.

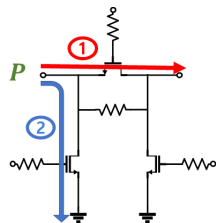


그림 1. 기본적인 감쇄기의 동작원리
Fig. 1. Basic attenuator operating principle.

2-1 기존 II형 구조 감쇄기

그림 2는 기존 II형 구조 감쇄기에 대한 그림이다.

기존 II형 구조 감쇄기의 경우, 전력 통과 여부를 결정하는 1개의 통과 트랜지스터와 2개의 꼬리 트랜지스터, 감쇄량과 위상을 조절하는 1개의 통과 저항과 2개의 꼬리 저항으로 이루어져 있다. 통과 트랜지스터의 유효 폭(effective width)이 넓을수록 통과 상태에서 삽입손실이 적으나 감쇄상태에서 차단 커패시턴스(off capacitance)가 커져 통과 상태와 감쇄 상태의 S_{21} 위상차를 좁히기 힘들어진다. 꼬리 트랜지스터의 유효 폭을 조절하여 감쇄 정도를 조절할 수도 있다. 본 회로에서는 2 dB 비트에 이 구조가 적용되었으며, 감쇄량이 상대적으로 작아 지정된 감쇄량을 만족하기 위해 제일 작은 유효 폭을 가진 꼬리 트랜지스터를 사용해야 했으며 그 정도로도 요구 감쇄량이 충족되지 않아 꼬리 저항을 추가로 사용해야 했다.

2-2 꼬리 저항이 제거된 II형 구조 감쇄기

그림 3은 꼬리 저항이 제거된 II형 구조 감쇄기에 대한 그림이다. 꼬리 저항이 제거된 II형 구조는 각 꼬리 트랜지스터에 직렬로 연결된 꼬리 저항이 제거된 형태이다. 기존 II형 구조 감쇄기에 비해 소자의 개수가 적어 크기를 더 작게 만들 수 있으며 공정 편차를 줄일 수 있다. 꼬리저항을 제거할 수 있는 이유는 4 dB, 8 dB와 같이 비교

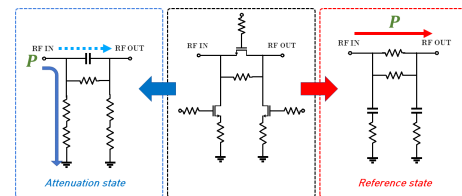


그림 2. 기존 II형 감쇄기의 동작 형태
Fig. 2. Operation type of existing II-type attenuator.

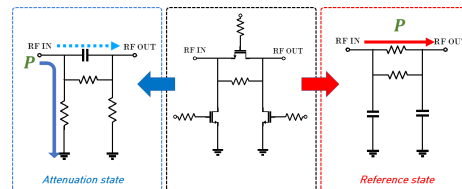


그림 3. 꼬리 저항이 제거된 II형 구조 감쇄기의 동작 형태
Fig. 3. Operation form of II-type structure attenuator with tail resistance removed.

적 큰 감쇄량을 요구하는 셀에서는 꼬리부분의 저항값이 낮아야 RF 전력이 그라운드로 원활하게 새어나갈 수 있는데 꼬리 트랜지스터의 커짐저항(on resistance)만으로 요구저항값을 달성할 수 있기 때문이다.

2.3 간소화된 T형 감쇄기

그림 4는 간소화된 T형 감쇄기의 동작 원리에 대한 그림이다. 간소화된 T형 감쇄기는 RF 전력의 입력부와 출력부를 단락하여 삽입손실을 최소한으로 줄이고, 꼬리 트랜지스터와 꼬리 저항만으로 감쇄량을 조절하는 회로이다. 입력부와 출력부가 회로도 상에서 단락되어 있지만, 실제 선로에 존재하는 기생성분 때문에 일부 전력이 꼬리 부분을 통해 그라운드로 빠져나갈 수 있다. 이 구조는 삽입손실을 최소한으로 줄이고 회로 크기를 크게 줄일 수 있다는 장점을 가지고 있다. 하지만 요구 감쇄량이 늘어날수록 꼬리 트랜지스터의 유효 폭이 크게 늘어나는데, 이때 감쇄 상태에서 꼬리 부분의 저항값이 크게 낮아져 50 Ω 매칭에 악영향을 준다. 따라서 작은 감쇄량을 요구하는 0.5 dB, 1 dB 비트에만 적용할 수 있다.

2.4 각 비트의 통과 트랜지스터의 유효폭과 구조

그림 5는 각 비트마다의 통과 트랜지스터 유효 폭을 표시한 그림이다. 위에서 서술했듯이, 통과 트랜지스터의 유효폭이 커질수록 RF 전력은 적은 삽입손실을 겪지만 트랜지스터의 차단 커패시턴스(off capacitance)가 커져 각 상태의 S_{21} 위상 차이를 좁히기 어렵고 감쇄도도 주파수에 따라 크게 변동할 수 있다. 본 회로는 통과 저항의 저항값과 꼬리 트랜지스터의 유효 폭을 적절히 조절하여 최대한 큰 통과 트랜지스터의 유효 폭을 갖게 하였다. 그림 6은 설계한 전체 감쇄기의 구조이다.

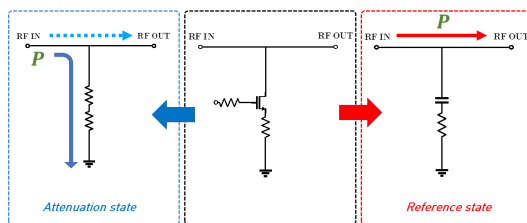


그림 4. 간소화된 T형 감쇄기의 동작형태
Fig. 4. Operation mode of attenuated T-type attenuator.

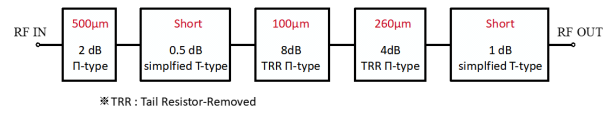


그림 5. 각 비트의 통과 트랜지스터 유효 폭
Fig. 5. Effective width of the pass transistor of each bit.

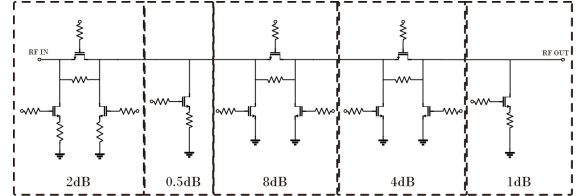


그림 6. 전체 감쇄기 구조
Fig. 6. Entire structure of attenuator.

III. 설계 결과 및 측정 결과

본 논문의 감쇄기는 각 비트에 내장되어 있는 반전기의 입력부에 직류 전원용 패드를 연결한 뒤, 패드에 외부 전원을 인가하였다. 그 후 각 패드에 연결된 5개의 통제 직류 전원을 이용하여 총 32개의 감쇄상태를 측정하였다. 그림 7은 감쇄기의 반사손실 시뮬레이션 및 측정 그래프이다. 감쇄기는 10~15 GHz 대역의 시뮬레이션에서 13.3 dB, 측정에서 14.58 dB 이상의 반사손실을 보인다. 그림 8은 감쇄기의 S_{21} 시뮬레이션 및 측정 그래프이다. 이 감쇄기는 해당 대역의 최대 시뮬레이션에서 1.75 dB, 측정에서 1.85 dB의 삽입손실을 갖는다. 그림 9는 감쇄기의 RMS 이득 편차와 위상 편차 시뮬레이션 및 측정 그래프이다. 이 감쇄기는 해당 대역 내 시뮬레이션에서 최대 0.08 dB의 RMS 이득 편차, 0.72°의 RMS 위상 편차를 가지고 측정에서 0.24 dB의 RMS 이득 편차, 4.49°의 RMS 위상 편차를 가진다. RMS 위상 편차의 시뮬레이션-측정

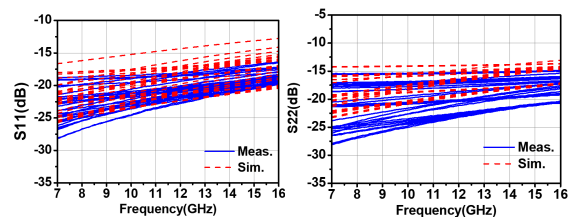


그림 7. 감쇄기의 반사계수 시뮬레이션 및 측정 결과
Fig. 7. Simulation and measurement results of return loss of attenuator.

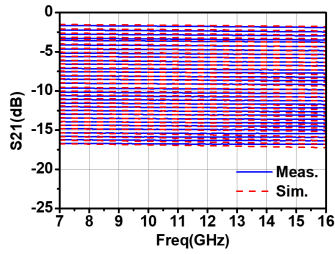
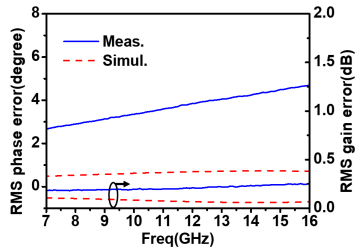
그림 8. 감쇄기의 S_{21} 시뮬레이션 및 측정 결과Fig. 8. Simulation and measurement results of attenuator S_{21} .

그림 9. 감쇄기의 RMS 이득 편차와 RMS 위상 편차 시뮬레이션 및 측정 결과

Fig. 9. Attenuator RMS gain error and RMS phase error simulation and measurement results.

간 차이가 큰 것은 트랜지스터의 시뮬레이션에서 소스-드레인, 게이트-드레인 간 기생 커패시턴스의 값이 해당 대역에서 정확하게 모델링되지 않았기 때문이다. 그림 10은 회로의 현미경 사진이며, 회로의 중심부 크기는 0.3×0.1 mm이다. 표 1은 다른 감쇄기들과의 성능 비교표이다. 이 논문의 감쇄기는 다른 감쇄기에 비해 작은 중심부 크기, 우수한 반사손실을 가지고 있으며, 특히 삽입손실에서 큰 우위를 지닌다.

IV. 결 론

본 논문에서는 130 nm CMOS SOI 공정으로 감쇄기를

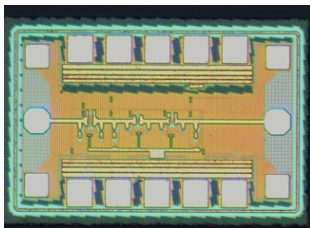


그림 10. 제작된 회로의 현미경 사진

Fig. 10. Microphotograph of fabricated circuit.

표 1. 감쇄기 성능 비교표

Table 1. Performance comparison with other attenuators.

Ref.	This work	Ref. [2]	Ref. [3]	Ref. [4]
Process	130 nm SOI	0.18 μ m SiGe BiCMOS	0.25 μ m SiGe BiCMOS	65 nm CMOS
Frequency (GHz)	10~15	22~29	6~12.5	DC~50
Return loss (dB)	>14.58	>9.9	>13	>12
Insertion loss (dB)	<1.85	<7.9	<12.7	<5.9
Attenuation range (dB)	15.5	14.5	16.51	15.5
RMS GE (dB)	<0.24	<0.51	<0.26	0.2 @dc-28G
RMS PE (degree)	<4.49	<4.7	<3.5	2.6 @dc-28G
Chip area (mm ²)	0.03	0.94	0.29	0.036

설계하였다. 큰 유효 폭을 가지는 통과 트랜지스터와 간소화된 T형 감쇄기를 이용해 적은 삽입 손실을 달성하였고, 꼬리 저항이 제거된 II형 구조를 이용해 공정 편차를 줄이고 칩 크기를 소형화할 수 있었다.

References

- [1] B. Sadhu, J. F. Bulzacchelli, and A. Valdes-Garcia, "A 28 GHz SiGe BiCMOS phase invariant VGA," in *2016 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, San Francisco, CA, May 2016, pp. 150-153.
- [2] J. Bae, C. Nguyen, "A novel concurrent 22~29/57~64-GHz dual-band CMOS step attenuator with low phase variations," *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 6, pp. 1867-1875, Jun. 2016.
- [3] M. Davulcu, C. Caliskan, I. Kalyoncu, M. Kaynak, and Y. Gurbuz, "7-bit SiGe-BiCMOS step attenuator for X-band phased-array RADAR applications," *IEEE Microwave and Wireless Components Letters*, vol. 26, no. 8, pp. 598-600, Aug. 2016.
- [4] P. Gu, D. Zhao, and X. You, "A DC-50 GHz CMOS switched-type attenuator with capacitive compensation technique," *IEEE Transactions on Circuits and systems I: Regular Papers*, vol. 67, no. 10, pp. 3389-3399, Oct. 2020.