

위상 제어 네트워크를 이용한 3.3~4.3 GHz 광대역 비대칭 도허티 전력증폭기

3.3~4.3 GHz Wideband Asymmetric Doherty Power Amplifier Using Phase Control Network

이명하 · 강현욱* · 송재성** · 양영구**

Myungha Lee · Hyunuk Kang* · Jaeseong Song** · Youngoo Yang**

요약

본 논문에서는 DPA(Doherty power amplifier)의 최대출력전력 및 효율을 향상시키기 위해 carrier amplifier의 입력네트워크에 위상 제어 네트워크(phase control network)를 추가한 DPA를 제시하였다. 위상 제어 네트워크는 DPA의 동작주파수 대역에 대해 대역통과회로로 동작하여 기존 설계한 DPA의 임피던스는 바꾸지 않으면서 DPA의 출력네트워크 combining node에서 carrier amplifier와 peaking amplifier의 위상차(phase difference)를 조절할 수 있다. 이 위상 제어 네트워크를 추가함으로써 n77 대역에서 최대출력전력 및 효율을 향상시켰다. 제작된 DPA는 continuous-wave 신호를 이용하여 측정된 결과 3.3~4.3 GHz 대역에서 peak power는 41.5~43.0 dBm, power gain은 8.1~10.9 dB의 값을 가지며, drain efficiency는 peak power에서 53.6~62.3 %, 7.5 dB back-off 지점에서는 40.5~52.8 %를 얻었다.

Abstract

In this study, a Doherty power amplifier (DPA) is developed by adding a phase-control network to the input side of the carrier amplifier to improve the maximum output power and efficiency of the DPA. The phase-control network operates as a bandpass circuit for the operating frequency of the DPA and does not change the impedance of the previously designed DPA. By adding this phase-control network, maximum output power and efficiency are improved in the n77 frequency band. The implemented DPA achieves 41.5~43.0 dBm output power and 8.1~10.9 dB power gain using a continuous-wave signal at 3.3~4.3 GHz. Additionally, the DPA exhibits a drain efficiency of 53.6~62.3 % at peak power and 40.5~52.8 % at 7.5 dB output back-off.

Key words: Doherty Power Amplifier, Phase Control Network, Asymmetric Doherty, 5G Communication

I. 서론

5G 통신 기지국에서는 주파수 이용효율 및 데이터 전

송속도를 높이기 위해 PAPR(peak-to average power ratio)을 갖는 변조 신호를 사용한다. 특히 기지국 power amplifier는 큰 PAPR을 갖는 신호를 이용하는데 높은 선

성균관대학교 DMC공학과(Department of Digital Media Communication Engineering, Sungkyunkwan University)

*(주)삼성전자(Samsung Electronics Co., Ltd.)

**성균관대학교 전자전기컴퓨터공학과(Department of Electrical and Computer Engineering, Sungkyunkwan University)

· Manuscript received April 29, 2024 ; Revised May 22, 2024 ; Accepted June 26, 2024. (ID No. 20240429-049)

· Corresponding Author: Youngoo Yang (e-mail: yang09@skku.edu)

형성 규격이 요구되기 때문에 주로 최대출력전력보다 낮은 back-off 영역에서 동작하게 되어 power amplifier의 효율이 감소하게 된다. 이러한 back-off 영역에서 효율을 향상시키기 위해 비교적 간단한 구조를 갖는 DPA가 널리 사용되고 있다^{[1]~[4]}.

DPA는 그림 1과 같이 class AB로 동작하는 carrier amplifier와 class C로 동작하는 peaking amplifier를 병렬로 연결한 간단한 구조로 전력증폭기의 입력 전력 레벨에 따라 부하 임피던스가 달라지는 load modulation을 통해 동작하게 된다. 이를 통해 DPA는 주로 최대출력전력 영역과 back-off 영역에서 높은 효율을 얻을 수 있다^{[1]~[3]}. Carrier amplifier와 peaking amplifier의 출력 신호는 각각의 출력 네트워크를 지나 combining node에서 결합되는데, 이때 combining node에서는 출력 신호의 전류가 최대로 흐르도록 하기 위해 peaking amplifier의 출력신호 위상인 θ_p 와 carrier amplifier 출력신호 위상 θ_c 가 적절한 위상차(phase difference)를 갖도록 하는 것이 중요하다. 이와 같이 원하는 위상 응답(phase response)을 얻기 위한 group delay engineering에 대한 연구가 진행되었다^[4].

본 연구에서는 asymmetric Doherty 구조를 이용하여 back-off 영역을 6 dB에서 7.5 dB로 확장하였고, class C로 동작하는 peaking amplifier의 부족한 전류를 증가시켰다^[5]. 출력 네트워크는 트랜지스터의 기생성분에 의한 대역감소를 방지하기 위해 기생성분을 포함하도록 하였고,

carrier amplifier는 90°의 전기적 길이를 갖는 $\lambda/4$ 임피던스 변환기로, peaking amplifier는 0°의 전기적 길이를 갖는 공진회로로 구성하여 3.3~4.3 GHz에서 동작하는 DPA를 설계하였다^[6]. 추가로 이와 같이 설계한 DPA의 carrier amplifier 입력 네트워크에 group delay engineering을 위한 위상 제어 네트워크(PCN, phase control network)를 추가하여 출력 네트워크의 combining node에서 출력 신호의 전류를 최대로 흐르도록 설계하여 3.3~4.3 GHz 대역에서 최대출력전력 및 back-off 영역에서 효율을 향상시켰다.

최종적으로 설계한 DPA는 5G 통신 기지국에 적합한 GaN(gallium nitride) 트랜지스터를 이용하여 3.3~4.3 GHz 대역에서 41.5 dBm 이상의 최대출력전력 특성을 가지며, 7.5 dB back-off 영역에서 40.5 % 이상의 고효율 특성을 제작 및 실험을 통해 검증하였다.

II. 전력 증폭기 설계

본 연구에서는 carrier amplifier 및 peaking amplifier에 각각 cree사의 GaN(gallium nitride) 트랜지스터 6 W (CGH40006P) 및 10 W(CGH40010F)를 사용한 asymmetric doherty 구조를 이용하였다.

출력 네트워크는 carrier 및 peaking amplifier 모두 기생성분에 의한 대역감소를 방지하기 위해 트랜지스터의 기

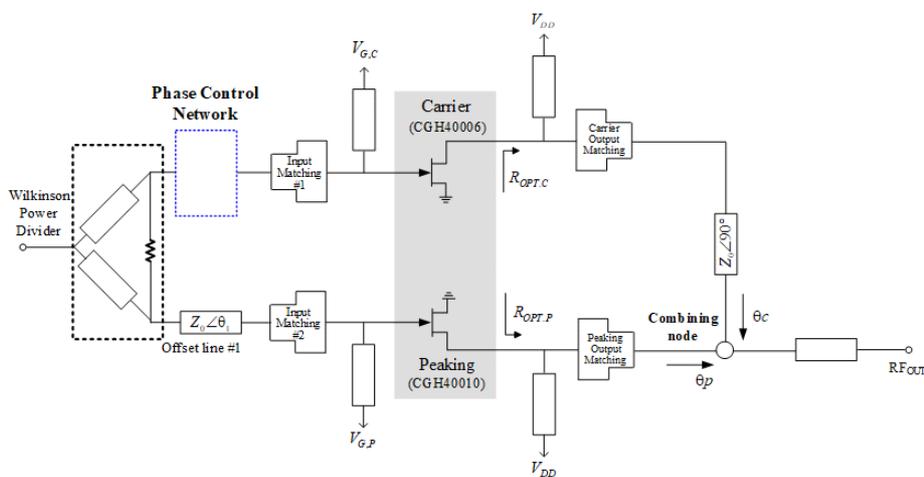


그림 1. 제안하는 위상 제어 네트워크를 추가한 DPA 회로도
Fig. 1. DPA circuit diagram adding the proposed phase control network.

생성분을 포함하도록 네트워크를 구성하였다. Carrier amplifier의 출력 네트워크는 $R_{opt,c}=37.5 \Omega$, 90° 의 전기적 길이를 갖는 $\lambda/4$ 임피던스 변환기로 구성하였고, peaking amplifier의 출력 네트워크는 트랜지스터의 기생성분을 제거하도록 $R_{opt,p}=25 \Omega$, 0° 의 전기적 길이를 갖는 공진회로로 구성하여 series line 없이 compact한 구조를 갖도록 설계하였다.

이와 같은 출력 네트워크는 VS(virtual stub), OCC(out-phased current combining), CCL(complex combining load) 등의 기법을 이용한 DPA들과 비교하여 ITR(impedance transform ratio)이 작아 광대역 구현에 용이하며 비교적 compact하게 구현할 수 있지만, 실질적인 output back-off level은 6 dB이다. 따라서 5G 통신에서 사용하는 PAPR 7.5 dB 신호에 대해서 average power에서 효율이 낮다는 단점이 있다. 이를 개선하기 위해 앞서 설명한 위상 제어 네트워크를 추가해 출력 네트워크의 combining node에서 최대출력전력을 증가시켰고, 이로 인해 output back-off 7.5 dB 지점의 출력전력 또한 증가하여 back-off 영역에서의 효율을 향상시켰다.

Group delay engineering을 위한 위상 제어 네트워크는 설계한 DPA의 출력 네트워크의 특성을 바꾸지 않고 그대로 유지하기 위해 그림 1과 같이 DPA의 carrier amplifier 입력 네트워크에 추가하였다. 또한 carrier 입력 네트워크에 추가하는 이유는 class AB로 동작하는 carrier amplifier가 class C로 동작하는 peaking amplifier보다 선형성 및 입력 반사계수 특성이 좋기 때문이다.

그림 2의 검정색 선은 위상 제어 네트워크를 추가하기 전 carrier 및 peaking amplifier의 위상차이인 $\theta_p - \theta_c$ 를 나타낸다. 여기에 위상 제어 네트워크를 추가함으로써 기대하는 각 주파수별 최대출력전력 $P_{max}(Ideal)$ 을 내기 위해 필요한 위상차 $\theta_p - \theta_c$ 특성은 그림 2의 파란색 점선으로 나타내었다. 또한 기대하는 $P_{max}(Ideal)$ 보다 0.2 dB 작은 power를 위한 위상차는 그림 2의 회색 선으로 나타내었다. 결론적으로 위상 제어 네트워크를 통해 검정색 선으로 표시한 현재 DPA의 위상차 $\theta_p - \theta_c$ 를 회색선 안쪽으로 들어오도록 하면 overall하게 전체 주파수 대역에서 최대출력전력을 향상시킬 수 있다.

DPA의 위상차 $\theta_p - \theta_c$ 를 조절하기 위한 위상 제어 네

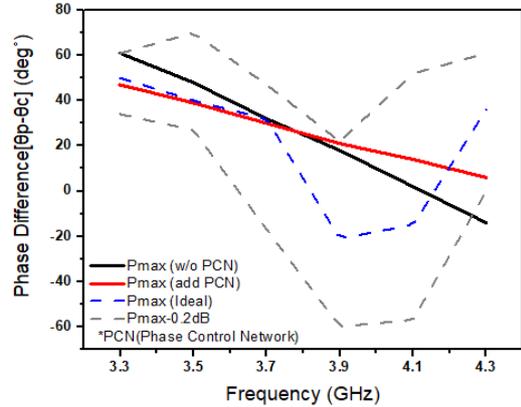


그림 2. Carrier 및 peaking amplifier의 출력신호 위상차 $[\theta_p - \theta_c]$

Fig. 2. Phase difference between output signals of carrier and peaking amplifier $[\theta_p - \theta_c]$.

트위크로 그림 3의 pi-type의 3차 BPF(band pass filter) 구조를 제시한다. 이 위상 제어 네트워크는 parallel LC, series LC, parallel LC 공진회로 구조로 구성된다.

식 (1)은 LC 공진회로에서 공진주파수 F_r 및 L, C 의 관계에 대한 식이다.

$$F_r = \frac{1}{2\pi\sqrt{LC}} \quad (1)$$

식 (1)을 통해 그림 3의 위상 제어 네트워크는 공진주파수 F_r 에 따라 다양한 조합의 C_s, L_s 그리고 C_p, L_p 값을 가질 수 있다. 이를 통해 F_r 및 L, C 값에 따라 다양한 형태

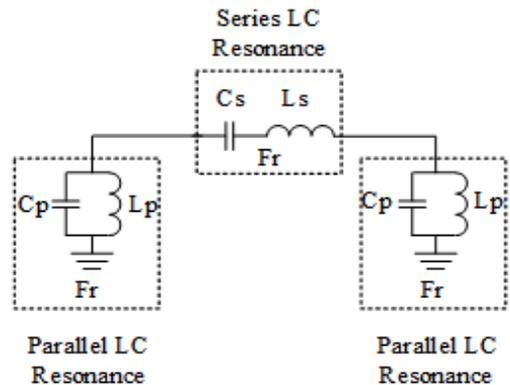


그림 3. 제안하는 위상 제어 네트워크

Fig. 3. Proposed phase control network.

의 위상응답(phase response)을 가질 수 있다.

그림 3의 위상 제어 네트워크를 설계한 DPA에 추가한 후 변수 C_s, C_p, L_s, L_p 및 공진주파수 F_r 값을 sweep하여 얻은 DPA의 출력신호의 위상차 $\theta_p - \theta_c$ 특성을 그림 4에 나타내었다. 여기서 C_s, C_p, L_s, L_p 값은 위상 제어 네트워크가 기존 DPA의 임피던스에 주는 영향을 최소화하기 위해 입력 반사계수는 -10 dB 미만이 되도록 하는 범위 내에서 변경하였고, 공진주파수 F_r 은 DPA의 동작주파수 범위인 $3.3 \sim 4.3$ GHz에서 변경하였다. 확인 결과, C_s 가 클수록, C_p 가 작을수록 주파수 변화에 따른 기울기를 크게 만들어낼 수 있으며, 공진주파수 F_r 에 따라 다양한 DPA의 출력신호 위상차 $\theta_p - \theta_c$ 를 만들어 낼 수 있음을 확인하였다. 이와 같이 제안하는 pi-type의 3차 BPF 구조를 이용하여 자유도를 가지고 C_s, C_p, L_s, L_p 및 공진주파수 F_r 을 변경하여 원하는 위상차 $\theta_p - \theta_c$ 를 만들어낼 수 있다. 본문에서 최종적으로 선정한 C_s, C_p, L_s, L_p 및 공진주파수 F_r 을 적용하여 얻은 $\theta_p - \theta_c$ 특성을 그림 4의 빨간색 선으로 표현하였고, 표 1에 해당 값들을 나타내었다.

표 1의 값을 앞서 설계한 DPA 회로에 적용하여 확인한 $\theta_p - \theta_c$ 를 그림 2의 빨간색 선으로 나타내었다. low fre-

표 1. 최종적으로 선정한 C_s, C_p, L_s, L_p 및 F_r 값
Table 1. Selected C_s, C_p, L_s, L_p, F_r .

F_r (GHz)	C_s (pF)	C_p (pF)	L_s (nH)	L_p (nH)
3.8	10	0.5	0.17	3.5

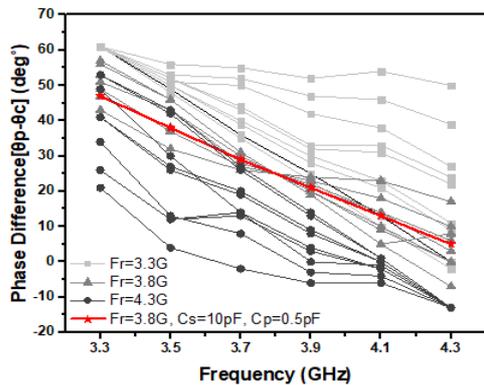


그림 4. C_s, C_p, L_s, L_p 및 F_r 에 따른 $\theta_p - \theta_c$ 특성
Fig. 4. $\theta_p - \theta_c$ characteristics depending on C_s, C_p, L_s, L_p, F_r .

quency 영역에서는 $P_{max}(Ideal)$ 를 위한 위상차 $\theta_p - \theta_c$ 와 유사하게 구현하였고, high frequency 영역에서는 회색선 안 쪽으로 들어오도록 하였다. 위상 제어 네트워크 추가 전 후에 따른 최대출력전력 및 drain efficiency 변화는 그림 5와 같다. 여기서 drain efficiency는 도허티 전력증폭기가 주로 동작하는 7.5 dB output back-off 영역에서의 값이다. Carrier 및 peaking amplifier의 출력신호의 위상차이인 $\theta_p - \theta_c$ 를 조절함으로써 전 주파수 대역에서 최대출력전력 및 효율이 향상된 것을 확인할 수 있다.

한편 그림 5를 보면 위상 제어 네트워크를 추가함으로써 4.3 GHz에서 drain efficiency는 시뮬레이션 결과 감소했는데, 이는 class C로 동작하는 peaking amplifier의 non-linear phase distortion으로 인한 것이다. 주파수 및 출력전력이 증가하게 되면 transistor의 input capacitance가 증가하여 peaking amplifier가 더욱 capacitive하게 동작하게 된다. 위상 제어 네트워크를 추가함으로써 4.3 GHz에서의 출력전력이 증가하였고, 이로 인해 drain efficiency가 감소하였다.

앞서 제안한 위상 제어 네트워크는 ideal component인 capacitor와 inductor로 구현한 것이다. Layout 및 PCB 제작을 위해서는 실제로 제작이 가능한 구조로 implementation이 필요하다. 그림 3의 Series LC component는 본 논문의 DPA 설계 주파수인 $3.3 \sim 4.3$ GHz에서 short circuit으로 동

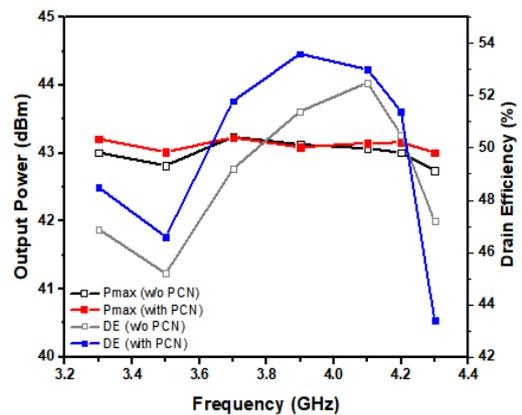


그림 5. 위상 제어 네트워크 추가 전후에 따른 P_{max} , DE 그래프
Fig. 5. P_{max} , DE graph before and after adding phase control network.

작하여 Implementation 과정에서 생략이 가능하다. 그림 3의 Parallel LC 공진회로는 $f_c=3.8$ GHz에서 open circuit으로 동작한다. 따라서 fundamental frequency에서 open circuit으로 동작하는 $\lambda/4$ 길이의 transmission line과 Implementation 과정에서 생기는 오차에 대해 실제 측정시 튜닝의 용이성을 위해 bypass capacitor를 이용하여 short circuited shunt stub으로 Implementation하였다. 또한 transmission line을 implementation할 때 추가되는 cross junction 및 inter-connection 등에 의해 발생하는 phase error를 보정

하기 위해 transmission line을 추가하였고, 이는 offset line의 역할을 하므로 peaking amplifier의 입력 네트워크에 위치한 offset line에 보상 및 반영하였다. 그림 6에 위상 제어 네트워크의 implementation 과정을 나타내었다. 그림 7은 ideal component로 구현한 위상 제어 네트워크와 이를 implementation한 위상 제어 네트워크의 주파수에 따른 위상 변화 특성을 나타낸 그래프이다. Implementation 전후의 위상 특성이 일치하는 것을 확인할 수 있다. 최종적으로 설계한 DPA의 최종 회로도 그림 8에 나타내었다.

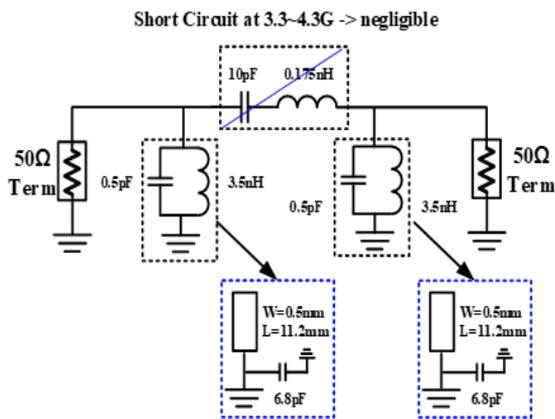


그림 6. 위상 제어 네트워크 구현
Fig. 6. Phase control network implementation.

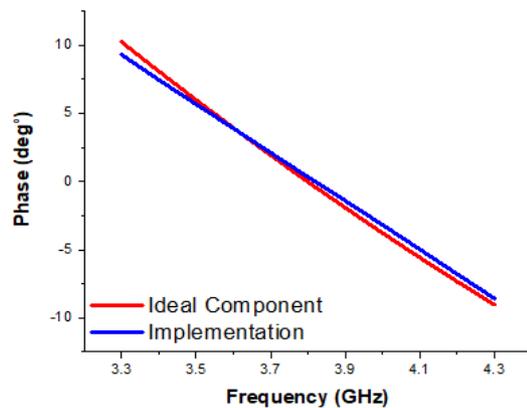


그림 7. 위상 제어 네트워크의 위상 특성 비교
Fig. 7. Phase comparison of phase control network.

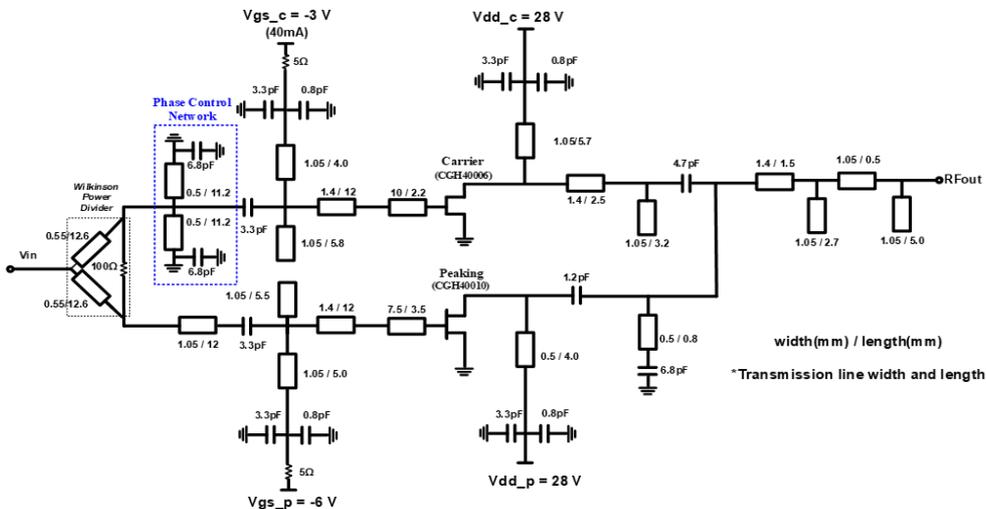


그림 8. 제안하는 최종 DPA 회로도
Fig. 8. Proposed final DPA schematic.

III. 제작 및 측정 결과

최종적으로 설계한 DPA의 제작된 사진은 그림 9에 나타내었다. PCB는 Rogers사의 RO4350B 기판을 사용하였으며, 유전율 3.78, 두께 20 mil, 회로의 크기는 63×60 mm²이다. Carrier amplifier와 peaking amplifier는 각각 cree사의 GaN 트랜지스터 CGH40006P와 CG2H40010F를 사용하였다. 입력신호는 Wilkinson power divider를 통해 동일하게 carrier 및 peaking amplifier로 분배되며, carrier amplifier의 gate voltage는 -3.0 V, 대기전류(quiescent current)는 40 mA로 설정하였고, peaking amplifier의 gate voltage는 -6.0 V로 설정하였다. Drain voltage는 carrier 및 peaking amplifier 모두 동일하게 28 V를 인가하였다. 제작된 DPA는 cw 신호를 이용하여 3.3~4.3 GHz 대역에서 peak power는 41.5~43.0 dBm, gain은 8.1~10.9 dB의 값을 가지며, drain efficiency는 peak power에서 53.6~62.3 %, 7.5 dB back-off 지점에서는 40.5~52.8 %를 얻었으며, 이를 그림 10에 나타내었다. 7.8 dB의 PAPR을 갖는 5G NR 100 MHz 64-QAM OFDM 신호를 이용하여 3.3~4.3 GHz 대역에서 측정된 DPA의 ACLR 및 gain, drain efficiency 측정 결과는 각각 그림 11 및 그림 12에 나타내었다. 7.5 dB back-off 지점에서 ACLR은 -20.9~-25.1 dBc를 얻었으며, gain은 7.6~7.9 dB, drain efficiency는 42.5~50.6 %를 얻었다. 표 2에 이번 연구와 관련된 이전 연구들과의 성능을 비교하였다. 제안하는 DPA가 이전 연구들의 결과와

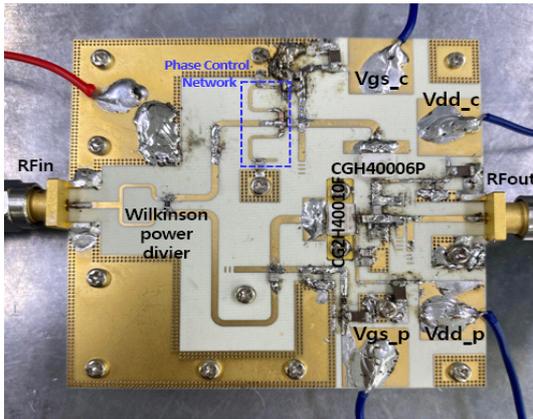
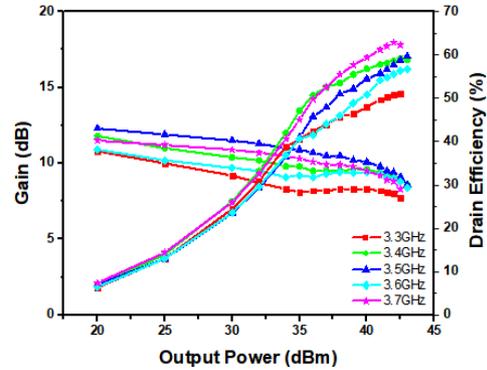
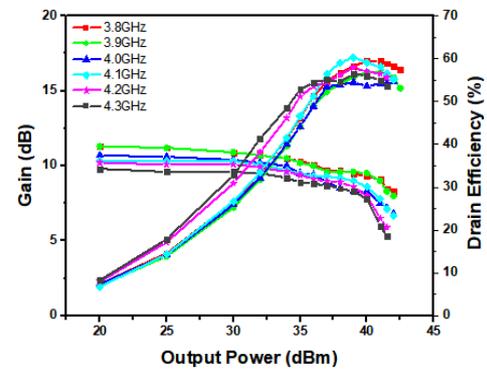


그림 9. 제작된 DPA 사진
Fig. 9. Picture of the implemented DPA.



(a) 3.3~3.7 GHz 대역에서의 gain 및 DE
(a) Gain and DE in the 3.3~3.7 GHz band



(b) 3.8~4.3 GHz 대역에서의 gain 및 DE
(b) Gain and DE in the 3.8~4.3 GHz band

그림 10. CW 신호를 이용한 측정결과
Fig. 10. Measurement results using CW signal.

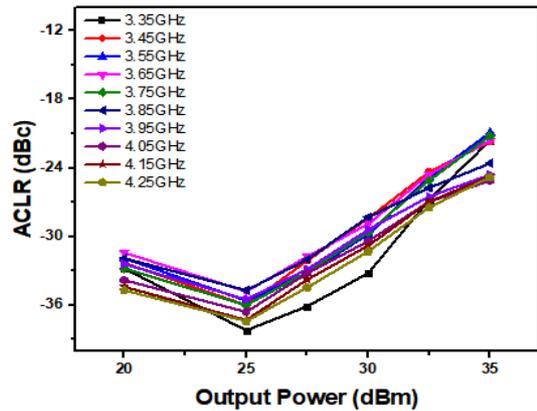
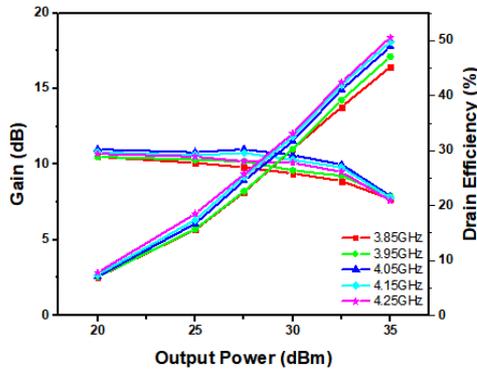
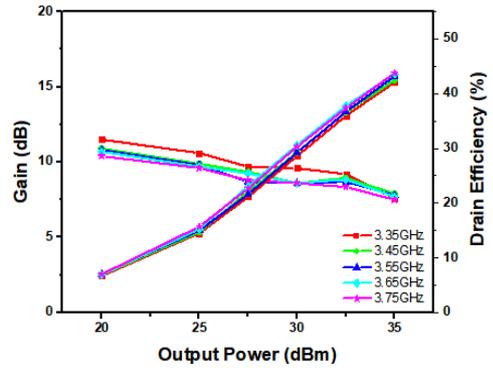


그림 11. 5G NR 100 MHz 신호를 이용한 ACLR 측정결과
Fig. 11. ACLR results using 5G NR 100 MHz signal.



(a) 3.3~3.7 GHz 대역에서의 gain 및 DE
(a) Gain and DE in the 3.3~3.7 GHz band



(b) 3.8~4.3 GHz 대역에서의 gain 및 DE
(b) Gain and DE in the 3.8~4.3 GHz band

그림 12. 5G NR 100 MHz 신호를 이용한 측정결과
Fig. 12. Measurement results using 5G NR 100 MHz signal.

표 2. 이전 관련 연구들과의 성능 비교
Table 2. Performance comparison with previous related studies.

Ref.	Freq (GHz)	Topology	Gain (dB)	P_{sat} (dBm)	P_{avg} (dBm)	DE _{avg} (%)	ACLR (dBc)	OBO (dB)	FBW (%)	Signal/BW [MHz]
[7]	3.4~3.7	Symmetric	11.9~12.7	41.7~42.3	33.7	55.3~60.9	-25.5	8.5	8.4	5G/100
[8]	3.4~3.6	Asymmetric	26.2~26.6	43	35	41.5~43.1	-24	8	5.7	LTE/20
[9]	3.3~3.55	Asymmetric	12~15	47.5	39	50.6	-26	7.5~8.0	7.3	LTE/20
[10]	3.5~3.6	Asymmetric (CCL)	10.7~11.5	42~43	35	48.0~48.5	-31	7-8	2.8	LTE/20
[11]	3.45~3.75	Asymmetric (VS+OCC)	9.5~11.8	41.8~43.8	34.6~36.8	33.3~54.1	-25	7	8.3	5G/100
[12]	3.5~4.0	Asymmetric	10.4~11.8	43.8~44.7	36.5	45.5~56.5	-24	7	13.3	5G/100
[13]	3.7~4.0	Asymmetric (OCC+CCL)	8.2~8.7	43.0~44.3	34	41.5~48.4	-24	9	7.8	5G/100
[14]	3.3~4.2	Asymmetric (VS)	8.2~9.1	42.4~42.8	35	46.0~57.0	-27.2	7.8	24.1	5G/100
This work	3.3~4.3	Asymmetric (PCN)	8.1~10.9	41.5~43.0	35	40.5~52.8	-25.1	6.5~8.0	26.3	5G/100

DE: drain efficiency.
FBW: fractional bandwidth.

비교하여 더 넓은 주파수 대역을 갖는다.

IV. 결 론

본 논문에서는 DPA의 최대출력전력 및 효율을 향상시키

기 위해 carrier amplifier의 입력 네트워크에 위상 제어 네트워크를 추가한 DPA를 제시하였다. 본 논문에서 제시한 위상 제어 네트워크는 DPA의 동작주파수 대역에 대대역 통과회로로 동작하여 DPA의 임피던스는 바꾸지 않으면서 DPA의 출력네트워크 combining node에서 carrier

amplifier와 peaking amplifier의 위상차를 조절할 수 있다. 또한 layout 상에서 parallel하게 배치가 가능해 기존 설계한 회로에서 사이즈가 늘어나지 않으며 passive network로 추가적인 bias를 필요로 하지 않아 전력을 소모하지 않는다는 장점이 있다. 이 위상 제어 네트워크를 추가함으로써 5G 통신 주파수 n77 대역에서 최대출력전력 및 효율을 향상시켰다. 제작된 DPA는 cw 신호를 이용하여 3.3~4.3 GHz 대역에서 peak power는 41.5~43.0 dBm, Gain은 8.1~10.9 dB의 값을 가지며, DE는 peak power에서 53.6~62.3 %, 7.5 dB back-off 지점에서는 40.5~52.8 %를 얻었다.

References

- [1] B. Kim, J. Kim, I. Kim, and J. Cha, "The Doherty power amplifier," *IEEE Microwave Magazine*, vol. 7, no. 5, pp. 42-50, Oct. 2006.
- [2] J. Moon, J. Kim, J. Kim, I. Kim, and B. Kim, "Efficiency enhancement of Doherty amplifier through mitigation of the knee voltage effect," *IEEE Transactions on Microwave Theory and Techniques*, vol. 59, no. 1, pp. 143-152, Jan. 2011.
- [3] W. H. Doherty, "A new high efficiency power amplifier for modulated waves," *Proceedings of the Institute of Radio Engineers*, vol. 24, no. 9, pp. 1163-1182, Sep. 1936.
- [4] M. Cavarroc, A. Lamy, O. Lembeye, R. McLaren, C. Duvanaud, and S. Bachir, "Compact 40% fractional bandwidth Doherty PA with input group delay engineering," *IEEE Microwave and Wireless Technology Letters*, vol. 33, no. 6, pp. 851-854, Jun. 2023.
- [5] H. Oh, H. Kang, H. Lee, H. Koo, M. Kim, and W. Lee, et al., "Doherty power amplifier based on the fundamental current ratio for asymmetric cells," *IEEE Transactions on Microwave Theory and Techniques*, vol. 65, no. 11, pp. 4190-4197, Nov. 2017.
- [6] H. Kang, H. Lee, W. Lee, H. Oh, W. Lim, and H. Koo, et al., "Octave bandwidth Doherty power amplifier using multiple resonance circuit for the peaking amplifier," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 66, no. 2, pp. 583-593, Feb. 2019.
- [7] Y. Chen, W. Choi, J. Shin, H. Jeon, S. Bae, and Y. C. Choi, et al., "Generalized expression and design method of modified load networks for Doherty power amplifier with extended back-off range," *IEEE Access*, vol. 10, pp. 77487-77497, Jul. 2022.
- [8] S. Maroldt, M. Ercoli, "3.5-GHz ultra-compact GaN class-E integrated Doherty MMIC PA for 5G massive-MIMO base station applications," in *2017 12th European Microwave Integrated Circuits Conference (EuMIC)*, Nuremberg, Oct. 2017, pp. 196-199.
- [9] J. Zhou, W. Chen, L. Chen, and Z. Feng, "3.5~0 GHz high-efficiency broadband asymmetric Doherty power amplifier for 5G applications," in *2018 International Conference on Microwave and Millimeter Wave Technology (ICMMT)*, Chengdu, May 2018, pp. 1-3.
- [10] J. Kim, W. Choi, Y. Choi, H. Oh, and Y. Yang, "3.5 GHz high-efficiency asymmetric Doherty power amplifier design using a complex combining load," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 32, no. 8, pp. 708-716, Aug. 2021.
- [11] Y. C. Choi, W. Choi, H. Oh, Y. Chen, J. Shin, and H. Jeon, et al., "Doherty power amplifier with extended high-efficiency range based on the utilization of multiple output power back-off parameters," *IEEE Transactions on Microwave Theory and Techniques*, vol. 70, no. 4, pp. 2258-2270, Apr. 2022.
- [12] Y. Chen, W. Choi, J. Shin, H. Jeon, S. Bae, and S. Bin, et al., "New compact load network for Doherty power amplifiers based on L-section matching network of the carrier amplifier and post-matching network," *IEEE Access*, vol. 11, pp. 66478-66487, Jul. 2023.
- [13] J. Choi, Y. Chen, S. H. Kim, J. Song, Y. Lee, and S. Lim, et al., "3.7~4.0 GHz GaN-HEMT Doherty power amplifier using out-phased current combining and complex combining load methods," *The Journal of Korean Institute of Electromagnetic Engineering and Science*,

vol. 34, no. 11, pp. 791-798, Nov. 2023.

[14] J. Shin, W. Choi, Y. Chen, H. Jeon, S. Bae, and Y. C. Choi, et al., "Broadband virtual-stub Doherty power am-

plifier using asymmetric structure," *IEEE Access*, vol. 11, pp. 101425-101434, Sep. 2023.

이 명 하 [성균관대학교/석사과정]

<https://orcid.org/0009-0008-0010-9037>



2012년 8월: 서울과학기술대학교 전자IT 미디어공학과 (공학사)
2012년 7월~현재: 삼성전자 책임연구원
2023년 3월~현재: 성균관대학교 DMC공학과 석사과정
[주 관심분야] Design of RF Power Amplifiers for Base-Station, Broadband Technique.

송 재 성 [성균관대학교/석사과정]

<https://orcid.org/0009-0009-4095-7687>



2023년 2월: 수원대학교 전자공학과 (공학사)
2023년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정
[주 관심분야] RF/mm-Wave Power Amplifier, Linearization and Efficiency Enhancement Techniques.

강 현 옥 [삼성전자/책임연구원]

<https://orcid.org/0000-0003-4938-890X>



2012년 8월: 목포해양대학교 전자공학과 (공학사)
2020년 2월: 성균관대학교 전자전기컴퓨터공학과 (공학박사)
2020년 3월~현재: 삼성전자 책임연구원
[주 관심분야] RF Power Amplifier Design, Linearity and Efficiency Improvement

양 영 구 [성균관대학교/교수]

<https://orcid.org/0000-0003-3463-0687>



1997년 2월: 한양대학교 전자공학과 (공학사)
2002년 2월: 포항공과대학교 전자공학과 (공학박사)
2002년 3월~2002년 7월: 포항공과대학교 전자전기공학과 박사후 연구원
2002년 8월~2005년 2월: Skyworks Solutions Inc., Senior Electronic Engineer

2005년 3월 ~현재: 성균관대학교 전자전기컴퓨터공학과 교수
[주 관심분야] 초고주파 회로 설계, 무선통신 송/수신기 시스템 설계, 비선형 회로 분석 및 시뮬레이션 기법 연구