

# Virtual Short-Stub와 Complex Combining Load를 이용한 3.4~4.4 GHz 고효율 비대칭 도허티 전력증폭기 설계

## 3.4~4.4 GHz High-Efficiency Asymmetric Doherty Power Amplifier Using Virtual Short-Stub and Complex Combining Load

이 윤 환\* · 송 재 성 · 양 영 구

Yunhwan Lee\* · Jaeseong Song · Youngoo Yang

### 요 약

본 논문에서는 VS(virtual short stub)와 CCL(complex combining load)를 적용하여 도허티 전력증폭기의 OBO(output power back-off)를 확장시켰다. VS와 CCL을 함께 적용시 단독으로 사용할 때보다 설계의 자유도가 생기며, 부하 임피던스를 결정할 수 있는 파라미터를 제시하였다. 출력매칭 네트워크는 트랜지스터의 내부 기생성분을 포함하는 1단 L-section으로 구성하였으며, 2 dB power contour 내에 트랜지스터에서 확인한 임피던스들이 모두 포함될 수 있도록 최적화하여 주파수 대역을 확장시켰다. 또한, 최대 출력 전력에서 보조 전력증폭기의 전류가 부족한 부분을 비대칭 구조로 보완하였다. 제작된 도허티 전력증폭기는 3.4~4.4 GHz 대역에서 CW 신호를 사용하여 41.9~43.1 dBm의 최대 출력 전력, 7~8.8 dB의 gain을 얻었다. 최대 전력에서 62~68.8 %의 DE(drain efficiency), 최대 출력에서 7.5 dB Back off 지점인 35 dBm 출력 전력에서 43.3~49.7 % DE를 얻었다.

### Abstract

In this study, a virtual short stub (VS) and complex combining load (CCL) are applied together to extend the output power back-off (OBO) of a Doherty power amplifier. To design a wider frequency range, the output matching network of the amplifier is constructed using an L-section structure, including the internal parasitic components of the transistor. The impedances of the transistor within the 2 dB power contour can be incorporated. In addition, an asymmetric structure is adopted to compensate for the relative lack of current in the peaking power amplifier compared with the carrier power amplifier at the maximum output power. The Doherty power amplifier is implemented using GaN-HEMT 6 W and 10 W. Using a continuous wave signal, peak power of 41.9~43.1 dBm, drain efficiency (DE) of 62~68.8 % at peak power and DE of 43.3~49.7% at back-off power are achieved.

Key words: CCL(Complex Combining Load), VS(Virtual Short Stub), Asymmetric, Doherty Power Amplifier

### I. 서 론

최근 무선 통신의 발달로 5G NR(new radio) 통신이 시작되면서 스마트폰과 같은 휴대기기뿐만 아니라, 의료기

기, 제조 산업 등에 사용되는 기기까지 더하여 연동되는 기기가 4G보다 월등히 많고, 모두 대용량의 데이터와 빠른 통신 속도에 대한 요구가 더욱 커지고 있다. 5G 통신은 데이터 전송 속도를 증가시키기 위하여 신호의 주파

「이 연구는 삼성전자 지원에 받아 수행된 연구임.」

성균관대학교 전자전기컴퓨터공학과(Department of Electrical and Computer Engineering, Sungkyunkwan University)

\*성균관대학교 DMC공학과(Department of Digital Media Communication Engineering, Sungkyunkwan University)

· Manuscript received April 25, 2024 ; Revised May 10, 2024 ; Accepted May 14, 2024. (ID No. 20240425-044)

· Corresponding Author: Youngoo Yang (e-mail: yang09@skku.edu)

수 대역이 넓어지고, 신호의 변조(modulation) 차수가 높아짐에 따라 변조 신호는 높은 PAPR(peak-to-average power ratio)를 가지게 되었다. 이에 따라 기지국 시스템에서는 전력증폭기의 평균 출력전력에서의 효율이 중요해지고 있다<sup>[1]~[16]</sup>.

도허티 전력증폭기는 회로의 구조가 단순하고 6 dB OBO(output power back-off)에서 높은 효율을 얻을 수 있어 널리 사용되고 있다. 하지만 기존의 도허티 전력증폭기는 트랜지스터의 기생 성분이나  $\lambda/4$  임피던스 트랜스포머(impedance transformer) 등에 의해 대역폭이 좁고 OBO가 6 dB까지만 가능한 한계점이 있다. 기존 도허티 전력증폭기의 낮은 OBO를 확장하기 위해서 Multi-way, Asymmetric 도허티 전력증폭기, OCC(out-phased current combining), CCL(complex combining load), VS(virtual short stub) 도허티 전력증폭기 등 연구가 활발히 진행되고 있다<sup>[3]~[12]</sup>. 또한, 낮은 대역폭을 극복하기 위해서 기생 성분을 상쇄시키거나 보조 전력증폭기에 공진회로를 사용하는 MRC(multiple resonance circuit) 방법 등이 연구되었다<sup>[13],[14]</sup>.

본 논문에서는 결합 노드에서 복소부하를 사용하는 CCL과 낮은 전력에서 보조 전력증폭기의 임피던스를 활용하는 VS를 함께 적용하여 OBO를 기존 6 dB에서 7.5 dB로 확장하였으며, VS와 CCL을 함께 적용하여 부하 임피던스를 결정할 수 있는 파라미터를 제시하였다. 주 전력증폭기와 보조 전력증폭기의 매칭 네트워크를 트랜지스터의 기생성분을 활용하여 간단한 구조인 1단 L-section으로 구성하여 주파수 의존성을 최소화시키고, 3.4~4.4 GHz의 넓은 주파수 대역에서 트랜지스터에서 확인한 임피던스를 2 dB power contour내에서 확인하였다. 또한, Cree사의 GaN-HEMT 6 W CGH40006P소자와 10 W CG2H40010F 소자로 비대칭 구조를 활용하여 최대 출력 전력에서 주 전력증폭기의 전류와 보조 전력증폭기의 전류가 같아지게 함으로써 부하 변조가 정확하게 이루어지도록 하였다<sup>[15]</sup>.

## II. 전력증폭기 설계

그림 1은 트랜지스터를 전원원으로 등가한 간소화된 도허티 전력증폭기의 회로이다.  $R_{opt,c}$ 와  $R_{opt,p}$ 는 각 전력

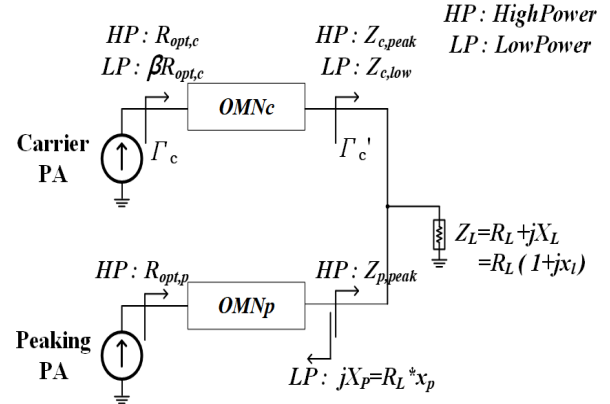


그림 1. 간소화된 도허티 전력증폭기 블록도

Fig. 1. Simplified Doherty power amplifier block diagram.

증폭기의 최적 임피던스를 나타내며,  $\beta R_{opt,c}$ 는 낮은 전력에서의 주 전력증폭기의 최적 임피던스이다. 주 전력증폭기의 매칭 네트워크( $OMN_c$ )는 낮은 전력에서는  $Z_{c,low}$ 에서  $\beta R_{opt,c}$ 로 높은 전력에서는  $Z_{c,peak}$ 에서  $R_{opt,c}$  임피던스를 변환해 주어야 한다. 보조 전력증폭기의 매칭 네트워크( $OMN_p$ )는 낮은 전력에서는 꺼져있는 상태이므로 개방 상태의 무한대 임피던스가 아닌 리액턴스  $jX_p$ 를 제공해야 하고, 높은 전력에서는  $Z_{p,peak}$ 에서  $R_{opt,p}$ 로 임피던스를 변환해 주어야 한다.  $\theta_c$ 는 주 전력증폭기의 매칭 네트워크( $OMN_c$ )의 phase delay이다.

OBO는 참고문헌 [11] 및 참고문헌 [12]를 참고하여 그림 1에 나타난 주 전력증폭기의 파라미터  $\beta$ ,  $\Gamma_c$ ,  $\Gamma'_c$ ,  $Z_{c,low}$ ,  $Z_{c,peak}$ 로 식 (1)~식 (4)으로 나타낼 수 있다.

$$OBO(dB) = 10\log(2\beta) \quad (1)$$

$$\beta = \frac{1 + |\Gamma_c|}{1 - |\Gamma_c|} \quad (2)$$

$$\Gamma_c = \Gamma'_c * e^{j2\theta_c} \quad (3)$$

$$\Gamma'_c = \frac{Z_{c,low} - Z_{c,peak}}{Z_{c,low} + Z_{c,peak}} * \quad (4)$$

$Z_{c,peak}$ 와  $Z_{p,peak}$ 는 높은 전력에서의 각 증폭기의 부하 임피던스로 결합 노드의 임피던스가  $Z_L$ 이므로  $2Z_L$ 이 되어야 한다.  $Z_{c,low}$ 는 낮은 전력에서  $jX_p$ 와  $Z_L$ 이 병렬로 보

이게 된다.

$$Z_{c,peak} = Z_{p,peak} = 2Z_L \quad (5)$$

$$Z_{c,low} = jX_P // Z_L \quad (6)$$

$Z_{c,peak}$ 와  $Z_{c,low}$ 를 앞서 구한 식 (3) 및 식 (4)에 대입하고  $x_l = X_L/R_L$ ,  $x_p = X_P/R_L$ 로 나타낼 때, 식 (7)과 같은 수식을 구할 수 있다.

$$\Gamma_c = \frac{2x_l^2 + x_l^*x_p - j4x_l - jx_p - 2}{2x_l^2 + x_l^*x_p + j3x_p + 2} * e^{j2\theta_c} \quad (7)$$

식 (7)으로부터 본 논문에서 목표하고자 하는 OBO 7.5 dB를 만족하기 위한 파라미터들을 표 1에 나타내었다.

그림 2는 표 1의 파라미터를 사용하여 설계한 제안하는 도허티 전력증폭기의 출력매칭 네트워크이다. Load-pull 시뮬레이션을 통해  $R_{opt,c}$ 와  $R_{opt,p}$ 는 각각 26.5  $\Omega$ , 20  $\Omega$ 으로 결정하였다.  $R_L$ 은 27  $\Omega$ 으로 정하였고,  $OMN_c$ 와  $OMN_p$  모두 기생성분을 포함하는 1단 L-section으로만

표 1. 출력 매칭 네트워크 설계 파라미터

Table 1. Output matching network design parameters.

$\beta$	$\Gamma_c$	$x_l$	$x_p$	$\theta_c$
2.8	0.4759	-0.1889	1.537	65°

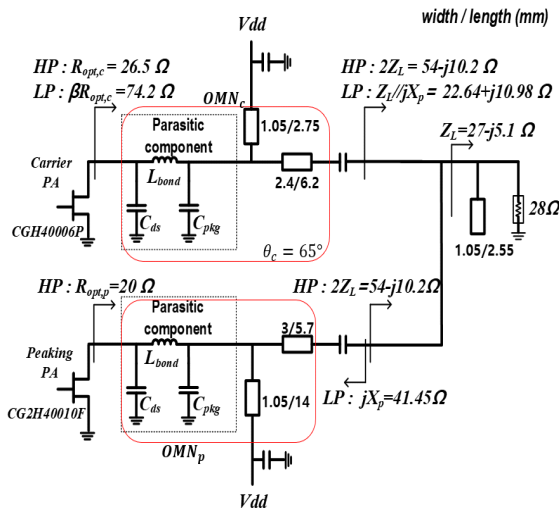
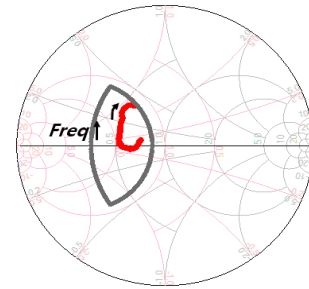


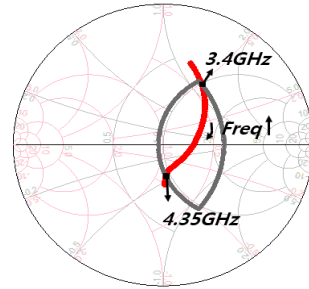
그림 2. 제안하는 도허티 전력증폭기의 매칭 네트워크  
Fig. 2. Matching network of the proposed DPA.

로드 네트워크를 구성하였다.  $OMN_c$ 의 phase delay  $\theta_c$ 는 65°가 되도록 하였고,  $OMN_p$ 는 낮은 전력일 때, 리액턴스 j41.45  $\Omega$ 을 제공할 수 있도록 하였다. 또한, 부하 임피던스  $Z_L$ 에서 OCSS(open-circuited shunt stub)를 활용하여  $Z_L$ 에서 로드 임피던스가 28  $\Omega$ 으로 되게 하여 포스트 매칭 네트워크를 구현하기 쉽게 하였다.

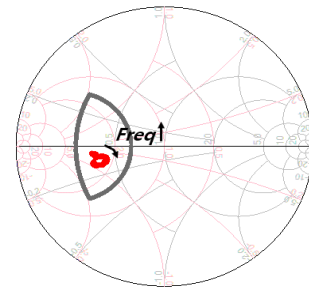
매칭 네트워크를 설계한 후, 그림 3에서 보는 것과 같이 3.4~4.4 GHz 넓은 대역에서 동작할 수 있도록 하기



(a)  $R_{opt,c}$



(b)  $\beta R_{opt,c}$



(c)  $R_{opt,p}$

그림 3. 2 dB power contour내의 3.3~4.5 GHz 주파수 범위의 임피던스 시뮬레이션 결과

Fig. 3. Simulation results of impedance for 3.3~4.5 GHz frequency range within 2 dB power contour.

위해 전력증폭기의 최적 임피던스  $R_{opt,c}$ ,  $R_{opt,p}$ ,  $\beta R_{opt,c}$  들이 2 dB power contour안에 최대한 포함되도록 최적화를 진행하였다.

### III. 제작 및 측정 결과

그림 4는 설계된 도허티 전력증폭기의 전체 회로도이다. 입력단에는 Wilkinson divider를 통해 각 전력증폭기에 동일한 입력이 인가되도록 하였다. 주 전력증폭기 앞단에는 offset line을 사용하여 주 전력증폭기와 보조 전력증폭기 간의 출력 전류 위상차를 보상해 주었다.

그림 5는 제작된 도허티 전력증폭기 사진이다. PCB는 Rogers사의 RO4350B 기판을 사용하였고 유전율은 3.78, 동박의 두께는 20 mils이다. 전체 PCB의 크기는 65.5×58.5 mm<sup>2</sup>이다. 주 전력증폭기와 보조 전력증폭기에는 각각 Cree사 GaN-HEMT 6 W CGH40006P, 10 W CG2H40010F 소자를 사용하였다. 주 전력증폭기와 보조 전력증폭기의 gate 전압은 -2.9 V와 -6 V가 사용되었고, drain 전압은 모두 28 V를 사용하였다.

그림 6은 CW 신호를 사용하여 3.4~4.4 GHz에서 측정

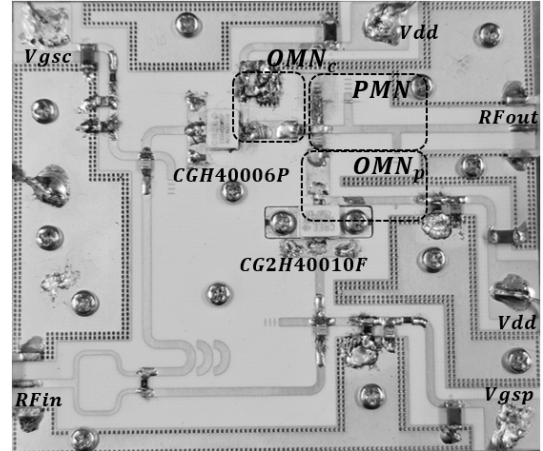


그림 5. 제작된 도허티 전력증폭기  
Fig. 5. Photograph of the implemented DPA.

한 power gain과 DE(drain efficiency)를 나타낸 그래프이다. 제작된 전력증폭기는 최대 출력 전력 41.9~43.2 dBm에서 62.3~68.8 %의 DE를 얻었고, 7.5 dB의 확장된 OBO 영역에서 power gain 7~8.8 dB, 43.3~49.7 %의 DE를 얻었다.

그림 7은 CW 신호를 사용하였을 때 최대 전력에서의

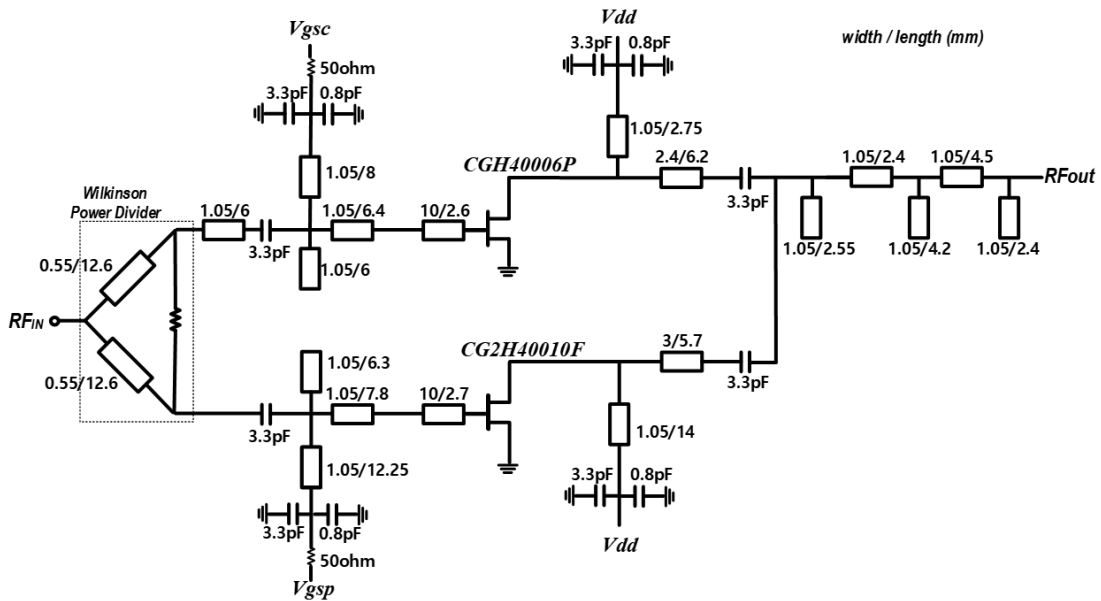


그림 4. 설계된 도허티 전력증폭기 전체 회로도  
Fig. 4. Overall schematic of the designed Doherty power amplifier.

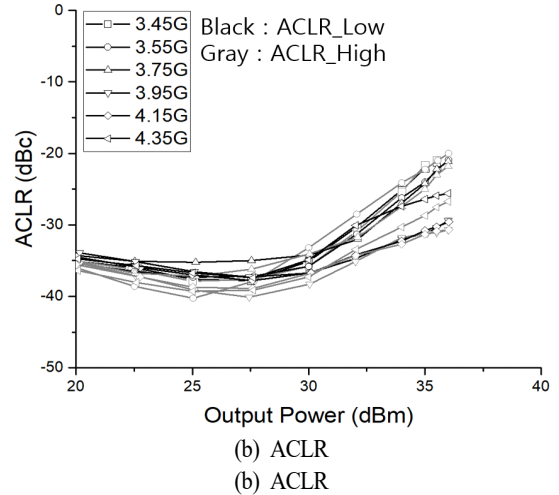
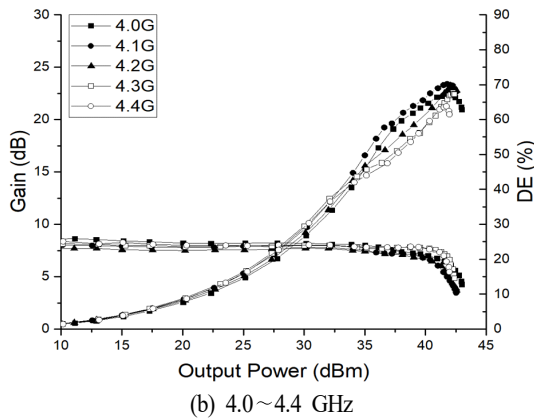
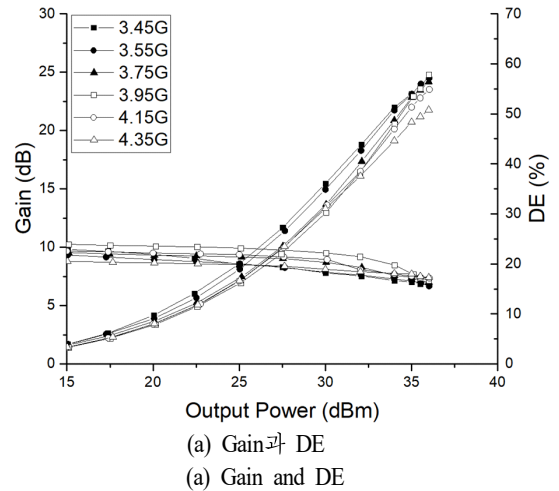
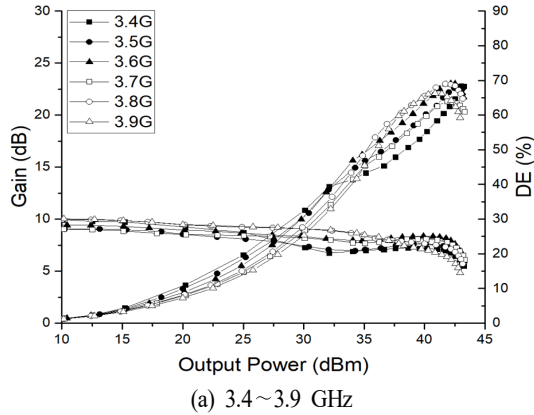


그림 6. CW 신호를 사용하여 측정한 power gain과 DE  
Fig. 6. Measured power gain and DE using CW signal.

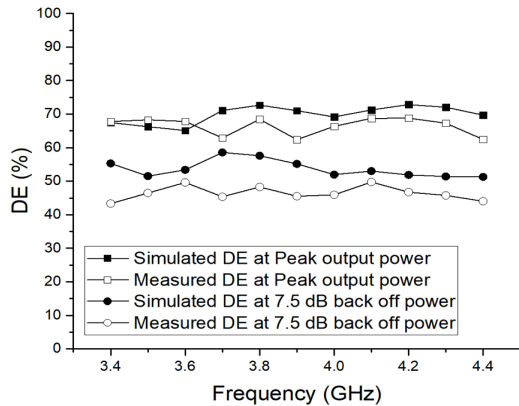


그림 7. 3.4~4.4 GHz에서의 시뮬레이션과 측정 DE 결과  
Fig. 7. Simulated and measured DE results at 3.4~4.4 GHz.

효율과 OBO가 7.5 dB인 지점에서의 효율을 시뮬레이션 결과와 측정 결과를 비교하여 나타내었다.

그림 8. 5G NR 100 MHz 신호를 사용하여 측정한 결과  
Fig. 8. Results measured using 5G NR 100 MHz signal.

그림 8은 7.8 dB의 PAPR을 갖는 5G NR 100 MHz 신호를 사용하여 측정한 결과이다. 3.45 GHz, 3.55 GHz, 3.75 GHz, 3.95 GHz, 4.15 GHz, 4.35 GHz에서 DE 48.3~54.3 %, Gain 7.2~7.8 dB를 얻었다. 또한, ACLR(adjacent channel leakage power ratio)은 평균 전력 35 dBm에서 -31.33~-22.1 dBc를 얻었다.

표 2에서 본 논문에서 제작된 도허티 전력증폭기와 이전의 연구 결과들의 성능을 비교하였다. 제안된 도허티 전력증폭기는 3.4~4.4 GHz(FBW 25.6 %)로 이전의 연구 결과들과 비교하여 보다 넓은 주파수 대역에서 고효율의

표 2. 이전 연구 결과들과의 비교

Table 2. Performance comparison to the previous works.

Ref.	Freq. (GHz)	Topology	Gain (dB, CW)	$P_{sat}$ (dBm, CW)	OBO (dB)	$DE@P_{sat}$ (%, CW)	$DE@P_{avg}$ (%, CW)	FBW (%)	Signal/ BW (MHz)	$DE@P_{avg}$ (%)	ACLR (dBc)
[6]	1.85~2.1	Symmetric VS	9.5~10.5*	42	9.5	68~72	51~61	12.7	WCDMA/5	58	-27.4
[8]	1.8~2.2	Symmetric CCL	8.5~10*	41.8~42.3	8.5	69~72	55~65*	20	WCDMA/20	55~59	-30
[9]	3.5~3.6	Asymmetric CCL	10.7~11.5	42~43	7~8	60~64.7	48~48.5	2.8	LTE/20	48.1~48.5	-31.1
[10]	3.7~4.0	Symmetric OCC+CCL	8~8.5	43~44.3	9	72.5~77.9	41.5~48.4	7.8	5G NR/100	45.6~50	-26.6~-22
[11]	3.45~3.75	Asymmetric VS+OCC	9.5~11.8	41.8~43.5	8.5	47~61*	33.3~54.1	8.3	5G NR/100	38.5~56.8	-33~-24.6
This work	3.4~4.4	Asymmetric VS+CCL	7~8.8	41.9~43.2	7.5	62.3~68.8	43.3~49.7	25.6	5G NR/100	48.3~54.3	-31.33~-22.1

\*Graphically estimated.

특성을 보여준다.

#### IV. 결 론

본 논문에서는 VS와 CCL을 함께 사용하여 OBO를 확장시켰다. VS와 CCL을 함께 적용 시 단독으로 사용할 때보다 설계의 자유도가 생기며, 부하 임피던스를 결정할 수 있는 파라미터를 제시하였다. 넓은 주파수 대역을 설계하기 위해 간단한 구조인 1단 L-section을 사용하여 트랜지스터의 기생성분을 포함하는 매칭 네트워크를 구성하였으며, 2 dB power contour를 기반으로 넓은 주파수 대역의 부하 임피던스들이 contour안에 모두 포함될 수 있도록 하였다. 또한, 비대칭 구조를 사용하여 부하 변조가 정확하게 이루어지도록 하였다. 제작된 도허티 전력증폭기는 CW신호 사용시 41.9~43.2 dBm의 출력 전력, 7~8.8 dB의 gain을 얻었다. 최대 전력에서 62.3~68.8 %, OBO 7.5 dB 지점인 출력전력 35 dBm에서 43.3~49.7 %의 DE를 얻었다. 또한, 7.8 dB의 PAPR을 갖는 5G NR 100 MHz 신호를 사용하여 OBO 7.5 dB 지점인 출력전력 35 dBm에서 gain 7.2~7.8 dB, DE 48.3~54.3%, ACLR -31.33~-22.1 dBc를 얻었다.

#### References

[1] W. H. Doherty, "A new high efficiency power amplifier

for modulated waves," in *Proceedings of the Institute of Radio Engineers*, vol. 24, no. 9, pp. 1163-1182, Sep. 1936.

- [2] B. Kim, J. Kim, I. Kim, and J. Cha, "The Doherty power amplifier," *IEEE Microwave Magazine*, vol. 7, no. 5, pp. 42-50, Oct. 2006.
- [3] Y. Yang, J. Cha, B. Shin, and B. Kim, "A fully matched N-way Doherty amplifier with optimized linearity," *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, no. 3, pp. 986-993, Mar. 2003.
- [4] J. Kim, J. Cha, I. Kim, and B. Kim, "Optimum operation of asymmetrical-cells-based linear Doherty power amplifiers-uneven power drive and power matching," *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, no. 5, pp. 1802-1809, May 2005.
- [5] M. R. Hasin, J. Kitchen, "Exploiting phase for extended efficiency range in symmetrical Doherty power amplifiers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 67, no. 8, pp. 3455-3463, Aug. 2019.
- [6] X. H. Fang, H. Y. Liu, and K. K. M. Cheng, "Extended efficiency range, equal-cell Doherty amplifier design using explicit circuit model," *IEEE Microwave and Wire-*

- less Components Letters*, vol. 27, no. 5, pp. 497-499, May 2017.
- [7] W. Choi, H. Kang, H. Oh, K. C. Hwang, K. Y. Lee, and Y. Yang, "Doherty power amplifier based on asymmetric cells with complex combining load," *IEEE Transactions on Microwave Theory and Techniques*, vol. 69, no. 4, pp. 2336-2344, Apr. 2021.
- [8] X. Fang, K. K. M. Cheng, "Broadband, wide efficiency range, Doherty amplifier design using frequency-varying complex combining load," in *Proceedings of 2015 IEEE MTT-S International Microwave Symposium*, Phoenix, AZ, May 2015, pp. 1-4.
- [9] J. Kim, W. Choi, Y. Choi, H. Oh, and Y. Yang, "3.5 GHz high-efficiency asymmetric Doherty power amplifier design using a complex combining load," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 32, no. 8, pp. 708-716, Aug. 2021.
- [10] J. Choi, Y. Chen, S. H. Kim, J. Song, Y. Lee, and S. Lim, et al., "3.7~4.0 GHz GaN-HEMT Doherty power amplifier using out-phased current combining and complex combining load methods," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 34, no. 11, pp. 791-798, Nov. 2023.
- [11] Y. C. Choi, W. Choi, H. Oh, Y. Chen, J. Shin, and H. Jeon, et al., "Doherty power amplifier with extended high-efficiency range based on the utilization of multiple output power back-off parameters," *IEEE Transactions on Microwave Theory and Techniques*, vol. 70, no. 4, pp. 2258-2270, Apr. 2022.
- [12] X. H. Fang, K. K. M. Cheng, "Extension of high-efficiency range of Doherty amplifier by using complex combining load," *IEEE Transactions on Microwave Theory and Techniques*, vol. 62, no. 9, pp. 2038-2047, Sep. 2014.
- [13] H. Kang, H. Lee, W. Lee, H. Oh, W. Lim, and H. Koo, et al., "Octave bandwidth Doherty power amplifier using multiple resonance circuit for the peaking amplifier," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 66, no. 2, pp. 583-593, Feb. 2019.
- [14] S. Bae, J. Na, H. Jung, H. Kang, H. Oh, and W. Lee, et al., "Wideband asymmetric 0.6~1.0 GHz Doherty power amplifier with parallel resonance circuit for peaking amplifier," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 31, no. 4, pp. 319-327, Apr. 2020.
- [15] H. Oh, H. Kang, H. Lee, H. Koo, M. Kim, and W. Lee, et al., "Doherty power amplifier based on the fundamental current ratio for asymmetric cells," *IEEE Transactions on Microwave Theory and Techniques*, vol. 65, no. 11, pp. 4190-4197, Nov. 2017.
- [16] Y. Chen, W. Choi, J. Shin, H. Jeon, S. Bae, and Y. C. Choi, et al., "Generalized expression and design method of modified load networks for Doherty power amplifier with extended back-off range," *IEEE Access*, vol. 10, pp. 77487-77497, Jul. 2022.

이 윤 환 [성균관대학교/석사과정]

<https://orcid.org/0009-0003-2187-6108>



2015년 2월: 경북대학교 전자공학부 (공학사)

2015년 2월~현재: 삼성전자 책임연구원

2023년 3월~현재: 성균관대학교 DMC공학과 석사과정

[주 관심분야] RF/mm-Wave Power Amplifier, Linearization and Efficiency Enhancement Techniques.

양 영 구 [성균관대학교/교수]

<https://orcid.org/0000-0003-3463-0687>



1997년 2월: 한양대학교 전자공학과 (공학사)

2002년 2월: 포항공과대학교 전자전기공학과 (공학박사)

2002년 3월~2002년 7월: 포항공과대학교 전자전기공학과 박사후 연구원

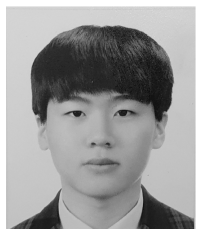
2002년 8월~2005년 2월: Skyworks Solutions Inc., Senior Electronic Engineer

2005년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 교수

[주 관심분야] 초고주파 회로설계, 무선통신 송/수신기 시스템 설계, 비선형 회로 분석 및 시뮬레이션 기법 연구

송 재 성 [성균관대학교/석사과정]

<https://orcid.org/0009-0009-4095-7687>



2023년 2월: 수원대학교 전자공학과 (공학사)

2023년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정

[주 관심분야] RF/mm-Wave Power Amplifier, Linearization and Efficiency Enhancement Techniques.