

40-nm CMOS 공정을 이용한 Ka-대역 레이다 송신기용 전력증폭기 설계

Ka-Band Power Amplifier Design for Radar Transmitter Using 40-nm CMOS Process

최예지¹ · 강석원² · 최규진³ · 김병성⁴

Ye-Ji Choi¹ · Seuk-Won Kang² · Kyu-Jin Choi³ · Byung-Sung Kim⁴

요 약

본 논문에서는 40-nm CMOS 공정을 이용한 Ka-대역을 사용하는 합성 개구 레이다 송신기용 전력증폭기를 제시한다. 설계된 증폭기는 총 두 개의 단으로 구성되어 있는데, 첫 단의 구동증폭기와 두 번째 단의 전력증폭기로 구성된다. 구동증폭기는 차동 공통 소스 증폭기를 사용하며, 전력증폭기는 차동 캐스코드 증폭기 구조를 사용하여 설계하였다. 증폭기의 안정성을 확보하기 위하여 구동증폭기와 전력증폭기 모두 커패시터를 이용한 중화 기법을 사용한다. 구동증폭기 입력의 경우 단일-차동 발룬을 이용하여 정합을 하며, 증폭기 간 정합의 경우 트랜스포머를 이용하여 정합을 한다. 전력증폭기의 출력의 경우 차동-단일 발룬을 이용하여 전력 최적화 정합을 하였다. 전력증폭기의 출력 전력은 16.9 dBm이며, 이때 351 mW의 전력을 소모한다. 출력 전력의 중심주파수는 34 GHz로 1-dB 대역의 경우, 28.1 ~ 39.8 GHz이다. DC 및 입출력 패드를 포함한 면적은 711 $\mu\text{m} \times 504 \mu\text{m}$ 이다.

Abstract

This paper presents a power amplifier for synthetic aperture radar transmitters using the Ka-band and a 40-nm CMOS process. The designed amplifier consists of two stages: A driver amplifier in the first stage and a power amplifier in the second stage. The driver amplifier employs a differential common-source amplifier, whereas the power amplifier is designed using a differential cascode amplifier. To ensure the stability of the amplifiers, both the driver and power amplifiers utilize neutralization techniques that utilize capacitors. The input of the driver amplifier was matched using a single-to-differential balun, whereas interstage matching between amplifiers was achieved using transformers. The power amplifier output is matched for power optimization using a differential-to-single balun. The output power of the power amplifier is 16.9 dBm, consuming 351 mW of power. The center frequency of output power is 34 GHz, with a 1 dB bandwidth ranging from 28.1 to 39.8 GHz. The total area, including the DC and input/output pads, was 711 $\mu\text{m} \times 504 \mu\text{m}$.

Key words: Ka-Band, Driver Amplifier, Power Amplifier, Common-Source, Cascode

I. 서 론

최근 국내 기술을 이용한 레이다의 첨단화, 지능화, 전동화에 따라 밀리미터파 대역을 이용한 MIMO 레이다 개

성균관대학교 전자전기컴퓨터공학과(Department of Electrical and Computer Engineering, Sungkyunkwan University)

1: 석사과정(<https://orcid.org/0009-0001-6867-5384>), 2: 석 · 박사통합과정(<https://orcid.org/0000-0002-4658-3008>)

3: 박사과정(<https://orcid.org/0000-0002-4710-5032>), 4: 교수(<https://orcid.org/0000-0003-3084-6499>)

· Manuscript received February 29, 2024 ; Revised March 1, 2024 ; Accepted March 21, 2024. (ID No. 20240229-021)

· Corresponding Author: Byung-Sung Kim (e-mail: bskimice@skku.edu)

발을 필요로 한다. MIMO 레이다의 경우, 궤도 상에 가상 안테나를 여러 개를 배열한 것이기 때문에 Ka-대역을 사용함으로써 고집적 배열이 가능하다. 또한 저가로 고집적화가 가능한 CMOS 공정을 사용함으로써 레이다뿐만 아니라, 민수용 산업에서도 활용이 가능하다. 이러한 Ka-대역 레이다 연구를 위하여 35-GHz 레이다 송신단용 전력증폭기를 40-nm CMOS 공정을 이용하여 설계 및 측정된 결과를 제시한다.

II. Ka-대역 전력증폭기 회로도

그림 1은 Ka-대역 전력증폭기의 회로도이다. 전력증폭기의 경우 최대 전력을 출력하기 위한 주 전력증폭기와 주 전력증폭기를 구동하기 위한 구동증폭기로 구성된다. 주 전력증폭기와 구동증폭기 모두 40 nm의 게이트 길이를 갖는 트랜지스터를 사용한다. 입력단의 경우, 입력된 단일 신호를 차동 신호로 변환하여 구동증폭기로 인가하기 위하여 단일-차동 발룬을 이용한다. 구동증폭기와 주 전력증폭기의 경우 임피던스 정합을 위하여 트랜스포머를 이용한다. 출력단의 경우, 주 전력증폭기가 최대 전력을 출력하기 위하여 최대 전력 정합이 된 차동-단일 발룬을 이용한다.

III. Ka-대역 전력증폭기 설계

3-1 구동증폭기 및 주 전력증폭기 설계

주 전력증폭기의 경우, 최대 출력 전력을 향상시키기 위하여, 높은 드레인 전압을 사용할 수 있는 캐스코드 구조를 사용한다. 따라서 breakdown에 의해 0.9 V의 낮은 표준 전압이라는 한계를 극복하고, 1.8 V의 드레인 전압을 사용한다. 공통 소스 증폭기와 공통 게이트 증폭기 모

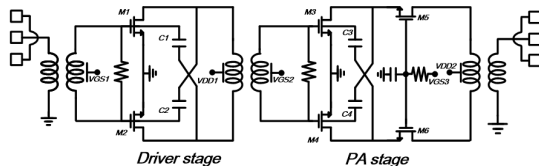


그림 1. Ka-대역 전력증폭기 회로도
Fig. 1. Schematic of Ka-band power amplifier.

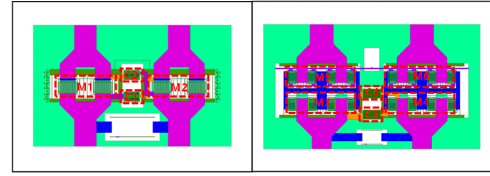


그림 2. 구동증폭기와 전력증폭기 레이아웃
Fig. 2. Layout of driver amplifier and power amplifier.

두 $384 \mu\text{m}$ ($3 \mu\text{m} \times 32 \text{ finger} \times 4 \text{ multi}$) 너비의 트랜지스터를 사용하며, 게이트의 저항 성분을 줄이기 위하여 4개의 멀티 트랜지스터를 사용한다. 게이트-드레인 기생 커패시터스에 의한 피드백 문제의 경우, 92 fF의 MOM 커패시터를 이용한 cross-coupled 중화 기법을 사용하여 안정성을 확보하였다.

구동증폭기는 주 전력증폭기의 입력을 구동시킬 수 있도록 이득을 확보하기 위해 사용한다. 구동증폭기는 공통 소스 증폭기 구조를 사용하며, $192 \mu\text{m}$ ($3 \mu\text{m} \times 32 \text{ finger} \times 2 \text{ multi}$) 너비의 트랜지스터를 사용한다. 구동증폭기도 안정성을 확보하기 위하여 43 fF의 MOM 커패시터를 cross-coupled 중화 기법에 사용한다.

그림 2는 구동증폭기와 주 전력증폭기의 레이아웃이다. 그림 2의 M1-M6 트랜지스터와 C1-C4 커패시터는 그림 1 회로도와 같다.

3-2 임피던스 정합을 위한 트랜스포머

임피던스 정합은 구동증폭기의 입력, 구동증폭기와 주 전력증폭기, 그리고 주 전력증폭기의 출력에서 트랜스포머를 이용하여 진행한다. 입력단의 경우 단일-차동 발룬을 이용하여 차동 구조로 변환한다. 구동증폭기와 주 전력증폭기 정합에 사용된 트랜스포머는 중간탭을 사용하여 구동증폭기의 드레인 바이어스를 공급한다. 출력단의 경우, 단일 출력인 GSG패드로 출력하기 위해 차동-단일 발룬을 이용하며, 중간 탭을 이용하여 주 전력증폭기의 드레인 바이어스를 공급한다. 또한 전력증폭기의 최대 전력 출력을 위하여 최대 전력 출력 임피던스인 $15.5+j12.2$ 에 정합을 한다.

표 1은 임피던스 정합에 사용된 각 트랜스포머의 특성을 나타내며, 그림 3은 트랜스포머의 레이아웃이다.

표 1. 트랜스포머 특성

Table 1. Transformer characteristic.

Ref.	L1	L2	k	Q1	Q2
PAD to DA	290 pH	321 pH	0.67	10.4	11.7
DA to PA	72 pH	77 pH	0.47	11.6	11.5
PA to PAD	169 pH	218 pH	0.72	13.1	7.8

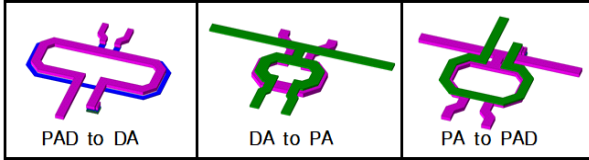


그림 3. 트랜스포머 레이아웃

Fig. 3. Layout of transformer.

IV. Ka-대역 전력증폭기 측정 결과

그림 4는 40-nm CMOS를 통해 제작된 2단 전력증폭기의 칩 사진이다. 2단 전력증폭기의 전체 면적의 경우, DC 및 입출력 패드를 포함하여 $711 \mu\text{m} \times 504 \mu\text{m}$ 이다. 제안된 2단 전력증폭기의 경우, 온 칩 프로빙을 통하여 측정한다. 구동증폭기와 주 전력증폭기 모두 class-AB의 게이트 바이어스에서 설계 및 측정하였으며, 구동증폭기는 0.9 V, 주 전력증폭기는 1.8 V의 드레인 바이어스를 사용한다. 그림 5는 Anritsu사의 MS4647A VNA를 사용하여 측정한 전력증폭기의 S-parameter이다.

출력 신호는 Agilent사의 N9030A를 이용하여 측정하며, 이때 입력 신호는 Keysight사의 N5173B를 사용하여 인가한다. 최대 출력 전력은 34 GHz에서 351 mW를 소모하여 16.9 dBm을 출력한다. 출력 전력의 1 dB 대역폭의

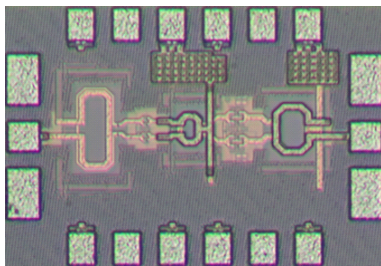


그림 4. Ka-대역 전력증폭기 칩 사진

Fig. 4. Micro-photograph of Ka-band power amplifier chip.

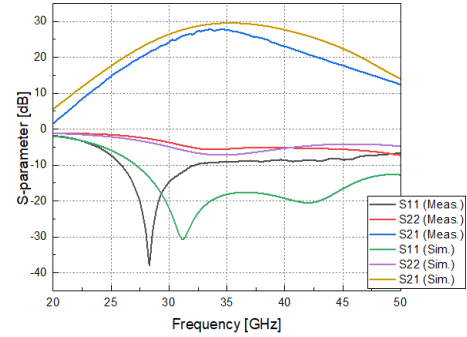


그림 5. Ka-대역 전력증폭기 S-parameter

Fig. 5. S-parameter of Ka-band power amplifier.

경우, 최대 출력 전력을 기준으로 28.1~39.8 GHz에서 34.4 %의 대역폭을 형성한다. 그림 6은 설계된 전력증폭기의 주파수 대비 포화 출력 전력 측정 결과를 나타내며, 그림 7은 33 GHz에서 설계된 전력증폭기의 입력 전력 대

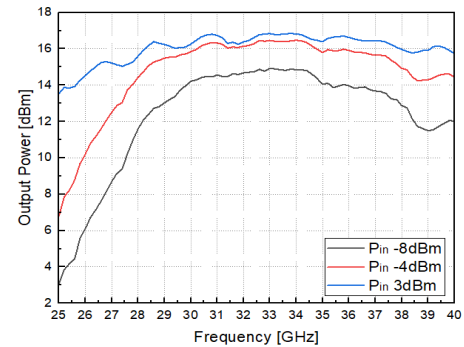


그림 6. Ka-대역 전력증폭기 출력 전력

Fig. 6. Output power of Ka-band power amplifier.

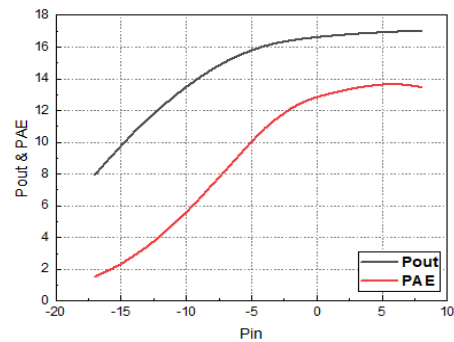


그림 7. Ka-대역 전력증폭기 Pin vs Pout & Pin vs PAE

Fig. 7. Ka-band PA Pin vs Pout & Pin vs PAE.

표 2. 전력증폭기 성능 요약 및 비교

Table 2. Performance summary and comparisons of power amplifier.

Ref.	CMOS technology	Amplifier topology	Supply [V]	Gain [dB]	Freq. [GHz]	S_{21} BW _{3dB} [GHz]	Psat [dBm]
[4]	28 nm CMOS	1stage 2stack	2.2	13.6	28	-	19.8
[5]	28 nm CMOS	2stage CS	0.9	20.8	43	29~57	16.6
[6]	65 nm CMOS	1stage 3stack	3.6	17.5	38	-	24.8
[7]	28 nm CMOS	2stage 2stack	0.9/1.8	25.8	38.5	-	16.8
[8]	45 nm SOI	2stage 2stack	1/2	20.5	-	25.8~43.4	20.4
[9]	28 nm CMOS	2stage 2stack	0.9/1.8	20.5	-	19.7~43.8	20.3
This work	40 nm CMOS	2stage 2stack	0.9/1.8	27.8	34.6	30.2~38.5	16.9

비 출력 전력 및 PAE의 측정 결과를 나타낸다

표 2는 설계한 전력증폭기와 참조된 전력증폭기의 성능을 비교한 것을 나타낸다.

V. 결 론

본 논문은 40-nm CMOS 공정을 이용하여 설계한 Ka-대역 전력증폭기를 제시한다. 제시된 전력증폭기는 34 GHz에서 351 mW를 소모하여 16.9 dBm을 출력한다. 대 신호 출력 전력을 기준으로 1-dB 대역폭은 28.1~39.8 GHz에서 형성한다. 전력증폭기는 PLL과 주파수 체배단을 사용하면 송신기로 사용이 가능할 것이며, 송신기는 수신기와 동기화를 통해 레이다 시스템 구축에도 용이할 것으로 판단된다.

References

- [1] S. J. Park, S. W. Kang, K. J. Choi, and B. S. Kim, "A W-band power amplifier design for radar transmitter using 28-nm CMOS process," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 33, no. 11, pp. 849-854, Nov. 2022.
- [2] J. R. Long, "Monolithic transformers for silicon RF IC design," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 9, pp. 1368-1382, Sep. 2000.
- [3] H. T. Dabag, B. Hanafi, F. Golcuk, A. Agah, J. F. Buckwalter, and P. M. Asbeck, "Analysis and design of stacked-FET millimeter-wave power amplifiers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 4, pp. 1543-1556, Mar. 2013.
- [4] B. Park, S. Jin, D. Jeong, J. Kim, Y. Cho, and K. Moon, et al., "Highly linear mm-wave CMOS power amplifier," *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 12, pp. 4535-4544, Nov. 2016.
- [5] M. Vigilante, P. Reynaert, "A wideband class-AB power amplifier with 29~57-GHz AM-PM compensation in 0.9-V 28-nm bulk CMOS," *IEEE Journal of Solid-State Circuits*, vol. 53, no. 5, pp. 1288-1301, May 2018.
- [6] Y. Chang, B. Z. Lu, Y. Wang, and H. Wang, "A Ka-band stacked power amplifier with 24.8-dBm output power and 24.3% PAE in 65-nm CMOS technology," in *2019 IEEE MTT-S International Microwave Symposium (IMS)*, Boston, MA, Jun. 2019, pp. 316-319.
- [7] H. Park, B. Park, Y. Cho, J. Park, J. Kim, and J. H. Lee, et al., "A high efficiency 39 GHz CMOS cascode power amplifier for 5G applications," in *2019 IEEE Radio Frequency Integrated Circuits Symposium(RFIC)*, Boston, MA, Jun. 2019, pp. 179-182.
- [8] F. Wang, "A broadband linear ultra-compact mm-wave power amplifier with distributed-balun output network: Analysis and design," *IEEE Journal of Solid-State Circuits*, vol. 56, no. 8, pp. 2308-2323, Aug. 2021.
- [9] W. Zeng, "25.2 A 19.7-to-43.8 GHz power amplifier with broadband linearization technique in 28 nm bulk CMOS," in *2023 IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, Feb. 2023, pp. 372-374.