

40-nm CMOS 공정을 이용한 D-대역 저잡음 차동증폭기

D-Band Low-Noise Differential Amplifier in a 40-nm CMOS

형 립 림 · 장 정 박 · 서 문 교

Lilin Xing · Jingbo Zhang · Munkyo Seo

요 약

본 논문에서는 40-nm CMOS 공정을 이용하여 D-대역 5 단 저잡음 증폭기의 설계와 측정 결과를 제시하였다. 입력을 제외한 단간 정합은 트랜스포머를 통해 공액(conjugate)정합을 하였고, 입력은 발룬을 사용하여 잡음지수와 이득 특성을 절충하여 정합을 하였다. 제작한 저잡음 증폭기의 측정 결과, 140 GHz에서 최대이득 21.8 dB을 보이며, 3 dB 대역폭은 15.4 GHz, 140~150 GHz에서 잡음 지수는 평균적으로 8.7 dB을 보였다. 패드를 제외한 칩의 면적은 0.08 mm²이며, 0.9 V 공급 전원에서 46 mW의 전력을 소비한다.

Abstract

In this paper, we present the design and measurement of a D-band five-stage low noise amplifier (LNA) in a 40 nm CMOS. Transformer-based conjugate matching was employed between the stages, except for the input. For the input, a balun was used to match the LNA input impedance to the midpoint between the minimum noise and maximum gain impedances. The fabricated LNA exhibited a peak gain of 21.8 dB at 140 GHz and 3 dB bandwidth of 15.4 GHz. The measured average noise figure was 8.7 dB at 140~150 GHz. The chip size (excluding the pads) was 0.08 mm², and it consumed 46 mW from a 0.9 V supply voltage.

Key words: Low Noise Amplifier, CMOS, Capacitive Neutralization, D-Band

I. 서 론

무선통신의 발전에 따라 더욱더 많은 대용량 데이터 전송의 요구가 지속적으로 제기되고 있다. 그에 발맞춰 D-대역(110 GHz~170 GHz)은 초고속 데이터 무선전송을 위한 주파수 대역으로 적극적으로 연구되고 있다. 이러한 광대역 무선 통신 시스템에서 수신기에서의 높은 신호

대 잡음비를 확보하기 위해서는 수신기의 초단에 낮은 잡음지수와 높은 이득을 갖는 저잡음 증폭기가 필요하다. D-대역과 같이 매우 높은 주파수 대역에서는 전통적으로 III-V족 등 화합물 반도체 공정이 사용되었으나, 최근에 실리콘 공정 기술의 발전으로 CMOS 소자의 최대 발진 주파수 f_{\max} 가 200~300 GHz를 상회함에 따라 CMOS 공정을 이용한 D-대역 저잡음 증폭기 연구가 활발히 진행

「본 연구는 IDEC에서 EDA Tool을 지원받아 수행하였음.」

「본 연구는 2021년도 정부(과학기술정보통신부)의 재원으로 정보통신기획평가원의 지원을 받아 수행된 연구임(No.2021-0-00198, 저전력 MIMO 및 고효율 공간분할 QAM 기반 6G RF 전단 핵심기술개발).」

성균관대학교 전자전기컴퓨터공학과(Department of Electrical and Computer Engineering, Sungkyunkwan University)

· Manuscript received March 26, 2024 ; Revised April 4, 2024 ; Accepted April 16, 2024. (ID No. 20240326-029)

· Corresponding Author: Munkyo Seo (e-mail: mkseo@skku.edu)

되고 있다^{[1],[2]}. 일반적으로 CMOS 공정은 화합물 반도체 공정 대비 집적도가 높고 양산에 유리한 장점이 있다.

본 논문에서는 40 nm CMOS 공정으로 구현된 D 대역 저잡음 증폭기를 소개한다. II 장에서는 회로의 설계에 대해 설명하고, III 장에서는 시뮬레이션과 측정 결과를 비교하며, 마지막으로 IV 장에서는 결론을 제시한다.

II. D 대역 저잡음 증폭기 구성 및 설계

그림 1은 본 논문에서 설계된 D-대역 5단 저잡음 증폭기의 회로도이다. 모든 증폭단은 교차 연결된 증성화 커패시터를 갖는 차동 공통소스 구조로 구성되었다. 각 단간의 임피던스 정합은 트랜스포머를 사용하였고, 증폭기의 입력력은 트랜스포머 기반 발룬을 통한 임피던스 정합을 하였다. 각 단의 게이트 및 드레인 바이어스는 트랜스포머와 발룬의 중간 탭을 이용하여 인가하였다.

2-1 게이트 폭 및 바이어스 선정

CMOS 소자 기반 증폭기에서 트랜지스터의 게이트 폭 (width) 및 게이트 바이어스 선정은 회로의 성능에 큰 영향을 끼친다. 일반적으로 동일 바이어스 조건에서 게이트 폭이 증가할수록 선형성이 좋아지나, 전력소모가 커지는 경향이 있다. 참고문헌 [3]에서 볼 수 있듯이 다단 증폭기의 선형성 확보를 위하여 뒤 3단의 트랜지스터 사이즈를 첫 두 단보다 크게 선정하였다. 입력단과 출력단 사이의 임피던스 정합을 고려하여 본 논문에서는 첫 두 단을 $W=16\ \mu\text{m}$, 나머지 세 단은 $W=32\ \mu\text{m}$ 로 게이트 폭을 선정

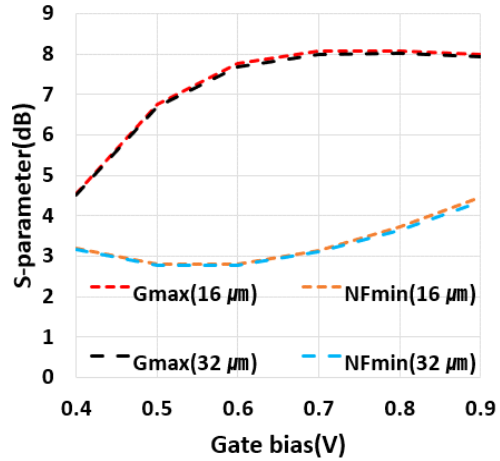


그림 2. V_{GS} 에 따른 최대 이득과 최소 잡음 지수($V_{DD}=0.9\text{ V}$, 140 GHz)

Fig. 2. G_{max} and NF_{min} versus V_{GS} at $V_{DD}=0.9\text{ V}$, 140 GHz .

하였다.

그림 2에서 $V_{DD}=0.9\text{ V}$ 일 때 게이트 바이어스 전압 V_{GS} 에 따른 140 GHz 에서의 트랜지스터 최대이득(G_{max})과 최소 잡음 지수(NF_{min})의 변화를 나타내었다. 본 논문에서는 $V_{GS}=0.6\text{ V}$ 를 선택하였는데 약 8 dB 에 가까운 이득과 최소 잡음지수를 얻을 수 있다. 이때의 $W=16\ \mu\text{m}$, $W=32\ \mu\text{m}$ 트랜지스터 드레인 전류는 각각 4 mA , 8 mA 이다.

2-2 중화 커패시턴스의 선정

공통소스 구조의 CMOS 증폭기는 일반적으로 게이트-드레인 간 기생 커패시터 C_{gd} 로 인하여 안정도(stability)가 열화되는 문제점이 있는데, 차동 구조에서는 교차 결

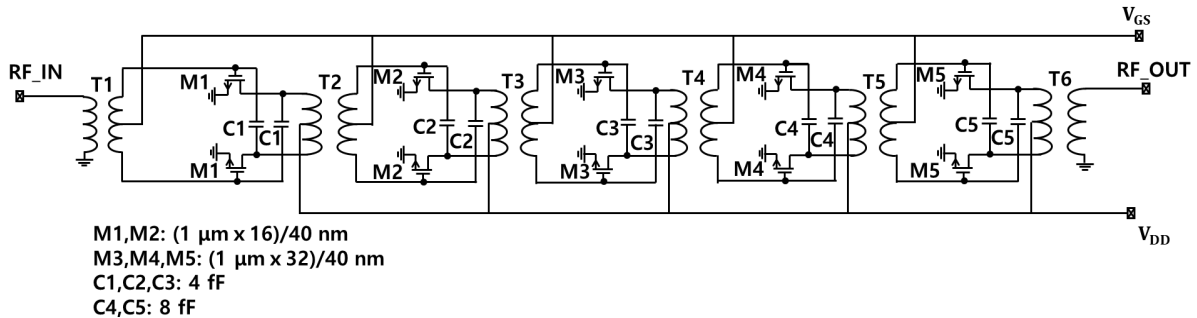


그림 1. 5단 차동 저잡음 증폭기 회로도

Fig. 1. Schematic of the 5 stages differential LNA.

합(cross-coupled) 된 커패시터를 이용하여 C_{gd} 의 중화가 가능하다^{[4]~[6]}. 본 논문의 증폭기에서는 그림 3과 같이 메탈 배선 금속 층간의 커패시턴스를 사용하여 금속 층간 거리와 상대 면적 튜닝을 통해서 중화 커패시터를 구현하였다.

그림 4는 이러한 중화 커패시턴스 값 C_{CC} 에 따른 $W=16\ \mu\text{m}$ 트랜지스터의 최소 잡음 지수, 최대 이득 그리고 안정도 지수(stability factor) K 의 변화를 보여준다. 본 논문에서는 $C_{CC}=4\ \text{fF}$ 를 선정하였는데, 중화전과 비교하여 K 는 0.8에서 2.3로 안정도가 개선되었고 이득은 0.7 dB

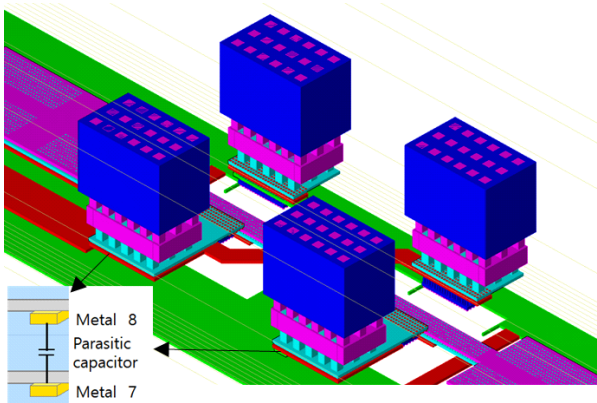


그림 3. 교차 결합 중화 커패시터를 적용 차동 증폭단
Fig. 3. Differential gain block layout with cross-coupled neutralization capacitors.

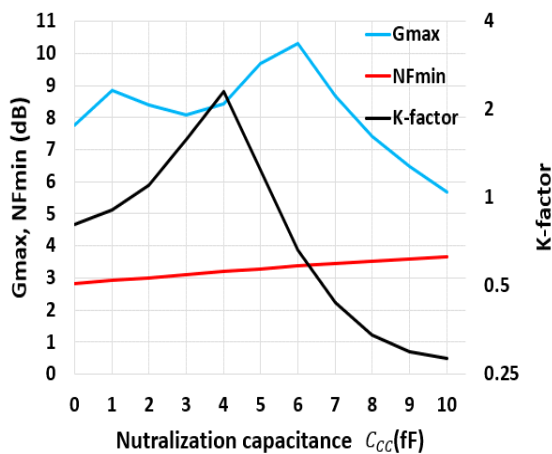


그림 4. 중화 커패시턴스($W=16\ \mu\text{m}$)
Fig. 4. Selection of neutralization capacitance ($W=16\ \mu\text{m}$).

개선됨을 알 수 있다. 따라서 LNA 설계에서 교차 결합된 커패시터를 이용하면, 각 증폭단의 이득과 안정성을 높일 수 있어 전체 LNA의 면적을 그대로 유지하면서 LNA의 전체 이득과 잡음 지수를 개선시킬 수 있다. $W=32\ \mu\text{m}$ 트랜지스터의 중화 커패시턴스는 8 fF를 사용하였다.

2.3 임피던스 정합

다단 구조의 저잡음 증폭기 전체의 잡음지수는 일반적으로 첫 번째 증폭단의 잡음지수에 가장 큰 영향을 받는다. 본 논문에서는 증폭기의 입력 임피던스 정합을 최저 잡음점과 최대 이득점 사이의 중간점을 선택하여 잡음과 이득 특성의 절충을 시도하였다.

그림 5에 증폭기 입력에서의 140 GHz 잡음 원(noise circle)과 이득원(gain circle)을 표시하였는데, 3.2 dB 최저 잡음 점과 8.4 dB 최대 이득점을 잇는 선의 중간인 $Z_S=100\times(0.52+j1.4)\ \Omega$ 을 입력 임피던스 정합점으로 선택하였다. 증폭기의 입력을 제외한 단 간 정합과 출력 정합의 경우, 트랜스포머와 발룬을 사용하여 최대이득을 얻을 수 있는 공액 임피던스 정합을 적용하였다. 그림 6(a)는 입력 발룬의 레이아웃이다. 그림 5의 입력 임피던스 지점으로 정합하기 위해 그림 6(b)와 같은 입력 발룬 등가 T 모델을 이용한다. 자기 결합 시스템은 일반적으로 L_1 (1차 측)과

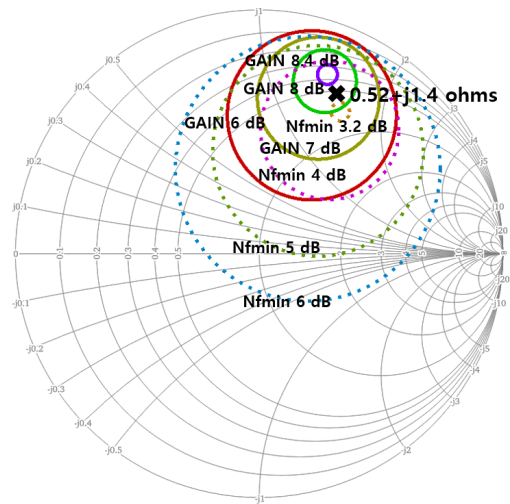
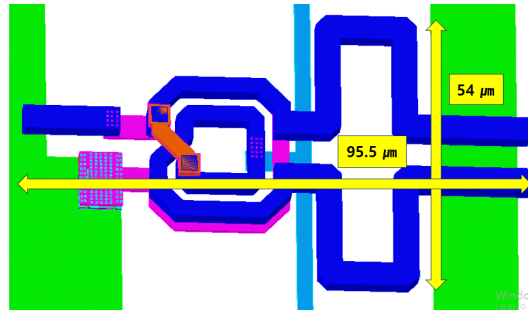
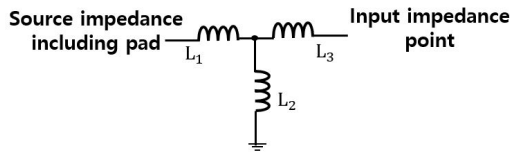


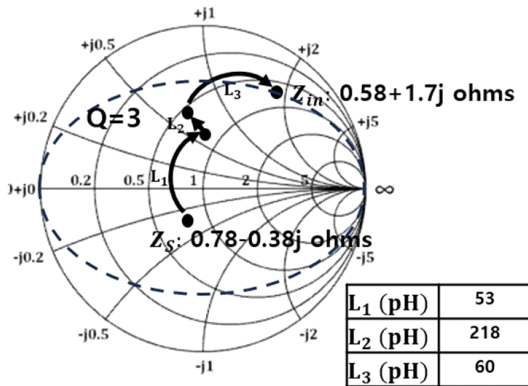
그림 5. 스미스차트 상 입력 임피던스 지점
Fig. 5. Input impedance point at the smith chart.



(a) 입력 발룬 레이아웃
(a) Input balun layout



(b) 입력 발룬의 등가 T-model
(b) Equivalent T-model of the input balun



(c) 패드를 포함한 소스 임피던스에서 입력 임피던스 지점까지 정합 경로(Z_s : 패드를 포함한 소스 임피던스; Z_{in} 최종 정합한 인풋 임피던스)

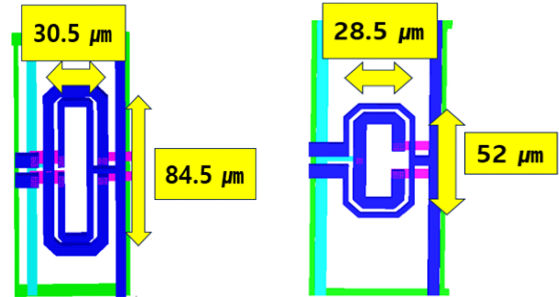
(c) Input impedance trajectory (Z_s : source impedance including pad; Z_{in} : final input impedance matching)

그림 6. 입력 임피던스 정합의 레이아웃, 등가 모델과 정합경로

Fig. 6. The layout, equivalent model, trace of input impedance matching.

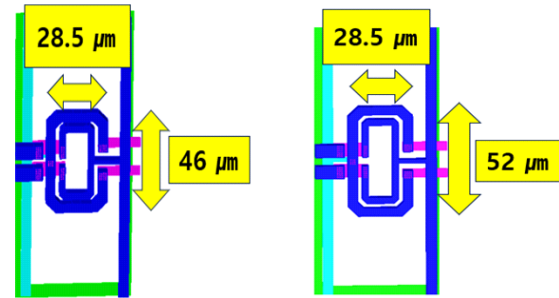
L_3 (2차 측)의 두 개의 인덕턴스와 상호 인덕턴스(L_2)로 표시된다. 그림 6(c)와 같이 최대한 목표 입력 임피던스와 가깝게 설계하였다. EM 시뮬레이션에 따른 입력 발룬의 삽입 손실은 140 GHz에서 2 dB이다.

증폭기의 입력을 제외한 출력과 단 간 정합의 경우, 그림 7(a)~그림 7(e)의 트랜스포머와 발룬을 사용하여 공역 임피던스 정합을 하였다. 단 간 정합을 위한 트랜스포머의 손실은 1.4 dB~3.5 dB이다. 전체 회로의 대역폭을 넓히기 위해 각 단의 정합 주파수를 서로 조금씩 다르게 설정하였다^[7]. 그림 1에서 T2, T3, T4와 T5의 정합 주파수는



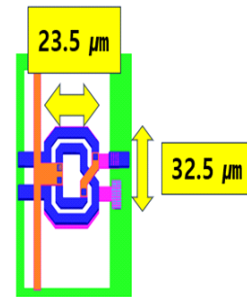
(a) 정합 T2
(a) T2 matching

(b) 정합 T3
(b) T3 matching



(c) 정합 T4
(c) T4 matching

(d) 정합 T5
(d) T5 matching



(e) 정합 T6
(e) T6 matching

그림 7. 단간 임피던스 정합을 위한 트랜스포머
Fig. 7. Transformer for inter-stage impedance matching.

각각 135 GHz, 130 GHz, 145 GHz, 145 GHz이며, T1과 T6가 140 GHz에서 정합하였다. 일반적으로 첫 번째 단이 전체 증폭기의 잡음 특성과 대역폭에 큰 영향을 미치므로 본 논문에서는 입력단의 임피던스 정합을 가능한 낮은 Q-factor로 구현하였다. 그림 6(c)에 보인 입력 임피던스 정합 경로는 Q-factor가 3 이하로 상대적으로 낮음을 알 수 있다.

III. 측정 결과

그림 8은 40-nm CMOS공정으로 제작한 D-대역 저잡음 증폭기 칩 사진이다. 패드를 제외한 회로의 크기는 $452\ \mu\text{m} \times 178\ \mu\text{m}$ 이다. 제작한 칩을 PCB에 장착 후 와이어 본딩으로 바이어스 전압을 공급하고 D-대역 온 웨이퍼(on-wafer) 측정 셋업을 이용하여 산란 계수 및 잡음 지수를 측정하였다. 0.9 V의 공급 전압과 0.6 V 게이트 바이어스 전압을 인가하여 증폭기의 소비 전력은 46 mW이다.

3-1 산란 계수 측정

그림 9은 D-대역 산란 계수 측정을 위한 셋업이다. Keysight사의 네트워크 분석기 PNA-X N5244B와 VDI사의 D-대역 주파수 확장 모듈을 사용한다. 증폭기 선형 동작을 위해 주파수 확장 모듈에서의 입사 전력을 충분히 줄이기 위하여 10 dB 감쇠기를 추가하였다.

그림 10은 제작된 저잡음 증폭기의 산란계수 측정 및 시뮬레이션 결과이다. 측정된 증폭기의 이득은 140 GHz

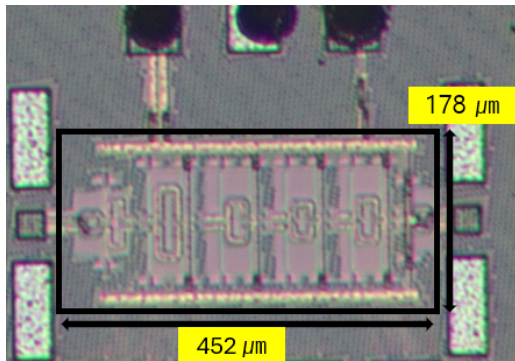
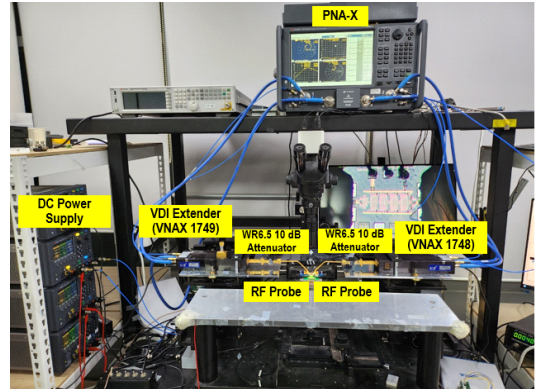
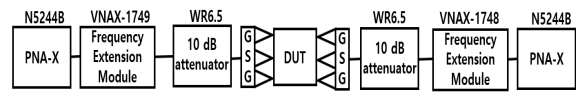


그림 8. 제작된 저잡음 증폭기 칩 사진
Fig. 8. Chip photo of fabricated LNA.



(a) 사진
(a) Photo



(b) 블록 다이어그램
(b) Block diagram

그림 9. 산란 계수 측정 셋업
Fig. 9. S-parameter measurement setup.

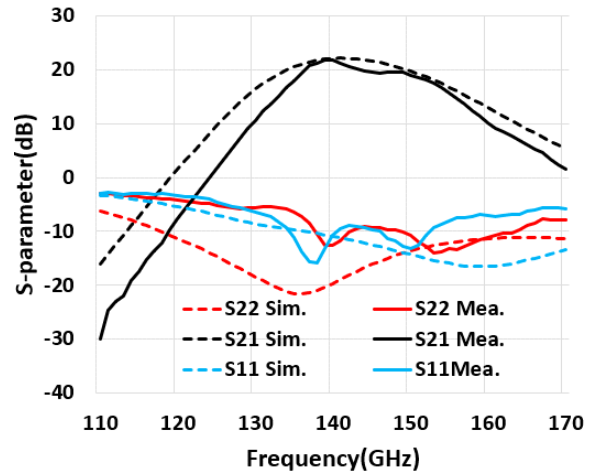


그림 10. D-대역 저잡음 증폭기의 산란계수 측정 및 시뮬레이션 결과
Fig. 10. Measured and simulated S-parameter of D-band low noise amplifier.

에서 21.8 dB이며, 입출력 반사계수는 140 GHz에서 다 -10 dB보다 작고, 3 dB 대역폭은 약 15.4 GHz(135.5 GHz~150.9 GHz)이다. 측정된 이득은 140 GHz에서의 시뮬레이

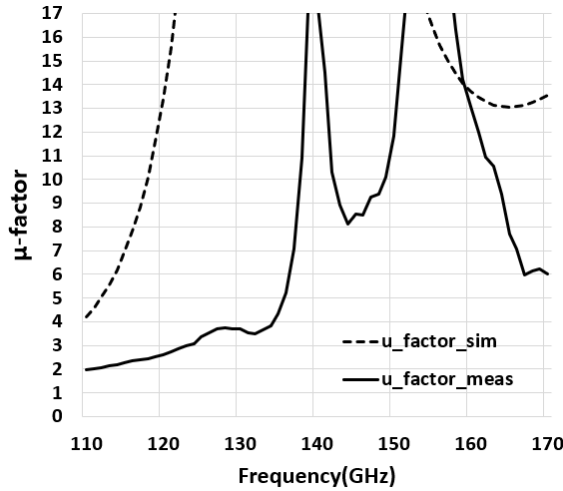


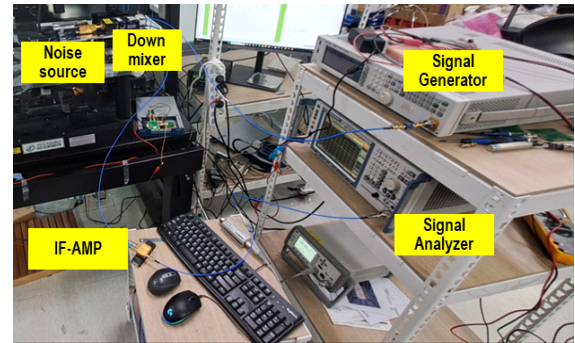
그림 11. 140 GHz 저잡음 증폭기 안정도 지수(μ -factor) 측정 결과

Fig. 11. Measured μ -factor of the 140 GHz LNA.

선 대비 0.2 dB 차이로 유사하며, 3-dB 대역폭이 시뮬레이션보다 3 GHz 만큼 감소하였다. 이 차이는 레이아웃 기 생성분의 모델링 오차 및 공정편차에 기인한 것으로 여겨진다. 그림 11에서 보듯이 증폭기의 측정된 안정도(μ -factor)는 D-대역 전역에서 1보다 크므로 무조건적 안정성(un-conditional stability)을 가짐을 알 수 있다.

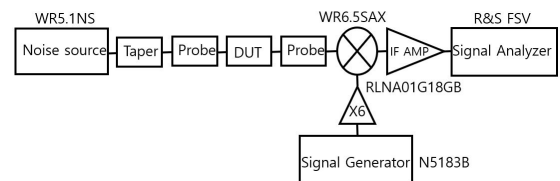
3-2 잡음 지수 측정

그림 12는 잡음 지수 측정 셋업이다. D 대역 믹서 모듈 WR6.5SAX, RF-LAMDA사의 IF 증폭기 RLNA01G18GB, 평균적으로 8.5 dB ENR(excess noise ratio)을 갖는 VDI사의 140~220 GHz 잡음원 WR5.1NS, Keysight사의 MXG Analog 신호발생기 N5183B, R&S사의 FSV 신호분석기를 사용하여 온 웨이퍼 RF 프로빙을 통해 증폭기의 잡음 지수를 측정하였다^[8]. 신호 분석기가 측정할 수 있는 주파수 대역(9 KHz~13.6 GHz)이 한정되어 있기 때문에 전체 셋업은 주파수 하향 기능을 갖는 수신기로 구성되어 있다. 그림 13에서 볼 수 있듯이 140 GHz~150 GHz에서 평균적으로 측정된 잡음지수는 8.7 dB이다. 시뮬레이션 결과와의 차이는 약 1.7 dB로 능동 및 수동 소자의 모델링 오차에 기인한 것으로 여겨진다.



(a) 사진

(a) Photo



(b) 블록 다이어그램

(b) Block diagram

그림 12. D-대역 잡음 지수 측정 셋업

Fig. 12. D-band noise figure measurement setup.

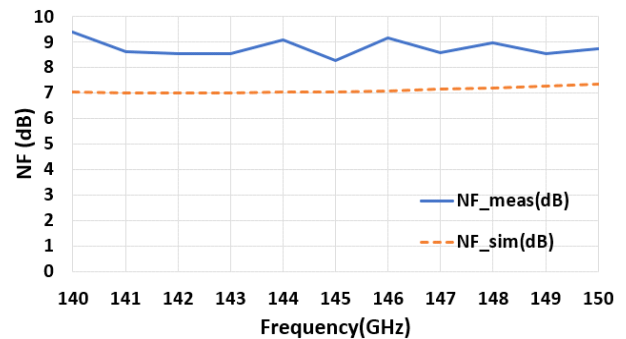


그림 13. D-대역 저잡음 증폭기의 잡음 지수 측정 및 시뮬레이션 결과

Fig. 13. Measured and simulated noise figure of D-band low noise amplifier.

IV. 결 론

본 논문에서는 D-대역에서 동작하는 40 nm CMOS 기반 5단 차동 공통소스 증폭기의 설계 및 측정 결과를 제시하였다. 저잡음 증폭기의 140 GHz에서의 최대 이득 및 잡음 지수는 각각 21.8 dB와 8.7 dB로 측정되었고, 0.9 V

표 1. 저잡음 증폭기 성능 비교

Table. 1. Comparison of published low noise amplifiers.

Ref.	TCSII' 22 ^[1]	EuMIC' 23 ^[2]	IMS' 23 ^[5]	TMTT' 16 ^[6]	This work
Technology	40 nm CMOS	28 nm CMOS	40 nm CMOS	28 nm CMOS	40 nm CMOS
Freq. (GHz)	180	129~157.5	115.7~139.7	104~132	135.5~150.9
Topology	7 embedded CS	2×CS+3×Cascode	5-stage CS Diff.	4-stage CS Diff.	5-stage CS Diff.
Peak gain (dB)	14.8	16.3	19.7	21.7	21.8
3 dB BW (GHz)	11	28.5	24	28	15.4
Noise figure (dB)	11*	9.6	7.9	8.4	8.7(average)
P _{DC} (mW)	23.9	38.8	17.8	18	46
Area (mm ²)	0.15 (core area)	0.62 (including pad)	0.07 (core area)	0.12 (core area)	0.08 (core area)

*Simulation value.

전원에서 46 mW의 전력을 소비하였다. 표 1에서 볼 수 있듯이, 본 논문에서 제안한 증폭기는 기존 D-대역 증폭기와 동등한 수준의 잡음 지수 특성을 가지며, 상대적으로 이득이 크고 칩의 면적이 작다는 장점이 있음을 알 수 있다.

References

- [1] H. S. Chen, J. Y. C. Liu, "A 180-GHz low-noise amplifier with recursive Z-embedding technique in 40-nm CMOS," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 69, no. 12, pp. 4649-4653, Dec. 2022.
- [2] L. J. Huang, C. C. Chiong, Y. S. Wang, H. Wang, T. W. Huang, and C. C. Chien, "A D-band low-noise amplifier in 28-nm CMOS technology for radio astronomy applications," in *2023 18th European Microwave Integrated Circuits Conference(EuMIC)*, Berlin, Sep. 2023, pp. 369-372.
- [3] A. H. Kazemi, M. Hayat, "Design and analysis of a flat gain and linear low noise amplifier using modified current reused structure with feedforward structure," *Integration*, vol. 81, pp. 123-136, Nov. 2021.
- [4] C. J. Liang, C. W. Chiang, J. Zhou, R. Huang, K. A. Wen, and M. C. F. Chang, et al., "A 0.6-V V_{DD} W-band neutralized differential low noise amplifier in 28-nm bulk CMOS," *IEEE Microwave and Wireless Components Letters*, vol. 31, no. 5, pp. 481-484, May 2021.
- [5] K. Kim, J. Kang, K. Lee, S. U. Choi, J. Kim, and H. J. Song, "A 115.7~139.7 GHz amplifier with 19.7 dB peak gain and 7.9 dB NF in 40-nm CMOS," in *2023 IEEE/MTT-S International Microwave Symposium - IMS 2023*, San Diego, CA, Jun. 2023, pp. 48-51.
- [6] T. Heller, E. Cohen, and E. Socher, "A 102~129-GHz 39-dB gain 8.4-dB noise figure I/Q receiver frontend in 28-nm CMOS," *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 5, pp. 1535-1543, May 2016.
- [7] M. Kim, S. Jeon, "A D-band low-noise amplifier using a 28-nm CMOS process," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 34, no. 3, pp. 171-175, Mar. 2023.
- [8] C. Park, M. Seo, "A 140 GHz low-noise amplifier in 40 nm CMOS," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 33, no. 4, pp. 312-317, Apr. 2022.

형 립 립 [성균관대학교/석사과정]

<https://orcid.org/0009-0009-7516-3254>



2022년 8월: 성균관대학교 전자전기공학부 (공학사)

2022년 9월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정

[주 관심분야] RF, RF Amplifier, CMOS, Integrated Circuit 등

서 문 교 [성균관대학교/부교수]

<https://orcid.org/0000-0002-0691-1783>



1994년 2월: 서울대학교 전자공학과 (공학사)

1996년 2월: 서울대학교 전자공학과 (공학석사)

2007년 12월: University of California, Santa Barbara, USA (공학박사)

2009년~2013년: Teledyne Scientific Company, USA, Senior Engineer

2013년~현재: 성균관대학교 전자전기컴퓨터공학과 부교수

[주 관심분야] Millimeter-Wave & Terahertz IC Design

장 정 박 [성균관대학교/석·박사통합과정]

<https://orcid.org/0009-0002-1337-9120>



2013년 9월: Dalian Maritime University, China, 광전자통신학과 (공학사)

2018년 9월~현재: 성균관대학교 전자전기컴퓨터공학과 석·박사통합과정

[주 관심분야] Millimeter-Wave Integrated-Circuits, RF Wireless Communication System, RF Front-End Circuits 등