

## RF 단락 커패시터를 포함하는 고집적 저잡음 증폭기 제작 및 측정

## Implementation and Measurement of Low-Noise Amplifier Using RF Short-Circuit Capacitor

김 민 수

Min-Su Kim

## 요 약

본 논문은 5G new radio(NR-band) 밴드를 위한 고집적 저잡음 증폭기 설계를 나타낸다. 설계된 저잡음 증폭기는 높은 집적도를 위해서 n77(3.3~4.2 GHz) 및 n79(4.4~5.0GHz) 대역을 위한 저잡음 증폭기를 하나의 칩에 구현하였으며, 입력 신호의 크기에 따라서 수신 단의 유연한 동작을 위해 바이패스 모드를 포함하고 있다. 또한, 저잡음 증폭기는 입력 및 출력을 위한 매칭 회로, ESD 보호회로, 그리고 모듈 수준의 디커플링 네트워크 일부를 칩 내부에 집적하여 높은 집적도와 모듈 수준의 칩 성능 검증에 높은 충실도로 설계되었다. 저잡음 증폭기는 n77 및 n79 대역에서 각각 21.3 dB와 18.2 dB의 이득과 1.68 dB와 1.43 dB의 잡음 지수를 달성하였으며, 우회 동작에서는 -4.41 dB 및 -6.72 dB의 이득과 5.09 dB와 7.42 dB의 잡음 지수로 측정되었다. 저잡음 증폭기는  $1.5 \times 1.1 \text{ mm}^2$ 의 크기와 12 mW의 전력 소모를 가진다.

## Abstract

This paper presents the design of a highly integrated low-noise amplifier (LNA) for the 5G new radio (NR) band. The proposed LNA integrates two LNAs into a single chip die for the n77 (3.3~4.2 GHz) and n79 (4.4~5.0 GHz) bands and includes a bypass mode for flexible receiver operation according to the input signal strength. It also includes an input/output matching network circuit, electrostatic discharge (ESD) protection circuits, and part of the decoupling network circuit for RF short references for high integration and fidelity. The proposed LNA achieves gains of 21.3 dB and 18.2 dB, with noise figures of 1.68 dB and 1.43 dB, in the n77 and n79 bands, respectively. In bypass mode, the system operates with gains of -4.41 dB and -6.72 dB, with noise figures of 5.09 dB and 7.42 dB, respectively. The integrated LNA has a chip size of  $1.5 \times 1.1 \text{ mm}^2$  and consumes 12 mW of power.

Key words: Low-Noise Amplifier, 5G, New Radio (NR), Bypass, Decoupling Network

## I. 서 론

전 세계 국가들의 이동통신 시스템은 초광대역, 고신뢰성, 초저지연, 대규모 연결성을 약속하는 5G 네트워크

「본 과제(결과물)는 전라남도 재원으로 지원을 받아 수행된 ‘지역기반 화합물반도체 기술 지원 및 인력양성 사업 (2024-0011)’의 화합물반도체센터 기술개발과제 연구결과이며, 또한 2024년도 교육부의 재원으로 한국연구재단의 지원을 받아 수행된 지자체-대학 협력기반 지역혁신 사업의 결과입니다(2021RIS-002).」

국립목포대학교 반도체공학과(Department of Semiconductor Engineering, Mokpo National University)

· Manuscript received October 7, 2024 ; Revised October 20, 2024 ; Accepted October 23, 2024. (ID No. 20241007-109)

· Corresponding Author: Min-Su Kim (e-mail: mmsy970@mnmu.ac.kr)

로 통신 시스템의 세대교체를 준비하고 있다<sup>[1]</sup>. 이에 5G 대역을 위한 저잡음 증폭기는 빠르고 안정적인 데이터 수신을 위해서 광대역 성능, 저 잡음, 그리고 다양한 기기 간섭 신호에 대한 높은 선형성 등을 요구받고 있으며, 더불어 낮은 전력 소비와 저비용이 가능한 효율적인 고집적도 공정의 선택도 중요한 설계 요소로 작용하고 있다<sup>[2],[3]</sup>. 특히 5G를 위한 주파수 스펙트럼 중 Sub-6 GHz 대역은 기존 네트워크와 인프라를 공유할 수 있는 장점으로 더욱 빠른 실증 연구가 되고 있다. Sub-6 GHz 대역을 대표하는 n77과 n79 대역의 저잡음 증폭기는 비교적 넓은 대역 특성(최대 900 MHz)을 만족하기 위해 광대역 기법이 적용되고 있으며, 대표적인 RC 피드백을 이용한 설계 연구가 발표되고 있다<sup>[4]~[6]</sup>. 하지만, 광대역 특성과 NF 성능 간에 트레이드-오프 관계로 원하는 밴드 내에 성능을 최적화하기 어려운 점을 가지고 있다. 또한, 최소한의 성능 변화로 대역을 확장할 수 있는 인덕터 피킹 방법들도 발표가 되고 있으나, 추가적인 인덕터에 의한 면적 증가는 피할 수 없게 된다<sup>[7]~[9]</sup>.

본 논문은 기존에 발표된 논문<sup>[6]</sup>에서 다루지 않았던 모듈 제작에서 발생하는 성능 변화 요소인 RF 단락 회로에 대해 분석하고 이를 최소화하기 위한 RF 단락 커패시터의 집적에 따른 시뮬레이션 결과를 포함하였으며, 또한 시뮬레이션 결과와 실제 측정된 결과를 나타내어 기존 연구를 확장하였다. 측정을 위한 저잡음 증폭기는 플립

칩 기술을 적용한 모듈 수준의 제작을 통해 측정되었으며, 이후, 저잡음 증폭기 설계 파라미터와 RF 단락 회로에 따른 성능 변화를 간단하게 나타내고, 측정 결과를 제시하며 결론을 맺도록 하겠다.

## II. 저잡음 증폭기 설계

그림 1은 설계된 저잡음 증폭기(LNA)의 회로도를 나타낸다. 각 밴드를 위한 저잡음 증폭기는 n79 대역을 위한 최적화 성능을 위해 소스 저항 인덕터와 공통 소스 구조 기반에 RC 피드백 기법을 적용하였고, 상대적으로 대역폭이 넓은 n77 대역은 추가적인 대역 확장을 위한 인덕터 피킹 기법을 적용하여 설계되었다<sup>[6]</sup>. 일반적인 RC 피드백은 저항과 커패시터를 통해 출력 신호를 입력으로 피드백하는 구조를 나타내며, 이때 피드백 저항으로 저잡음 증폭기는 입력 임피던스가 감소하게 되어 광대역 특성을 나타낼 수 있게 된다. 하지만 잡음 지수는 피드백 정도에 따라서 증가하게 되어 각 밴드에서 요구하는 대역폭에 따른 대역 확장 기법을 적용한 설계가 필요하게 된다. 이에 인덕터 피킹 기법은 입력에 광대역 매칭 회로가 필요하게 되어, RC 피드백을 이용한 광대역 기법과 같이 적용하면, 입력 매칭과 광대역 특성을 동시에 만족하여 최적화가 가능하다. 표 1은 각 기술을 적용한 시뮬레이션 결과를 나타내고 있다. 대역폭, 이득 그리고 잡음 지수는

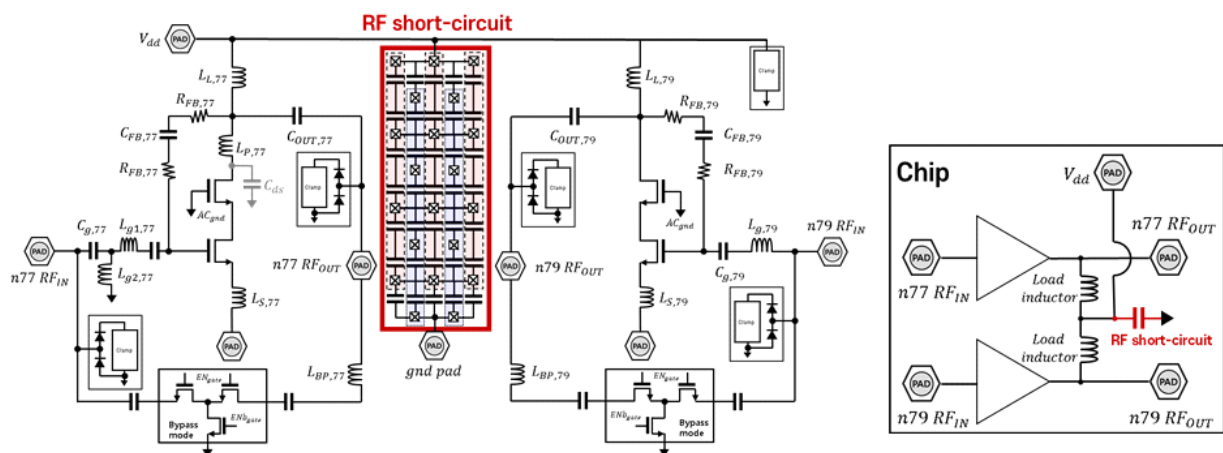


그림 1. 제안하는 저잡음 증폭기 회로도

Fig. 1. Circuit diagram of the proposed low-noise amplifier for the n77 and n79 bands on a single-chip.

표 1. 시뮬레이션 결과 요약

Table 1. Simulation results for n77 and n79 band.

Band	Design	Freq. (BW)	Gain [dB]	*Bandwidth [MHz]	Noise [dB]	**Bandwidth [MHz]
n77	w/o	3.3~4.	23.9	600	0.95	500
	w FB <sup>#</sup>	2	22.2	16,00	1.39	900
	w FB+IP <sup>##</sup>	(900 M)	22.5	1,600	1.27	1,000
n79	w/o	4.4~5.	23.8	600	0.84	400
	w FB <sup>#</sup>	0	24.3	1,200	1.02	1,200
	w FB+IP <sup>##</sup>	(600 M)	24.3	1,300	1.00	1,400

<sup>#</sup>RC feedback, <sup>##</sup>Inductive-peaking \*Gain-1 dB \*\* $S_{11/22} - 10\text{dB}$ .

각 밴드에 최적화를 위해 선택적으로 적용되었다.

표 1의 결과처럼 대역에 따른 최적의 대역폭 확장 기법을 적용하였으며, n79 대역의 경우, 추가적인 인덕터 피킹 기법을 적용할 수 있으나, RC 피드백 기법으로 원하는 밴드의 특성을 모두 가지며, 추가적인 인덕터에 의한 면적 증가로 적용되지 않았다. 이때 n77 대역의 피드백값은  $R_{FB,n77}=5.1\text{ K}\Omega$ ,  $C_{FB,n77}=0.5\text{ pF}$ 이며, 인덕터는  $L_{P,n77}=0.8\text{ nH}$ 이며, n79 대역의 피드백 값은  $R_{FB,n79}=6.98\text{ K}\Omega$ ,  $C_{FB,n79}=0.5\text{ pF}$ 으로 최적 설계되었다.

## 2-1 모듈 레벨 RF 단락 회로에 따른 성능 변화

그림 2는 일반적인 성능 검증을 위한 모듈 구성을 나타내고 있다. 바이어스를 공급하기 위해 설계된 칩은 패드는 본딩(또는 범프) 와이어를 통해 모듈 PCB에 연결되며, 이때 본딩(또는 범프)은 저항과 인덕턴스로 모델로 등가되며 추가적인 PCB 기생 커패시턴스도 모델링이 가능해진다. 이러한 성분은 RF 단락을 회로 구성에 성능 열화 요인으로 작용하게 되며, 정확한 칩 내부의 성능 측정을 어렵게 만든다. 그림 3은 연결을 위한 본딩 와이어 또는 범프에서 발생하는 인덕턴스에 따른  $S_{11}$ ,  $S_{22}$ ,  $S_{21}$  그리고 NF 성능 변화를 나타낸다. 이상적인 RF 단락 기준을 제공하는(No ind) 조건에서 일반적인 본드 와이어의 등가 인덕턴스인  $0.5\text{ nH}$ 를 추가한 결과  $S_{21}$ 은 최대  $550\text{ MHz}$ 의 주파수 이동이 나타났으며, 이때,  $S_{11}$ 과  $S_{22}$ 는 각각  $510$ 에

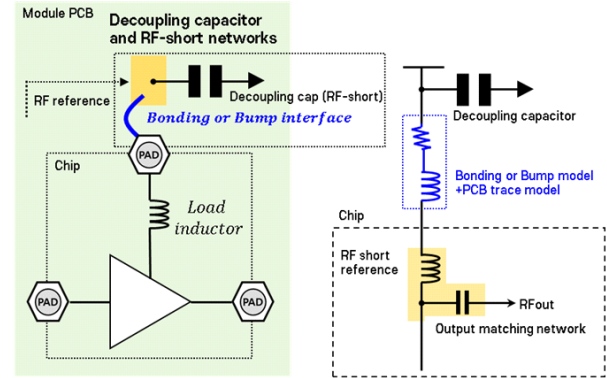


그림 2. 모듈 구성에 따른 RF-short 구성 및 등가 회로

Fig. 2. The typical RF-short reference network and equivalent circuit according to module-level configuration.

서  $560\text{ MHz}$ 의 중심주파수 이동이 발생하였다. 잡음 지수에서는 매칭 조건과 트레이드 오프로 열화된  $S_{11}$ 과  $S_{22}$ 의 열화에 따른 변화로  $0.02\text{ dB}$  개선되는 변화를 나타내었다. 이러한 성능 변화는 설계된 저잡음 증폭기의 정확한 성능 측정에 어려움이 발생하며, 회로의 입/출력 매칭 회로의 재설계가 필요하게 된다. 또한, 모듈 PCB의 패턴 재설계에 의한 변화도 저잡음 증폭기의 성능을 예측하기 어렵게 만든다.

## 2-2 모듈 레벨 RF 단락 회로를 위한 커패시터

그림 4는 제안된 RF 단락을 위한 커패시터를 포함하는 저잡음 증폭기의 회로 구성을 나타내고 있다. RF 단락을 위해서 집적화된 커패시터는 전체 칩의 면적을 증가시키게 되나, 이를 최적화하기 위해서 n77과 n79를 위한 개별 저잡음 증폭기의 RF 단락 커패시터를 공유하여 면적의 증가를 최소화하였으며, 단락을 위한 최소한의 커패시터 값을 적용하여 성능과 면적에 최적화를 수행하였다.

그림 5는 제안된 RF 단락 커패시터에 따른 이득과 중심주파수를 나타내고 있다. 큰 커패시터를 이용하여 설계할 경우, 안정적인 이득과 중심주파수를 가질 수 있으나 칩의 면적을 고려하여  $35\text{ pF}$  이상의 커패시터를 적용한다면 모듈 구성에 의한 성능 변화를 최소화할 수 있게 시뮬레이션 되었다. 이를 위해서 설계된 저잡음 증폭기는  $50\text{ pF}$ 의 커패시터를 포함하여 설계되었다.

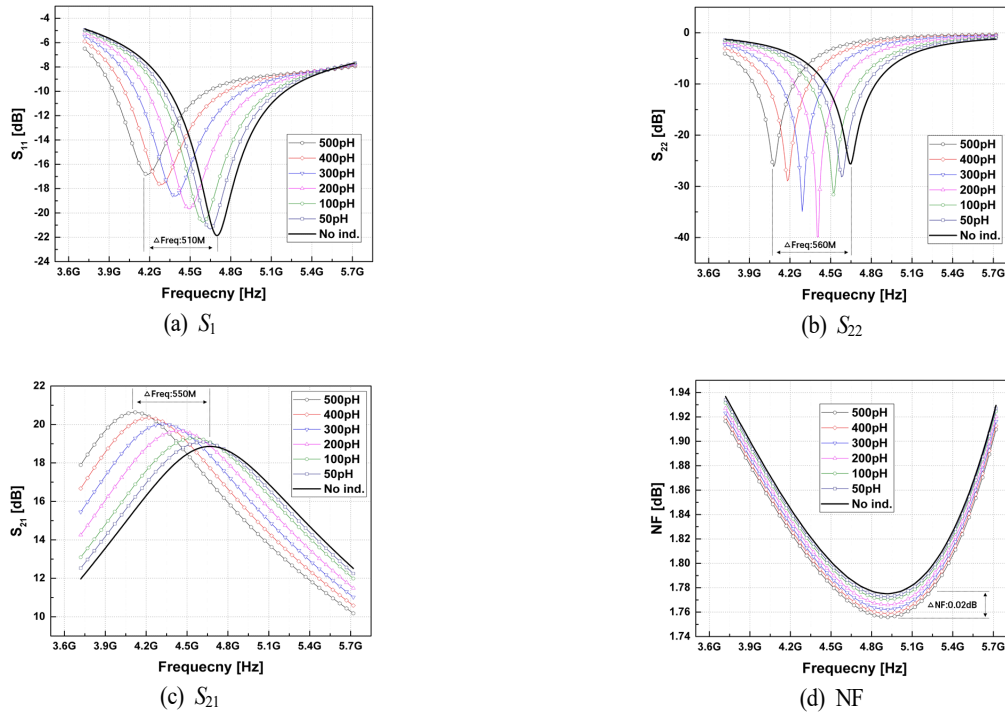


그림 3. 범프 또는 본딩 연결에 따른 S-parameter 변화  
Fig. 3. S-parameter performance according to bump and bonding equivalent.

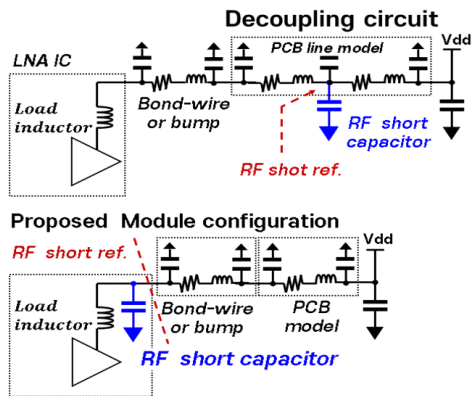


그림 4. 제안된 모듈 구성을 위한 디커플링 네트워크  
Fig. 4. The proposed module-level configuration with RF short-circuit.

### III. 제작 및 측정 결과

그림 6은 제작된 칩의 사진과 성능 측정을 위한 소신호와 잡음 측정 테스트 벤치를 나타내었다.

칩은 비교적 인덕턴스를 작게 가지는 범프를 적용한

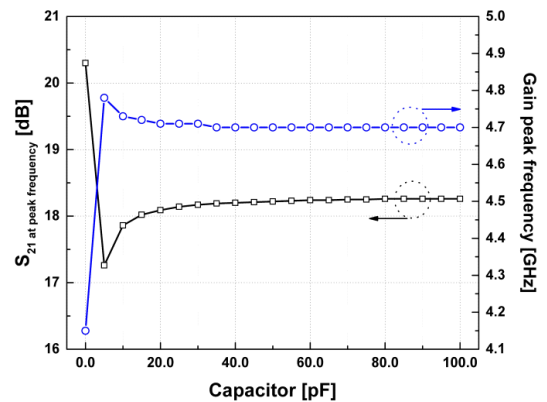


그림 5. RF 단락을 위한 커패시터에 따른 이득과 중심주파수  
Fig. 5. The  $S_{21}$  and center frequency according to capacitor for RF-short reference.

플립 칩 패키징으로 구현되어 모듈 PCB에 구현되었다. n77과 n79를 위해서 설계된 저잡음 증폭기는 하나의 칩으로 집적화되었으며, 크기는  $1.5 \times 1.1 \text{ mm}^2$ 이다. 이때 전력 소비는 1.2 V 공급 전압에 각각 10 mA이다. 그림 7은

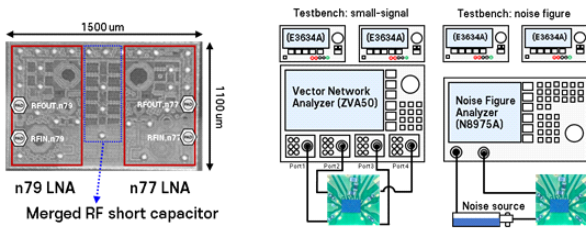
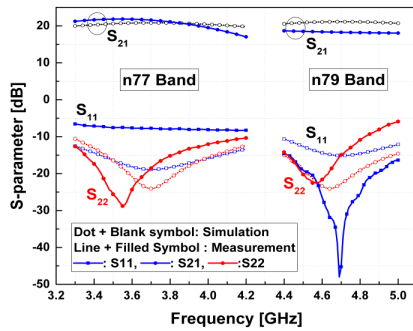


그림 6. 제작된 칩 사진과 측정을 위한 벤치 구성  
Fig. 6. Photograph of the measured chip and test-bench used for measuring s-parameter and noise figure.

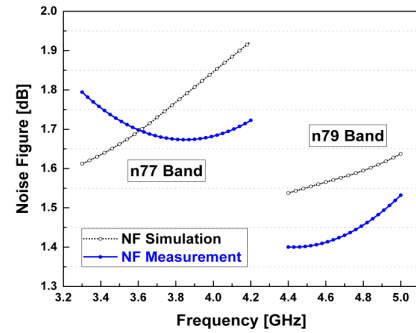
시뮬레이션 결과와 모듈 레벨에서 측정된 결과를 나타낸다. 그림 7(a)는 n77/n79를 위한 높은 이득 모드(HGM)  $S_{21}$  이득 결과이며, 21.2~17.03 dB와 18.6~18.04 dB로 각각 측정되었다.

이때, 3.3~4.2 GHz대역의  $S_{11}$ 과  $S_{22}$ 는 -6.5~-8.2 dB와 -20.2~-9.5 dB이고, 4.4~5.0 GHz 대역은 -14.62~

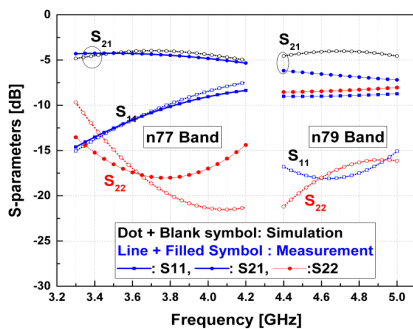
-16.36 dB와 -19.18~-10.91 dB로 각각 측정되었다. 그림 7(b)는 측정된 잡음 지수를 나타내고 있으며, 1.79~1.72 dB와 1.4~1.53 dB로 n77/n79의 성능을 나타내었다. 바이패스 모드(BM)를 위한 측정 결과는 그림 7(c)에 나타내었으며,  $S_{21}$  이득은 -4.3~-5.34 dB와 -6.1~-7.2 dB로 각각 측정되었다. 또한 3.3~4.2 GHz 대역의  $S_{11}$ 과  $S_{22}$ 는 -13.5~-14.3 dB와 -14.6~-8.3 dB이고, 4.4~5.0 GHz 대역은 -9.0~-8.7 dB와 -8.5~-8.03 dB로 각각 측정되었다. 이때, 측정된 잡음 성능은 그림 7(d)와 같이 5.0~5.98 dB와 6.88~7.9 dB로 각각 측정되었다. 표 2는 기존 연구와 제안된 저잡음 증폭기를 기반으로 성능을 비교하였다. 표 2에서처럼 제안된 저잡음 증폭기의 높은 이득 모드의 성능은 높은 이득과 낮은 잡음 특성을 나타내고 있으며, 바이패스 모드를 위한 성능을 정리하였다. 또한 기존 연구들에 비해 2개의 대역을 하나의 칩에 집적



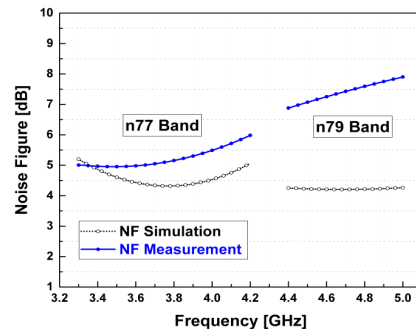
(a) 고이득모드의  $S$  파라미터 성능  
(a)  $S_{11}$ ,  $S_{21}$ , and  $S_{22}$  of high gain mode



(b) 고이득모드의 잡음지수  
(b) Noise figure of high gain mode



(c) 바이패스모드의  $S$  파라미터 성능  
(c)  $S_{11}$ ,  $S_{21}$ , and  $S_{22}$  of bypass mode



(d) 바이패스모드의 잡음지수  
(d) Noise figure of bypass mode

그림 7. 시뮬레이션과 측정 결과  
Fig. 7. Measured and simulation results for n77 and n79 band.

하여 높은 집적도로 설계되었으며, 추가적인 바이패스 모드를 통해서 저잡음 증폭기 동작에서 입력되는 신호의 수준에 따른 이득 조절의 유연성을 확보하였다. 아래의 수식은 제안된 저잡음 증폭기의 추가한 성능을 FoM (figure of merit)을 위한 수신을 나타내고 있다. 이전연구 [11]의 경우, 높은 FoM을 나타내고 있으나, 이는 웨이퍼-레벨에서의 측정 결과이며 플립 칩 구현 후  $S_{11}$ 과  $S_{22}$ 가  $-4$  dB로 열화된 것을 확인할 수 있다. 하지만 제안된 저잡음 증폭기는 플립 칩 이후 모듈에서 측정된 결과로 비교적 우수한 성능에서 측정되었다.

$$FoM = \frac{|S_{21}|_{(mag)}}{(F-1) \times P_{mW}} \quad (1)$$

#### IV. 결 론

본 연구는 5G NR 대역을 위한 n77과 n79 대역을 위한 저잡음 증폭기를 나타내고 있다. 설계된 저잡음 증폭기는 높은 집적도를 위해서 Sub-6 GHz대역의 2개 대역을 하나의 칩에 구현하였으며, 입력과 출력의 매칭 회로, ESD를 위한 보호회로, 그리고 바이패스 모드를 포함하고 있다. 또한 모듈 구성에서 성능 변화를 최소화하기 위해 RF

short reference를 위한 커패시터를 칩 내부에 집적화하였다. 이를 통해서 시뮬레이션과 측정 결과에서 중심주파수의 비교적 유사한 결과를 얻을 수 있었다. 하지만 저잡음 증폭기의 입력과 출력을 위한 매칭회로 집적에 따른 매칭값 변화와 모듈 PCB에서 발생하는 기생 커패시터 등의 영향은  $S_{11}$ 과  $S_{22}$  주파수 이동으로 나타났다. 이러한 부분은 집적화를 위한 매칭 회로를 위한 full-EM 시뮬레이션과 함께, PCB에서 발생하는 기생 성분들을 시뮬레이션이 포함하여, 모듈 구성에 따른 성능 변화에 대한 예측도를 높여야 할 것으로 보인다.

#### References

- [1] Y. Huang, "Challenges and opportunities of sub-6 GHz integrated sensing and communications for 5G-Advanced and beyond," *Chinese Journal of Electronics*, vol. 33, no. 2, pp. 323-325, Mar. 2024.
- [2] G. S. Vardhan, D. Pathak, and A. Dutta, "A gain reconfigurable CMOS wideband LNA for sub-7GHz 5G NR receiver," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 71, no. 4, pp. 1829-1833, Apr. 2024.

표 2. 이전 관련 연구들과의 성능 비교

Table 2. Performance comparison with previous related research.

Ref.	Techn.	Design	Freq. [GHz]	Gain [dB]	NF [dB]	Pdc [mW]	Size [mm <sup>2</sup> ]	FoM
[10] ESSC'2016	65 nm CMOS	Shunt-peaking	5.1~6.1	26.8	5.1	13.5	0.07 <sup>#</sup>	0.72 <sup>*</sup>
[11] TMTT'2017	130 nm CMOS	Phase-change RF switch	3	21.2	2.5	7.2	0.81 <sup>#</sup>	2.04
			5	21.9	2.7	3.6	0.9 <sup>#</sup>	4.01
[12] TCSII'2018	180 nm CMOS	CS-CG w.FF <sup>**</sup>	2-5	13	6-8	1.8	2.25	0.83
[13] MWCL '2021	180 nm CMOS	Body floating self-bias	7.5~10.7 <sub>@LN</sub>	7.5~10.7	3.41	3.3	0.739	0.60~0.87
			6.4~9.4 <sub>@LP</sub>	6.4~9.4	3.89	1.36		1.06~1.49
This Work	90 nm RF-SOI	RC FB <sup>§</sup> and Ind.-peaking	3.3~4.2	21.2~17.03 <sub>@HGM</sub>	1.79~1.72	12	1.65	1.87~1.21
				-4.3~-5.34 <sub>@BM</sub>	5.0~5.98			—
		RC feedback	4.4~5.0	18.6~18.04 <sub>@HGM</sub>	1.4~1.53			1.86~1.57
				-6.1~-7.2 <sub>@BM</sub>	6.88~7.9			—

<sup>#</sup>Calculated LNA from photograph, <sup>\*</sup>SW+TX+LNA, <sup>\*\*</sup>Feed-Forward noise cancellation, <sup>§</sup>Feedback, <sub>@LN</sub> (lownoise), <sub>@LP</sub> (lowpower), <sub>@HGM</sub> (high gain mode) <sub>@BM</sub> (bypass mode)



- [3] J. T. Son, H. W. Choi, and C. Y. Kim, "Sub-6 GHz LNA using two-stage SNIM with series interstage inductor based on 0.5- $\mu$ m GaAs E-pHEMT technology," *IEEE Microwave and Wireless Technology Letters*, vol. 33, no. 9, pp. 1301-1304, Sep. 2023.
- [4] K. C. He, M. T. Li, C. M. Li, and J. H. Tarn, "Parallel-RC feedback low-noise amplifier for UWB applications," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 57, no. 8, pp. 582-586, Aug. 2010.
- [5] J. Luo, P. Chen, "A compact 9~23 GHz low noise amplifier with bandwidth extension techniques in 0.18- $\mu$ m SiGe BiCMOS," *International Journal of Numerical Modelling: Electronic Networks, Devices and Fields*, vol. 37, no. 2, p. e3137, Mar.-Apr. 2024.
- [6] M. S. Kim, S. S. Yoo, "Low-noise amplifier with bypass for 5G new radio frequency n77 band and n79 band frequency silicon on insulator complementary metal-oxide semiconductor technology," *Sensors*, vol. 24, no. 2, p. 568, Jan. 2024.
- [7] Z. Wang, J. Chen, D. Hou, P. Zhou, Z. Chen, and L. Wang, et al., "A 1~27 GHz SiGe low noise amplifier with 27-dB peak gain and  $2.85 \pm 1.45$  dB NF," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 71, no. 5, pp. 2629-2633, May 2024.
- [8] H. Dong, K. Wang, G. Yang, S. Ma, and K. Ma, "A 0.4-to-30 GHz CMOS low noise amplifier with input-referred noise reduction and coupled-inductive-peaking technique," *IEEE Microwave and Wireless Technology Letters*, vol. 33, no. 6, pp. 859-862, Jun. 2023.
- [9] J. Lin, "Chip-package codesign for high-frequency circuits and systems," *IEEE Micro*, vol. 18, no. 4, pp. 24-32, Jul.-Aug. 1998.
- [10] X. Xiao, A. Pratt, B. Yang, A. M. Niknejad, E. Alon, and B. Nikolic, "A 65-nm CMOS wideband TDD front-end with integrated T/R switching via PA re-use," *IEEE Journal of Solid-State Circuits*, vol. 52, no. 7, pp. 1768-1782, Jul. 2017.
- [11] R. Singh, G. Slovin, M. Xu, T. E. Schlesinger, J. A. Brain, and J. Paramesh, "A reconfigurable dual-frequency narrowband CMOS LNA using phase-charge RF switches," *IEEE Transactions on Microwave Theory and Techniques*, vol. 65, no. 11, pp. 4689-4702, Nov. 2017.
- [12] A. R. A. Kumar, B. D. Sahoo, and A. Dutta, "A wide-band 2~5 GHz noise canceling subthreshold low noise amplifier," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 65, no. 7, pp. 834-838, Jul. 2018.
- [13] J. Chang, Y. Lin, "3~9 GHz CMOS LNA using body floating and self-bias technique for sub-6-GHz 5G communications," *IEEE Microwave and Wireless Components Letters*, vol. 31, no. 6, pp. 608-611, Jun. 2021.

김 민 수 [국립목포대학교/조교수]

<https://orcid.org/0000-0002-7566-5408>

2005년 2월: 인천대학교 전자공학과 (공학사)



2012년 2월: 성균관대학교 전자전기컴퓨터공학과 (공학박사)

2012년 2월~2015년 7월: 삼성전자 System LSI 책임연구원 (RFIC 수신부 개발)

2015년 7월~2019년 3월: Broadcom WSD 수석연구원 (L-PAMiD 개발)

2019년 3월~2022년 2월: 대림대학교 반도체학과 조교수

2022년 3월~현재: 국립목포대학교 반도체공학과 조교수

[주 관심분야] 저잡음 증폭기 설계, 전력증폭기 및 초고주파 회로 설계, 송/수신기 시스템을 위한 RFIC 설계 및 Front-end module 설계 연구