

## 40-nm CMOS 공정을 이용한 106~133 GHz 광대역 전력 증폭기

## A 106~133 GHz Wideband Power Amplifier in 40-nm CMOS Process

황 준 호 · 서 문 교

JoonHo Hwang · Munkyo Seo

## 요 약

본 논문에서는 40-nm CMOS 공정을 이용한 차동 공통 소스 구조를 이용한 106~133 GHz 광대역 전력 증폭기를 제시한다. 출력을 제외한 각 증폭단은 직렬 인덕터를 추가한 광대역 트랜스포머를 통해 정합하였고, 출력은 발룬을 통해 최대 출력 부하 임피던스에 정합하였다. 측정 결과, 증폭기의 최대 이득은 116 GHz에서 22.3 dB, 3-dB 대역폭은 27 GHz, 출력 포화전력은 9.4 dBm이다. 소비 전력은 1.1 V 공급 전압에서 76 mW, 최대 전력 부가 효율은 9.3 %이다. 패드를 제외한 칩 면적은  $595\ \mu\text{m} \times 88\ \mu\text{m}$ 이다.

## Abstract

This paper presents a wideband power amplifier operating in the frequency range of 106~133 GHz, using a common-source differential structure implemented in a 40-nm CMOS process. Each stage of the amplifier, excluding the output, is matched using a wideband transformer with a series inductor, and the output is matched to the maximum output load impedance using a balun. Measurement results show a maximum gain of 22.3 dB at 116 GHz, 3-dB bandwidth of 27 GHz, and output saturation power of 9.4 dBm. The power consumption is 76 mW at 1.1 V supply voltage, with a peak power added efficiency of 9.3 %. The chip area, excluding the pads, measures  $595\ \mu\text{m} \times 88\ \mu\text{m}$ .

Key words: CMOS, Power Amplifier, RF Circuit, D-Band, Wide-Band

## I. 서 론

무선 통신 기술의 발달로 고화질 콘텐츠와 사물 인터넷(IoT) 기기 등의 수요가 증가함에 따라 데이터 트래픽의 요구량이 증가하고 있다. 이에 높은 데이터 전송 속도<sup>[1]</sup>와 짧은 지연시간의 송수신이 가능한 100 GHz 이상의

테라헤르츠 대역에 대한 연구가 활발하다. 특히 D-대역(110~170 GHz)은 넓은 통신 대역폭과, 인접 대역 대비 대기중 손실이 작아 차세대 6G 상용 통신 및 레이다 기술의 후보 주파수 대역으로 주목받고 있고, 해당 대역에서 동작하는 다양한 송수신 회로가 개발되고 있다<sup>[2]~[11]</sup>. 이러한 회로 설계에 기존에는 GaN, InP HBT와 같은 화합물

「본 연구는 IDEC에서 EDA Tool를 지원받아 수행하였음.

「본 연구는 2021년도 정부(과학기술정보통신부)의 재원으로 정보통신기획평가원의 지원을 받아 수행된 연구임(No.2021-0-00198, 저전력 MIMO 및 고효율 공간합성 QAM 기반 6G RF 전단 핵심기술개발).

성균관대학교 전자전기컴퓨터공학과(Department of Electrical and Computer Engineering, Sungkyunkwan University)

· Manuscript received September 27, 2024 ; Revised October 1, 2024 ; Accepted October 25, 2024. (ID No. 20240927-100)

· Corresponding Author: Munkyo Seo (e-mail: mkseo@skku.edu)

반도체를 사용하였으나, 최근 실리콘 공정 기술의 미세화로 CMOS 공정을 통해 상대적으로 비용이 적고 대량생산에 유리하며 집적도가 높은 회로 설계가 가능해졌다.

차세대 6G 통신 기술 목표 중 초광대역의 성능이 요구됨에 따라 송신기 종단에 위치한 전력 증폭기는 높은 출력 전력 및 효율을 제공함과 동시에 높은 데이터 전송 속도의 지원을 위한 광대역화가 필요하다.

본 논문에서는 40-nm CMOS 공정을 통해 3-dB 대역폭이 27 GHz(106~133 GHz)인 광대역 차동 전력 증폭기 구조와 측정 결과를 서술한다.

## II. 광대역 전력 증폭기 구성 및 설계

### 2-1 전력 증폭기 설계

그림 1은 본 논문에서 제안하는 광대역 4단 차동 전력 증폭기 회로도이다. 그림 2는 구현한 전력 증폭기 증폭단의 레이아웃이다. 최종 증폭단을 포함한 모든 증폭단은 공통 소스 증폭단으로 구성되었으며, 차동 구조를 선택하여 공통 모드 노이즈를 효과적으로 제거하고, 비선형 왜곡을 줄였다. 교차 결합된 중성화 커패시터는 각 증폭단의 트랜지스터의 크기에 따라 최대 이득과 안정도 지수를 고려하여 선정하였다. 트랜지스터와 중화 커패시터는 두께가 가장 두꺼워 저항이 가장 작은 공정상 최상위 금속층을 사용하여 연결하였다. 차동 구조를 선택하여 공통 모드 노이즈를 효과적으로 제거하고, 비선형 왜곡을 줄였다. 전력 소모가 가장 작은 첫 단을 재사용해 전체 전력

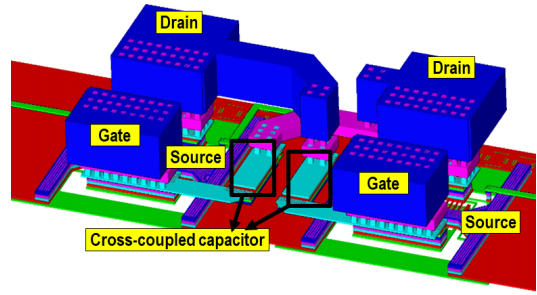


그림 2. 교차 결합된 중성화 커패시터를 적용한 차동 공통 소스 증폭단 레이아웃

Fig. 2. Layout of differential common source amplifier stage with cross-coupled neutralization capacitors.

부가 효율을 개선하였고, 상대적으로 전력 소모가 큰 후단의 비율은 1:2로 하여 전체 1:1:2:4의 비율로 구성해 종단이 충분히 구동될 수 있도록 설계하였다.

트랜지스터의 게이트 핑거(finger) 길이는 트랜지스터의 전력 이득과 관련된 중요한 설계 파라미터이다. 핑거 길이가 짧을수록 게이트 저항이 낮아져 이득은 높아지나, 주어진 전체 게이트 폭에서 핑거 개수가 증가하여 금속 배선으로 인한 손실은 증가한다. 본 논문에서는 1  $\mu\text{m}$ 의 핑거를 사용하여 각 단의 트랜지스터는 16, 16, 32, 64개의 단위 핑거로 구성하였다.

### 2-2 정합회로 설계

그림 3에서 본 논문에서 제안하는 정합회로와 기존 정합회로의  $S_{21}$ 을 비교하였다. 기존 설계된 전력 증폭기<sup>[11]</sup>

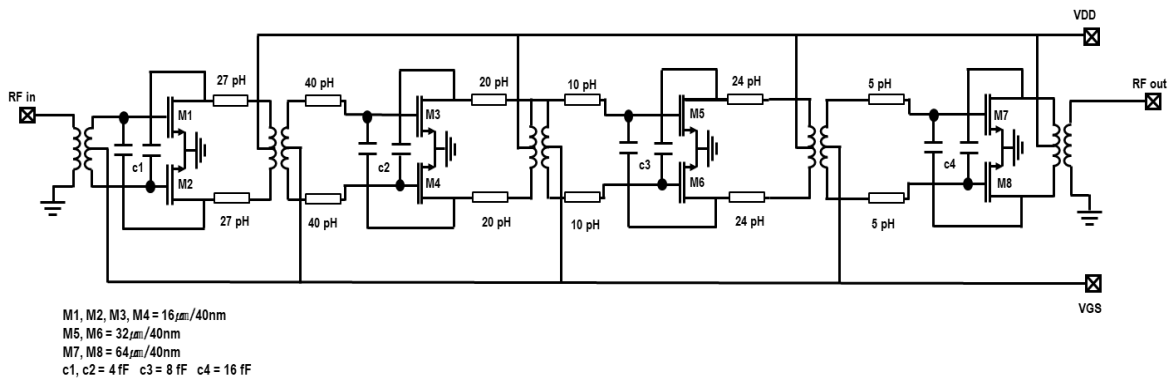


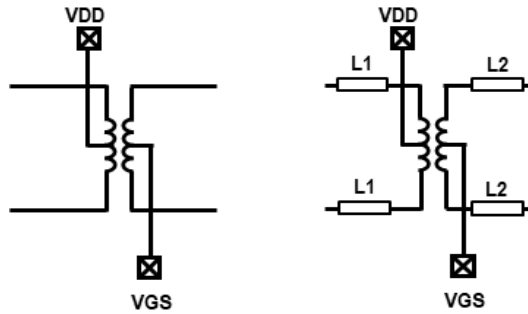
그림 1. 광대역 4단 차동 전력 증폭기 회로도

Fig. 1. Schematic of the wide-band 4-stage differential power amplifier.

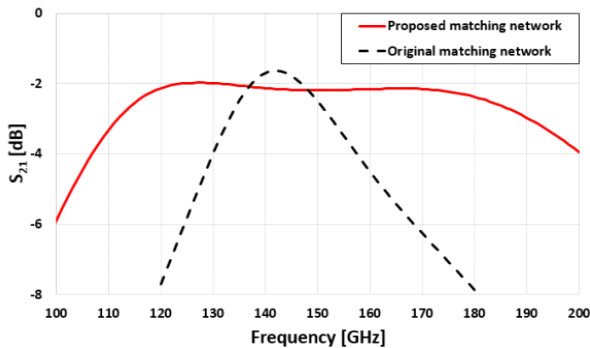
의 정합 회로의 경우 특정 주파수 지점에서 최소 손실을 목표로 했던 반면, 본 논문에서는 이러한 손실을 넓은 주파수 범위에서 최소화하도록 광대역 정합회로를 설계하였다. 그림 3(b)와 같이 트랜스포머의 입출력에 직렬 인덕터  $L_1$ ,  $L_2$ 를 추가하여 정합회로 설계의 자유도를 증가시켰다. 대역 내 리플을 허용하여 중심 주파수에서의 손실은 다소 증가하나 3-dB 대역폭 자체는 넓어지게끔  $L_1$ ,  $L_2$  및 트랜스포머의 형상을 최적화하였다.

트랜지스터 자체의  $G_{max}$ 는 일반적으로 주파수가 증가함에 따라 감소하며, 이를 보상하기 위해 각 단의 정합 손실을 낮은 주파수 대역에서 상대적으로 크게 증가시켜 전체 증폭기의 이득 주파수 특성을 평탄하게 유지하였다.

그림 4는 각 증폭단 별 설계된 정합회로의 레이아웃이다. 그림 5는 최종 출력 증폭단의 광대역화를 위한 로드-



(a) 기존 정합회로 (b) 제안하는 정합회로  
(a) Original matching network (b) Proposed matching network



(c) 정합회로 시뮬레이션 결과  
(c) Simulation results of matching networks

그림 3. 정합회로에 따른  $S_{21}$  비교  
Fig. 3. Comparison of  $S_{21}$  by matching network method.

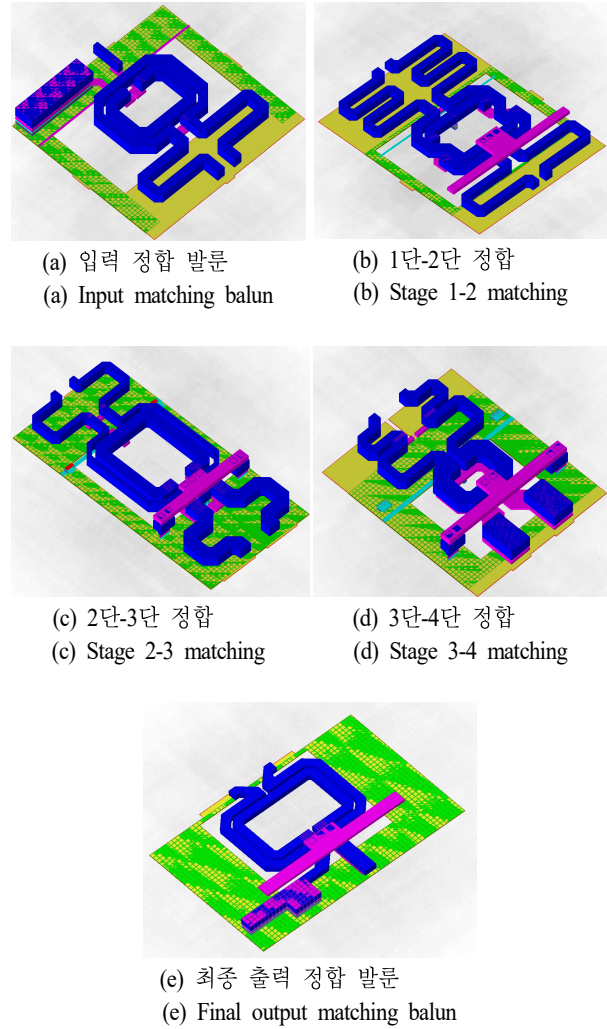


그림 4. 광대역 정합을 위한 증폭단 단 트랜스포머 및 입/출력 발룬 레이아웃

Fig. 4. Transformers and input/output balun layouts for wide-band matching of each amplifier stage.

폴 시뮬레이션 결과이다. 115 GHz와 145 GHz에서 최대 출력 전력은 각각 10 dBm, 10.1 dBm이다. 두 주파수에서의 최대 출력 부하 임피던스가 상대적으로 가까워 두 임피던스의 중간점에 정합하여 115 GHz와 145 GHz 대역 내 일정한 출력 전력을 목표로 하였다. 레이아웃 기생성분을 고려한 전체 증폭기의 시뮬레이션 결과, 최대 이득은 129 GHz에서 19.1 dB, 3-dB 대역폭은 50 GHz(103~153 GHz)이다. 140 GHz에서 포화전력 및  $P_{1dB}$ 는 각각 9.6 dBm, 3.2 dBm이며, PAE는 8.5 %이다.

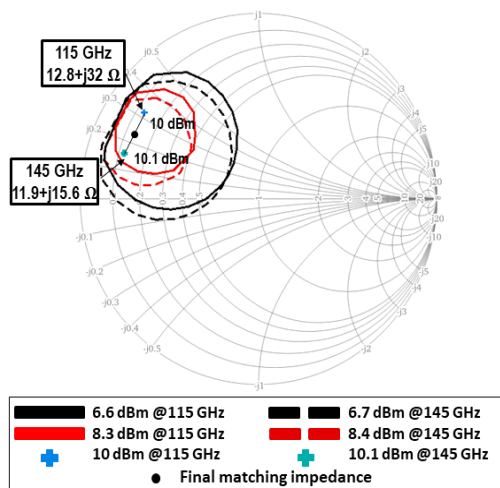


그림 5. 최종 출력 증폭단의 로드-풀 시뮬레이션 결과와 최종 정합 임피던스

Fig. 5. Load-pull simulation results of final output amplifier and final matching impedance.

### III. 측정 결과

그림 6은 TSMC 40-nm CMOS 공정으로 제작된 광대역 전력 증폭기의 칩 사진이다. 패드를 제외한 회로의 크기는  $595 \mu\text{m} \times 88 \mu\text{m}$ 이다. 증폭기의 게이트와 드레인 바이어스는 각각 0.65 V, 1.1 V이며, 총 소비전력은 76 mW이다.

#### 3-1 산란계수 측정

그림 7는 증폭기의 산란계수 측정을 위한 W-대역, D-

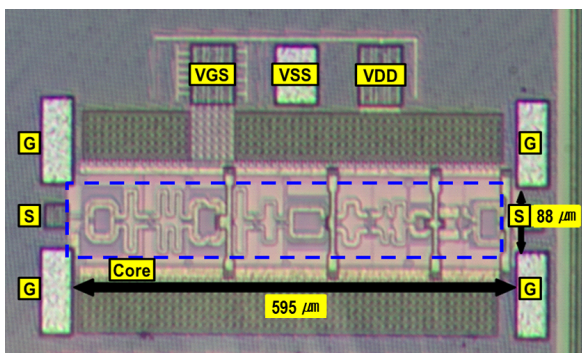
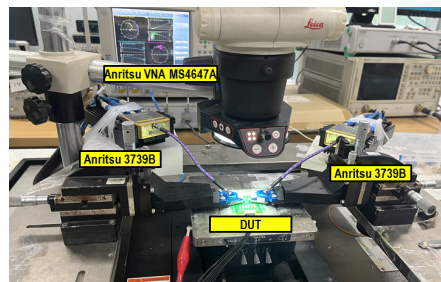


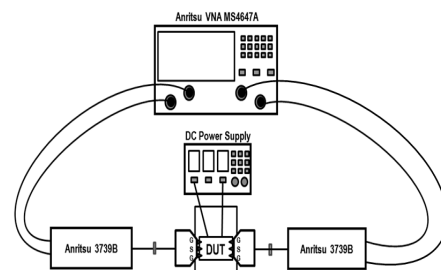
그림 6. 광대역 전력 증폭기의 칩 사진

Fig. 6. Chip micrograph of wide-band power amplifier.



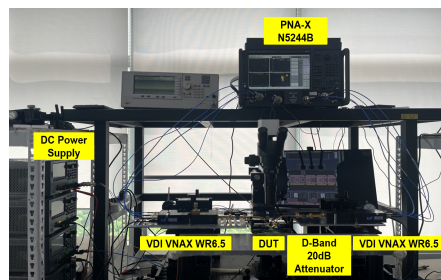
(a) W-대역 측정 셋업

(a) Measurement setup for W-band



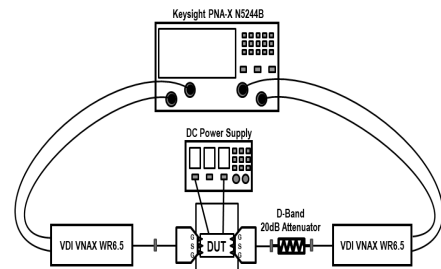
(b) W-대역 측정 셋업 블록 다이어그램

(b) Measurement setup block diagram for W-band



(c) D-대역 측정 셋업

(c) Measurement setup for D-band



(d) D-대역 측정 셋업 블록 다이어그램

(d) Measurement setup block diagram for D-band

그림 7. W-대역, D-대역 산란계수 측정 셋업

Fig. 7. W-band, D-band S-parameter measurement setup.

대역 온웨이퍼 측정 셋업이다. W-대역 측정 장비는 Anritsu의 VNA 4647A, 3739B, Cascade II10-A-GSG-100으로 구성하였다. D-대역 측정 셋업은 Keysight의 PNA-X N5244B 네트워크 분석기, VDI의 VNAX WR-6.5 D-대역 주파수 확장 모듈 및 Eravant의 D-대역 감쇄기로 구성하였으며 프로브는 Infinity의 II70-T-GSG-100-BT를 사용하였다.

그림 7의 셋업을 이용한 산란계수 측정 결과를 그림 8에 시뮬레이션과 비교하였다. 전력 증폭기의 최대 이득은 116 GHz에서 22.3 dB이며 3-dB 대역폭은 27 GHz(106~133 GHz)로 측정되었다. 최대  $S_{21}$ 의 경우 시뮬레이션보다 3.2 dB 크고, 측정된 3-dB 대역폭은 시뮬레이션 결과인 50 GHz와 23 GHz의 차이가 있다. 이러한 차이는 기존 정합 회로와 비교하여 다소 복잡도가 증가한 제한하는 정합 회로 레이아웃의 모델링 오차에 기인한 것으로 추정된다.

### 3-2 출력 전력 측정

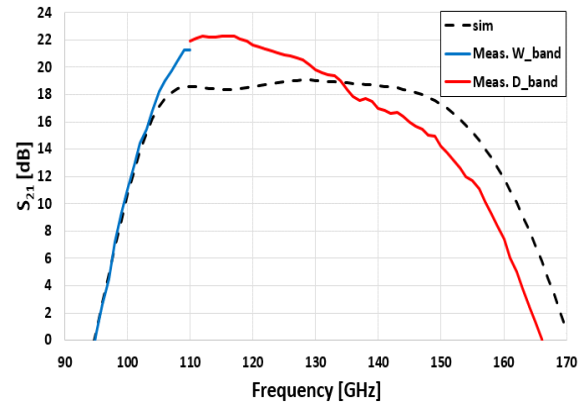
증폭기의 입출력 전력 특성을 측정하기 위해 그림 9의 측정 셋업을 사용하였다. D-대역 주파수 확장 모듈로 115 GHz부터 145 GHz까지 5 GHz 간격으로 신호를 DUT에 인가한다. 출력 전력은 VDI사의 전력 센서 PM5B로 측정하였다.

그림 10 및 그림 11에 광대역 전력 증폭기의 입출력 전력 특성과 이득, 그리고 PAE 측정 결과를 시뮬레이션과 비교하였다. 120 GHz에서 증폭기의 포화전력 및  $P_{1dB}$ 는 각각 9.4 dBm, 5.9 dBm이며 최대 PAE는 9.3 %로 측정되었다. 포화전력 및  $P_{1dB}$ 는 각각 0.1 dB, 2.7 dB 크고, 최대 PAE는 0.3 % 낮다.

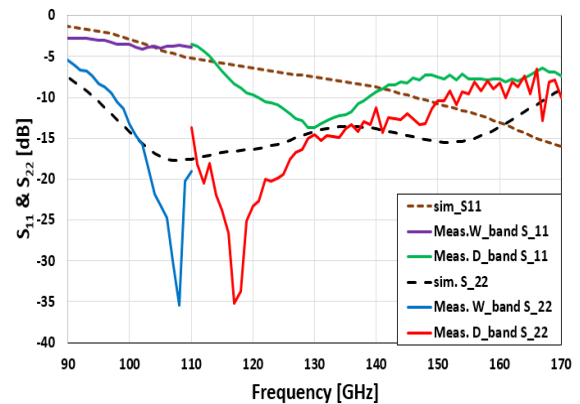
그림 12에서 광대역 전력 증폭기의 주파수별 포화전력 및  $P_{1dB}$  측정 결과를 시뮬레이션과 비교하였다. 주파수별 포화전력은 시뮬레이션보다 1 dB 낮고,  $P_{1dB}$ 는 2 dB 크다, 이는 레이아웃 기생 성분의 모델링 오차 및 공정 편차에 기인한 것으로 여겨진다.

## IV. 결 론

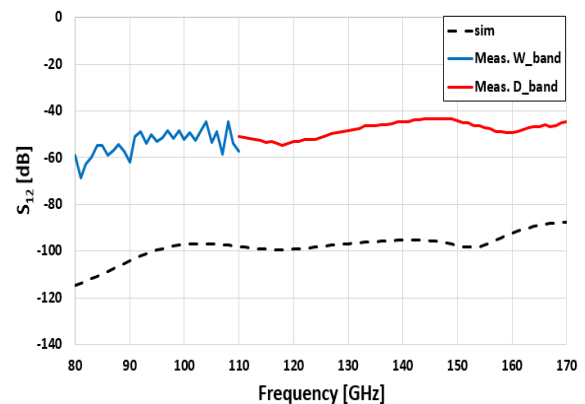
본 논문에서는 40-nm CMOS 공정을 이용한 106~133



(a)  $S_{21}$



(b)  $S_{11}$ ,  $S_{22}$

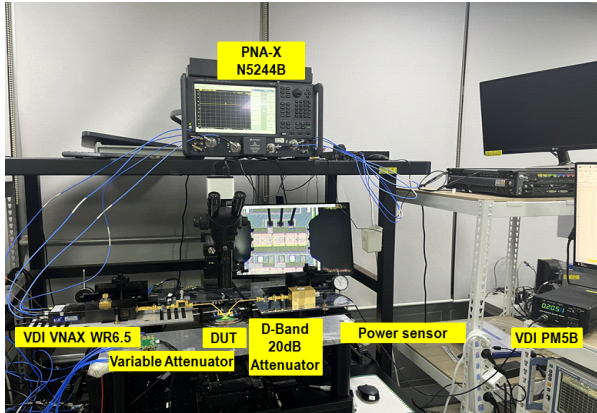


(c)  $S_{12}$

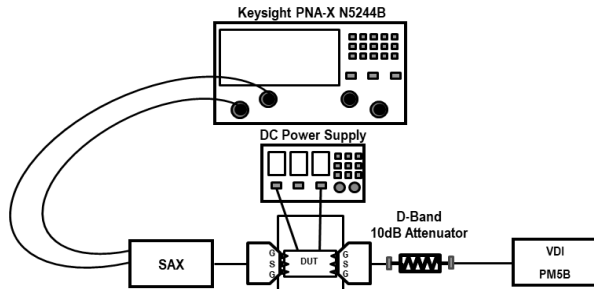
그림 8. 광대역 전력 증폭기 산란계수 측정 결과

Fig. 8. Measured  $S$ -parameters of the wide-band power amplifier.





(a) D-대역 출력 전력 측정 셋업  
(a) Measurement setup for D-band output power



(b) D-대역 출력 전력 측정 셋업 블록 다이어그램  
(b) Measurement setup block diagram for D-band output power

그림 9. D-대역 온웨이퍼 출력 전력 측정 셋업  
Fig. 9. D-band on-wafer output power measurement setup.

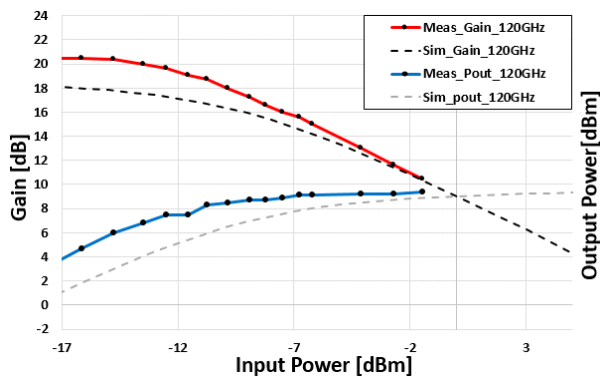


그림 10. 광대역 전력 증폭기 입출력 전력과 이득 측정 결과  
Fig. 10. Measured input/output power and gain of the wide-band power amplifier.

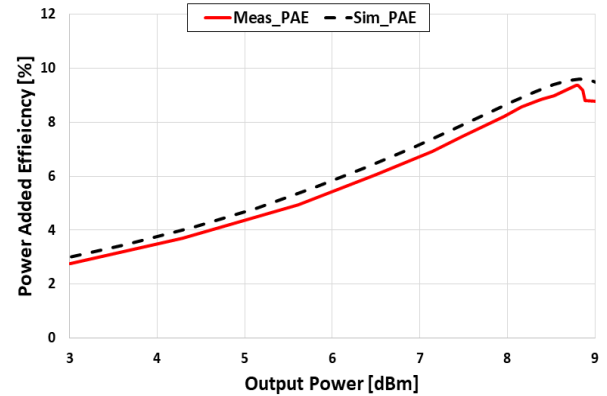


그림 11. 광대역 전력 증폭기의 PAE 측정결과  
Fig. 11. Measured PAE of the wide-band power amplifier.

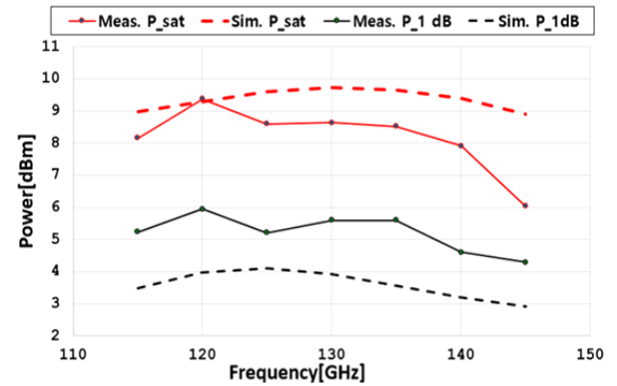


그림 12. 광대역 전력 증폭기의 주파수별  $P_{sat}$ ,  $P_{1dB}$  측정 결과  
Fig. 12. Measured  $P_{sat}$ ,  $P_{1dB}$  versus frequency of wide-band power amplifier.

GHz 광대역 전력 증폭기를 제시한다. 제안한 증폭기의 측정 결과를 표 1에 최근 5년간 발표된 기존의 D-대역 전력 증폭기와 비교하였다. 본 논문에서 제시한 전력 증폭기는 비대역폭(FBW, fractional bandwidth)이 두 번째로 높고, 가장 높은 증폭기<sup>[10]</sup>보다는 최대 이득이 8.8 dB 크다. 패드를 제외한 칩 면적은 0.052 mm<sup>2</sup>로 기존 증폭기 대비 상대적으로 저면적화 구현이다. 본 논문에서 제시한 D-대역 전력 증폭기는 광대역 신호처리가 필요한 테라헤르츠 대역 차세대 통신용 RF 전단의 소형화 구현에 유용할 것으로 예상된다.

표 1. D-대역 CMOS 전력 증폭기 성능 비교

Table. 1. Comparison of D-band CMOS power amplifiers.

	This work	Ref. [5]	Ref. [6]	Ref. [7]	Ref. [8]	Ref. [9]	Ref. [10]	Ref. [11]
Technology /topology	40-nm CMOS /4-stage 1-way	28-nm CMOS /3-stage 4-way	28-nm CMOS /3-stage 2-way	65-nm CMOS /5-stage 1-way	45-nm CMOS RFSOI 4-way diff	45-nm CMOS SOI /4-stage	22-nm CMOS FD-SOI /3-stage 4-way	40-nm CMOS /4-stage 1-way
Frequency (GHz)	120	138	138	140	140	160	130	130
Gain (dB)	22.3	22.6	19.2	27.32	22.2 / 24	18	13.5	22.5
3-dB BW (GHz)	106~133 27	124~152 28	127~150 23	135~145 10	130~151 133~148 21/15	146~174 28	111~149 38	122~137 15
FBW (%)	22	20	16	7	15	17.5	29	11.5
PAE (%)	9.3	8.6	15.4	6.4	13.4/11	6.8	16.5	7.1
$P_{sat}$ (dBm)	9.4	16.2	15.4	10.7	17.5 / 18.5	8.8	17.5	7.7
$P_{1dB}$ (dBm)	5.9	11.4	11.2	7.2	14.2/13.5	5	N/A	5
$P_{dc}$ (mW)	76	368	381	170	N/A	92	N/A	81
Area (mm <sup>2</sup> )	0.052* 0.25**	0.33*	0.091* 0.31**	0.027*	0.43* /0.46*	0.04* 0.28**	0.113*	0.065*

\* Chip area for core.

\*\* Chip area including pad.

## References

- [1] S. Onoe, "Evolution of 5G mobile technology toward 2020 and beyond," in *IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, Jan.-Feb. 2016, pp. 23-28.
- [2] S. Carpenter, H. Zirath, Z. S. He, and M. Bao, "A fully integrated D-band direct-conversion I/Q transmitter and receiver chipset in SiGe BiCMOS technology," *Journal of Communications and Networks*, vol. 23, no. 2, pp. 73-82, Apr. 2021.
- [3] P. Zhou, J. Chen, P. Yan, J. Yu, H. Li, and D. Hou, et al., "A 150-GHz transmitter with 12-dBm peak output power using 130-nm SiGe:C BiCMOS process," *IEEE Transactions on Microwave Theory and Techniques*, vol. 68, no. 7, pp. 3056-3067, Jul. 2020.
- [4] A. A. Farid, A. Simsek, A. S. H. Ahmed, and M. J. W. Rodwell, "A broadband direct conversion transmitter/receiver at D-band using CMOS 22nm FDSOI," in *2019 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Boston, MA, Jun. 2019, pp. 135-138.
- [5] J. Zhang, Y. Wang, Y. Chen, J. Ren, and S. Ma, "A 124-to-152-GHz power amplifier exploiting chebyshev-type two-section wideband and low-loss power-combining technique in 28-nm CMOS," *IEEE Transactions on Microwave Theory and Techniques*, vol. 71, no. 5, pp. 1852-1865, May 2023.
- [6] L. Zhang, K. Ma, H. Fu, Y. Wang, K. Wang, and F. Meng, "A compact 140-GHz power amplifier with 15.4-dBm  $P_{sat}$  and 14.25% peaking PAE in 28-nm bulk CMOS process," *Transactions on Microwave Theory and Techniques*, vol. 72, no. 5, pp. 3016-3030, May 2023.

- [7] L. Chen, L. Zhang, W. Wu, and Y. Wang, "A compact 140-GHz CMOS power amplifier with 10.5-dBm output power and 27.6-dB power gain supporting up to 128-QAM modulation," *IEEE Solid-State Circuit Letters*, vol. 5, pp. 214-217, Aug. 2022.
- [8] S. Li, G. M. Rebeiz, "High efficiency D-band multiway power combined amplifiers with 17.5~19-dBm  $P_{sat}$  and 14.2~12.1% peak PAE in 45-nm CMOS RFSOI," *IEEE Journal of Solid-State Circuits*, vol. 57, no. 5, pp. 1332-1343, May 2022.
- [9] A. Hamani, A. Siligaris, B. Blampey, and J. L. G. Jimenez, "167-GHz and 155-GHz high gain D-band power amplifiers in CMOS SOI 45-nm technology," in *2020 15th European Microwave Integrated Circuits Conference(EuMIC)*, Utrecht, Jan. 2021, pp. 261-264.
- [10] J. S. C. Chien, J. F. Buckwalter, "A 111~149-GHz, compact power-combined amplifier with 17.5-dBm  $P_{sat}$ , 16.5% PAE in 22-nm CMOS FD-SOI," in *ESSCIRC 2022- IEEE 48th European Solid State Circuits Conference(ESSCIRC)*, Milan, Sep. 2022, pp. 453-456.
- [11] J. Kim, C. Lee, and M. Seo, "A 130-GHz low-area power amplifier in 40-nm CMOS," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 34, no. 4, pp. 310-316, Apr. 2023.

#### 황 준 호 [성균관대학교/석사과정]

<https://orcid.org/0009-0006-6436-9669>



2023년 2월: 수원대학교 전자공학과 (공학사)  
 2023년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정  
 [주 관심분야] RF, RF Power Amplifier, Millimeter-Wave, Sub-THz 등

#### 서 문 교 [성균관대학교/부교수]

<https://orcid.org/0000-0002-0691-1783>



1994년 2월: 서울대학교 전자공학과 (공학사)  
 1996년 2월: 서울대학교 전자공학과 (공학석사)  
 2007년 12월: University of California, Santa Barbara, USA (공학박사)  
 2009년~2013년: Teledyne Scientific Company, USA, Senior Engineer

2013년~현재: 성균관대학교 전자전기컴퓨터공학과 부교수  
 [주 관심분야] Millimeter-Wave & Terahertz IC Design