

개선된 전압 변동률을 갖는 다중 루프 저전압강하 레귤레이터

Multi-Loop Low Drop-Out Voltage Regulator with Improved Output Voltage Regulation

한 희 재 · 김 남 윤* · 김 창 우

Hui-Jae Han · Nam Yoon Kim* · Chang-Woo Kim

요 약

28-nm CMOS 공정을 사용하여 무선전력전송 수신부 IC에 적용 가능한 다중 루프 저전압강하(low drop-out: LDO) 레귤레이터 회로를 설계하였다. LDO 레귤레이터는 출력 저항에 안정적인 전압을 공급할 수 있도록 두 개의 오류 증폭기(error amplifier)를 사용하였으며, 두 개의 오류 증폭기 사이에 공통 소스 PMOS 회로를 도입하여 전압 변동률을 개선시켰다. 1.3~2.1 V의 입력 전압에서 1.2 V 출력을 얻고 있으며 5.88 mV/V의 전압 변동률을 보이고 있다. 부하 전류 변화에 따른 출력 전압 변화율은 3.3367 mV/mA이며 -42 dB의 전원공급 제거비(power supply rejection ratio: PSRR) 특성을 얻었다.

Abstract

Using the 28 nm complementary metal-oxide semiconductor (CMOS) process, a multi-loop low drop-out voltage (LDO) regulator circuit was designed for use in a wireless power transmission receiver integrated circuit. The LDO regulator uses two differential error amplifiers to provide a stable output voltage to the load with a common source P-channel MOS circuit between the two amplifiers to improve the voltage variation rate (line regulation). The LDO regulator produces an output voltage of 1.2 V from an input voltage range of 1.3~2.1 V and voltage variation rate of 5.88 mV/V. The output voltage variation rate according to the load current change (load regulation) was 3.3367 mV/mA, and a PSRR of -42 dB was obtained.

Key words: LDO Regulator, Multi-Loop Feedback, Common-Source PMOS, Line Regulation, PSRR

I. 서 론

IoT(Internet of things) 기기는 무선전력전송 수신부를 통해 전력을 수신받으며 교류성분을 제거한 안정화된 직류 전압을 센서 전원으로 사용한다. 레귤레이터는 높은 PSRR을 가짐으로써 교류성분을 효율적으로 제거할 수 있다. 무선전력전송 수신부에서 수신전력은 낮기 때문에

입력 전압과 출력 전압의 차(drop-out voltage)가 작은 LDO 레귤레이터를 설계하여야 한다. LDO 레귤레이터는 입력 전압의 변화와 부하전류 변화에 따라 일정한 출력 전압을 출력시키기 위해 전압 변동률(line regulation)과 부하 변동률(load regulation)의 성능을 높여야 한다.

참고문헌 [1]에서 FVF(flipped voltage follower) 구조를 기반으로 하는 단일 트랜지스터를 제어하는 LDO 구조로

「본 연구는 과학기술정보통신부 및 정보통신기술진흥센터의 대학 ICT연구센터육성지원사업(IITP-2019-2016-0-00291), 한국연구재단의 기초 연구지원사업(No. 2019R1F1A1052728) 및 IDEC의 MPW 사업의 지원으로 수행되었음.」

경희대학교 전자공학과(Department of Electronic Engineering, Kyung Hee University)

*대덕대학교 항공부사관과(Department of Aviation Engineering, DaeDuk University)

· Manuscript received December 30, 2021 ; Revised January 28, 2022 ; Accepted March 21, 2022. (ID No. 20211230-115)

· Corresponding Author: Chang-Woo Kim (e-mail: cwkim@khu.ac.kr)

광범위한 출력 커패시터 또는 출력 커패시터 없이도 안정적인 전압 제어를 제공하고 있으며, 참고문헌 [2]에서 슬루율 향상 회로를 사용한 FVF 구조를 사용하였다. 참고문헌 [3]에서 한 개의 오류 증폭기와 buffered FVF 구조^[4]를 사용하여 저주파수 극점을 고주파 대역으로 이동시켜 PSRR 특성을 개선시키고 있다. 참고문헌 [5]에서는 두 개의 오류 증폭기와 buffered FVF를 사용하여 다중 feedback 루프를 형성하여 부하 변동률 특성을 개선시켰다. 그러나 이 경우, 두 번째 오류 증폭기의 반전입력으로 입력되는 기준전압이 입력 전압에 따라 큰 변동률을 갖게 되어 전압 변동률의 특성을 낮춘다는 문제를 갖고 있다. 이 문제를 해결하기 위하여 본 논문에서는 부하 변동률을 유지하며 전압 변동률 특성을 높이기 위한 회로를 설계하였다.

본 논문에서는 직류-직류 컨버터의 스위칭 노이즈를 제거하며, 전원공급 제거비 개선을 위하여 다중 귀환루프를 가지며 전압 변동률의 개선을 위하여 공통 소스 PMOS 회로를 갖는 LDO 레귤레이터 회로를 28-nm CMOS 공정을 이용하여 설계하였다.

II. 본 론

그림 1은 5단으로 구성된 공통소스 PMOS 회로를 갖는

다중루프 LDO 레귤레이터 회로도이다. 첫 번째 단은 출력 전압과 기준 전압을 비교하여 소신호를 증폭하도록 설계한 첫 번째 오류 증폭기이다. 두 번째 단은 공통 소스 PMOS 회로로 두 번째 오류 증폭기의 기준 전압 V_B 에 입력 전압에 따라 일정한 전압이 걸리도록 설계하였다. 세 번째 단은 3개의 입력을 가진 오류 증폭기로 출력 전압을 V_B 와 비교하여 소신호를 증폭하도록 설계한 두 번째 오류 증폭기이다. 네 번째 단은 미러 전압 V_{MIR} 로부터 V_{SET} 을 생성하도록 설계하였으며, 다섯 번째 단은 SSF(super source follower)로 구성된 buffered FVF로 낮은 주파수의 극점을 고주파 대역으로 이동시키는 역할을 하도록 하였다.

그림 2에서 다중 루프 LDO 레귤레이터 내부에는 4중 귀환루프가 존재한다. 제1루프는 두 번째 오류 증폭기에 대한 피드백을 통해 출력 전압의 DC 정확도를 높이기 위하여 동작한다. 제2루프는 V_{MIR} 을 두 번째 오류 증폭기에 피드백하여 V_B 에 비해 작은 신호를 증폭하도록 설계하였다. 제3루프는 급변하는 대기 전류로 인한 출력 전압 변화를 안정화하고 내부 비지배적 극을 고주파 대역으로 이동시키도록 설계하였다. 제4루프는 첫 번째 오류 증폭기에 대한 피드백을 통해 부하 조절을 강화하기 위해 설계하였다.

그림 3은 1.3~2.1 V의 입력 전압에 따른 기준 전압

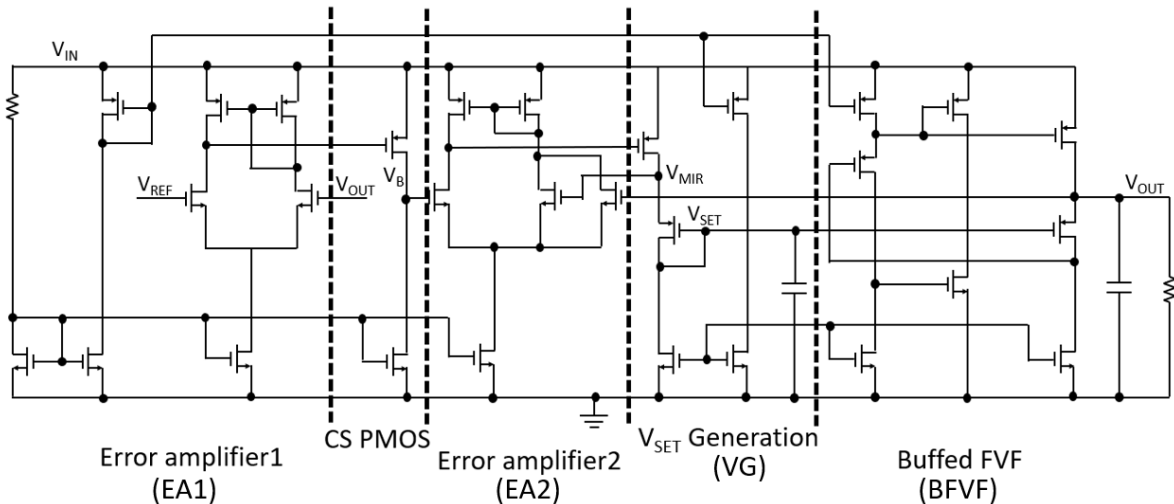


그림 1. 공통소스 PMOS 회로를 갖는 다중 루프 저전압강하 레귤레이터 회로도

Fig. 1. Schematic of the multi-loop low-dropout voltage regulator with a common-source PMOS.

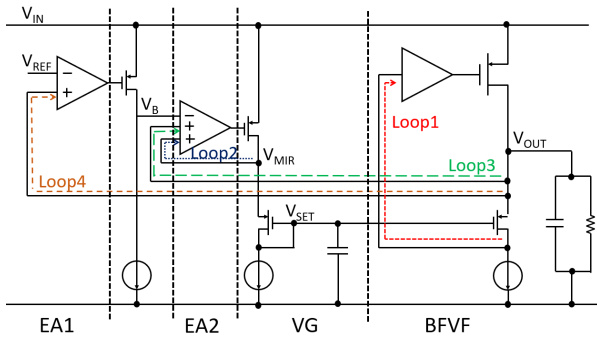


그림 2. 다중 루프 LDO 레귤레이터 블록 다이어그램
Fig. 2. Multi-loop LDO regulator block diagram.

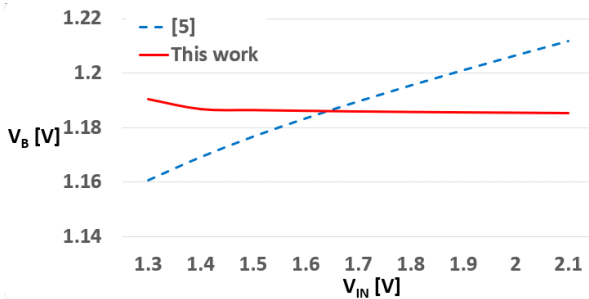


그림 3. 입력 전압에 따른 V_B 전압 post-레이아웃 시뮬레이션 결과
Fig. 3. Post-layout simulation result of V_B with varying input voltage.

post-레이아웃 시뮬레이션 결과이다. 참고문헌 [5]에 비해 CS PMOS를 도입하였을 때 입력 전압에 따른 기준 전압의 변화율이 줄어드는 것을 확인할 수 있다.

그림 4는 입력 전압을 변화시켰을 때 출력 전압 post-레이아웃 시뮬레이션 결과이다. 참고문헌 [3]은 1.4~2.1 V의 입력 전압에서 출력 전압 1.2 V가 나타나며 입력 전압에 따른 출력 전압 변동률은 8.41 mV/V이다. 참고문헌[5]와 CS PMOS 회로를 추가한 이 논문은 1.3~2.1 V의 입력 전압에서 출력 전압 1.2 V가 나타나며 입력 전압에 따른 전압 변동률은 각각 68.41 mV/V와 5.88 mV/V로 나타났다.

그림 5는 1.4 V의 입력 전압을 인가했을 때 부하전류 변화에 따른 출력 전압의 변화에 대한 post-레이아웃 시뮬레이션 결과이다. 참고문헌 [3]의 경우 부하전류가 10 μ A에서 1 mA로 변화할 때 출력전압이 5.426 mV 변

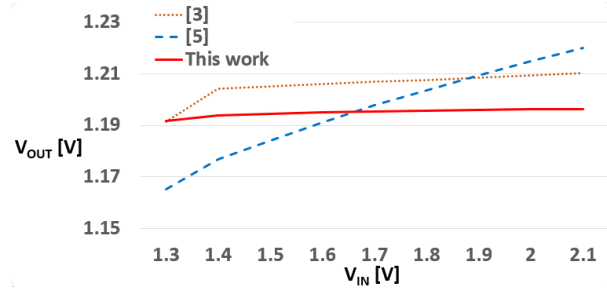


그림 4. 입력 전압에 따른 출력 전압 post-레이아웃 시뮬레이션 결과
Fig. 4. Post-layout simulation result of output voltage with varying input voltage.

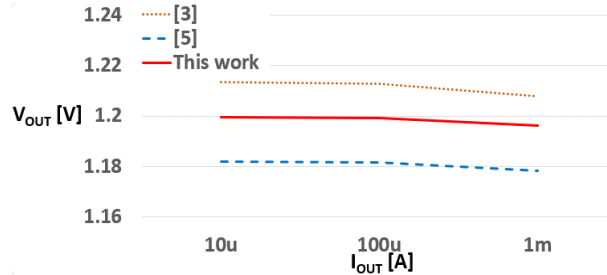


그림 5. 부하전류 변화에 따른 출력 전압 post-레이아웃 시뮬레이션 결과
Fig. 5. Post-layout simulation result of output voltage with varying load current.

화하며, 참고문헌 [5]의 경우는 3.555 mV 변화하게 된다. 참고문헌 [3]에 비해 참고문헌 [5]에서 오류 증폭기를 추가하여 4개의 귀환루프를 형성하여 부하 변동률이 감소하는 것을 확인할 수 있다. 본 논문에서 제안된 CS PMOS 회로가 도입된 LDO 전압 조절기의 경우, 동일한 부하 전류의 변화에서 3.337 mV만 변화하였으며 부하 변동률은 3.37 mV/mA로 개선된 결과를 보이고 있다.

그림 6은 입력 전압이 1.4 V일 때 PSRR post-레이아웃 시뮬레이션 결과이다. 1 MHz 내에서 -42 dB의 특성을 가지며 피크점은 100 MHz에서 -28 dB의 특성을 갖는다.

표 1에서는 본 논문에서 제안한 LDO 레귤레이터와 참고문헌 [3] 및 참고문헌 [5]의 LDO 레귤레이터와 특성을 비교한 결과를 요약하였다.

그림 7은 28-nm CMOS 공정을 이용하여 설계된 LDO 레귤레이터의 레이아웃이다. 칩의 사이즈는 90×28 μ m²

개선된 전압 변동률을 갖는 다중 루프 저전압강하 레귤레이터

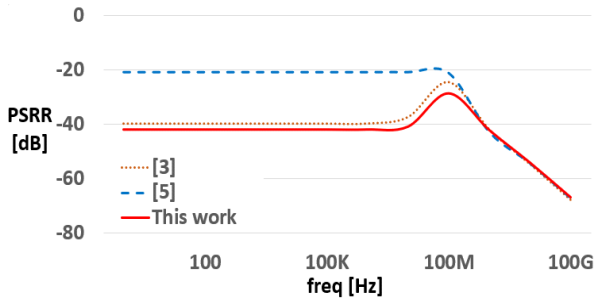


그림 6. 전원공급 제거비 post-레이아웃 시뮬레이션 결과
Fig. 6. Post-layout simulation result of power supply rejection ratio(PSRR).

표 1. 저전압강하 전압 조절기 성능 비교표

Table 1. Performance comparison with previous works.

	Ref. [3]	Ref. [5]	This work
Line regulation (mV/V)	8.41	68.41	5.88
Load regulation (mV/mA)	5.426	3.555	3.3367
PSRR (dB)	-40	-21	-42

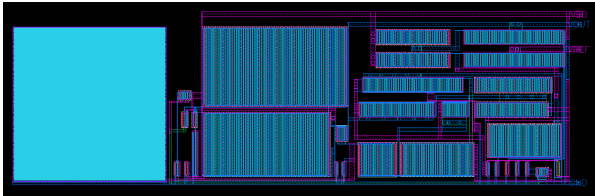


그림 7. 28-nm CMOS 공정의 LDO 레귤레이터의 레이아웃
Fig. 7. Layout of the proposed LDO regulator by using 28-nm CMOS process.

이다.

III. 결 론

본 논문에서는 삼성 28-nm CMOS 공정을 이용하여 전압 변동률 개선을 위해 공통 소스 PMOS 회로가 도입된 다중 루프 LDO 레귤레이터를 제안하여 설계하였다. 제안한 LDO 레귤레이터는 입력 전압 1.3~2.1 V에서 5.88 mV/V의

전압 변동률을 보이고 있으며 10 μ A~1 mA의 부하전류에서 3.3367 mV/mA의 부하 변동률을 보이고 있다. 1.4 V의 입력 전압에서 1 MHz 이내의 주파수 범위에서 -42 dB의 PSRR 특성을 얻고 있다. 기발표된 문헌의 다른 연구와 비교하여 제안된 LDO는 향상된 전압 변동률, 부하 변동률, PSRR 특성을 갖는다.

향후 연구에서는 Fab out된 LDO 레귤레이터 칩을 실제 측정하여 시뮬레이션 결과와 비교 및 분석할 계획이다.

References

- [1] T. Y. Man, K. N. Leung, C. Y. Leung, P. K. T. Mok, and M. Chan., "Development of single-transistor-control LDO based on flipped voltage follower for SoC," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 55, no. 5, pp. 1392-1401, May 2008.
- [2] J. Guo, K. N. Leung, "A 6- μ W chip-area-efficient output-capacitorless LDO in 90-nm CMOS technology," *IEEE Journal of Solid-State Circuits*, vol. 45, no. 9, pp. 1896-1905, Sep. 2010.
- [3] Y. Lu, Y. Wang, Q. Pan, W. H. Ki, and C. P. Yue, "A fully-integrated low-dropout regulator with full-spectrum power supply rejection," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, no. 3, pp. 707-716, Mar. 2015.
- [4] S. H. Pakala, M. Manda, P. R. Surkanti, A. Garimella, and P. M. Furth, "Voltage buffer compensation using flipped voltage follower in a two-stage CMOS op- amp," in *2015 IEEE 58th International Midwest Symposium on Circuits and Systems(MWSCAS)*, Fort Collins, CO, Aug. 2015, pp. 1-4.
- [5] M. Manda, S. H. Pakala, and P. M. Furth, "A multi-loop low-dropout FVF voltage regulator with enhanced load regulation," in *2017 IEEE 60th International Midwest Symposium on Circuits and Systems(MWSCAS)*, Boston, MA, Aug. 2017, pp. 9-12.

한 희 재 [경희대학교/석사과정]

<https://orcid.org/0000-0001-6343-690X>



2021년 2월: 경희대학교 전자공학과 (공학사)
2021년 3월~현재: 경희대학교 전자공학과 석사과정
[주 관심분야] MMIC/RFSoC 설계, 무선전력전송 시스템 설계 등

김 창 우 [경희대학교/교수]

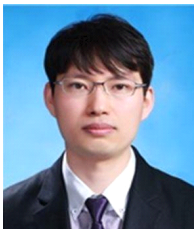
<https://orcid.org/0000-0002-0837-3835>



1984년 2월: 한양대학교 전자공학과 (공학사)
1986년 2월: 한양대학교 전자공학과 (공학석사)
1992년 3월: 일본 Shizuoka 대학 전자공학과 (공학박사)
1992년 4월~1996년 2월: (주) NEC 마이크로อิเล็กทรอนิกส์연구소 주임연구원
1996년 3월~현재: 경희대학교 전자정보대학 교수
[주 관심분야] MMIC/RFSoC 설계, 초고주파 능동소자 모델링, IoT시스템 설계

김 남 윤 [대덕대학교/교수]

<https://orcid.org/0000-0001-9752-1344>



2005년 2월: 경희대학교 전파공학과 (공학석사)
2012년 8월: 경희대학교 전자전파공학과 (공학박사)
2009년 9월~2014년 2월: 삼성종합기술원 FIT연구소 전문연구원
2014년 3월~현재: 대덕대학교 군사학부

(항공) 교수

[주 관심분야] 무선전력전송 시스템 설계, 에너지 하베스팅, RF 시스템 설계, 무인비행장치(드론)시스템 설계