

## 향상된 등가 모델링 기법을 이용한 소형 대역통과 필터 설계

# Compact Bandpass Filter Design Using Advanced Equivalent Modeling Method

윤 석\* · 김유선\*\* · 배 석\*\* · 임영석

Seok Yoon\* · Yu-Seon Kim\*\* · Seok Bae\*\* · Yeong-seog Lim

### 요 약

본 논문에서는 칩 인덕터에 대한 향상된 등가 모델링 기법을 이용하여, 칩 소자의 임피던스 특성을 BPF 회로설계에 적용하였다. 향상된 등가 모델링 기법은 칩 내부 소자 및 허용오차, 기생 소자를 포함하여 임피던스 특성을 분석할 수 있으며, 향상된 등가 모델링을 응용하여 회로설계에 요구되는 칩 소자값을 충족시킬 수 있다. 이를 2차 체비셰프 프로토타입을 갖는 5G sub-6 GHz 대역 통과 필터 설계에 이를 적용하였으며, 통과대역 중심주파수에서 측정된 삽입손실은 제조사별 각각 2.1 dB, 1.1 dB이었다. 동일한 등가회로를 이용하는 기존 연구에 비해 회로 크기가 78 % 감소된 소형화 설계가 가능하였다.

### Abstract

In this study, the impedance characteristics of chip elements are applied to a bandpass filter circuit design using an enhanced equivalent modeling technique for the chip inductor. This technique can analyze the impedance characteristics, including the internal elements of the chip, tolerance, and parasitic elements. By applying the improved equivalent modeling method, it is possible to satisfy the chip element values required for circuit design. This was tested by applying the proposed technique to the design of a 5G sub-6 GHz bandpass filter with the 2<sup>nd</sup> Chebyshev prototype. The insertion loss measured at the center frequency of the passband was 2.1 dB and 1.1 dB for each manufacturer, respectively. Compared to a previous study using the same equivalent circuit, a circuit size reduction of 78 % could be obtained to achieve a miniaturized design.

Key words: Bandpass Filter, Lumped Element, Equivalent Circuit, Chip Inductor, Compact

### I. 서 론

현대 RF 무선 기술의 발전으로 인해 마이크로파 및 밀리미터파 대역에서 다양한 주파수 스펙트럼이 사용되고 있으며, 이러한 주파수 구분은 Rf front-end 모듈 내의 핵

심 구성요소 중 하나인 대역 통과 필터(bandpass filter, BPF)에 의해 실현될 수 있다.

BPF는 spurious 특성 억제<sup>[1]</sup>, 높은 주파수 선택도를 위한 Skirt 특성<sup>[2]</sup>, 저지대역 억제<sup>[3]</sup>, 멀티 밴드 또는 광대역 밴드<sup>[4],[5]</sup> 등과 같은 성능이 요구된다. 이러한 BPF 구현을

전남대학교 전자공학과(Department of Electronic Engineering, Chonnam University)

\*전남대학교 전자컴퓨터공학과(Department of Electronic and Computer Engineering, Chonnam University)

\*\*LG 이노텍(LG Innotek)

· Manuscript received January 12, 2022 ; Revised February 16, 2022 ; Accepted February 28, 2022. (ID No. 20220112-005)

· Corresponding Author: Yeong-seog Lim (e-mail: limys@chonnam.ac.kr)

위한 집중정수 소자 회로 모델에 기초한 분산효과 인덕터 소자 구현은 전기적 길이에 따른 전송손실<sup>[6],[7]</sup> 및 품질계수(quality factor, Q)의 감소<sup>[8],[9]</sup>로 주파수 선택도 및 저지대역 억제 성능의 감소로 이어진다.

On-chip 인덕터 구조 구현에 대한 연구<sup>[10]~[12]</sup>는 커패시터<sup>[13]</sup>에 비해 구현 크기 및 공간할당 측면이 증가함에 따른 손실 측면(기판 및 금속손실)에 의해 제한되고 있으며, 네거티브 저항<sup>[14]</sup>, 능동 인덕터<sup>[15]</sup>, 최소 수의 인덕터<sup>[16]</sup>를 사용함으로써 성능 향상을 이루고 있으나, 복잡한 설계 프로세스 및 추가 통과대역 및 저지대역 최적화 단계, BPF에서 LPF로의 변환 불가능 등의 문제를 동반하고 있다.

이에 집중정수 소자 회로 모델 중 인덕터를 칩 소자로 대체할 시<sup>[17]~[19]</sup> 소형화 및 집적화, 손실의 감소 등의 장점은 가져올 수 있으나, 이는 기존의 수동 소자들의 라이브러리에 대해 단락하거나 개방하여 기생 소자들의 양이 어느 정도 있는지 추이만을 보이고 있으며, 임피던스 및 자기 공진 주파수 특성을 필터 회로 설계에 반영할 수 없었고, 이들의 필터 특성에 미치는 정량적인 영향을 파악하기 어렵기에 앞선 BPF의 성능에 만족시키기 어렵다.

이에 본 논문에서는 분산효과를 이용한 구조 설계에서 사이즈 감소를 위해 집중정수 소자 모델 중 인덕터를 임피던스 특성을 고려한 향상된 모델링 기법을 통해 민감도(sensitivity)가 반영된 칩 인덕터를 필터회로 설계에 반영하고자 하였다. II절에서는 제안하는 대역통과 필터 구조에 대한 설명과 향상된 등가 모델링을 통한 칩 인덕터의 유효 인덕턴스( $L_{eff}$ , effective inductance) 및 품질계수, 임피던스 특성을 비교하였다. III절에서는 II절에서의 향상된 등가 모델링 특성을 반영하여 2차 체비셰프 프로토타입을 갖는 소형 5G sub-6GHz BPF를 설계하였다.

## II. 본 론

### 2.1 칩 소자를 사용하는 2<sup>nd</sup> 대역통과필터 등가회로

그림 1은 본 연구에서 추후 5G sub-6GHz( $f_c=3.56$  GHz) 대역의 2<sup>nd</sup> BPF에 적용을 위한 등가 모델을 나타내며, 체비셰프(Chebyshev) 프로토타입에 의한 J-inverter 구조에서 유도된 집중정수 소자 등가회로 모델이다<sup>[20]</sup>.

그림 1의 집중정수 소자 중 인덕터( $L_{0,1}$  및  $L_{2,3}$ ,  $L_r$ )를

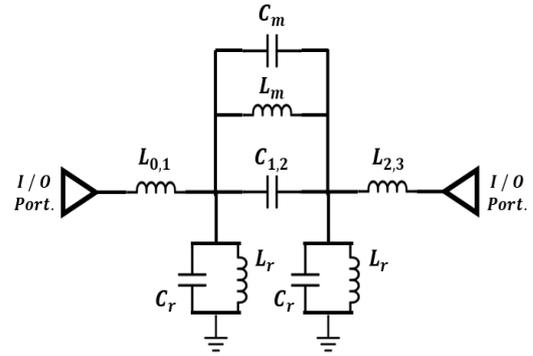


그림 1. 2차 대역통과필터 설계를 위한 등가 모델  
Fig. 1. Equivalent model for 2<sup>nd</sup> bandpass filter design.

칩 인덕터로 변경하여 설계할 경우 그림 2와 같이 나타낼 수 있다.

하지만, 그림 2에서의 칩 소자는 그림 1에서 요구되는 인덕터의 미세한 용량값을 충족시킬 수 없으며, 주파수 및 제조사에 따라 칩 내부 특성이 다르다. 또한, 칩을 마운트하기 위한 패드의 임피던스 및 전기적 길이의 허용 오차(tolerance)에 따라 회로 특성이 달라진다.

즉, 칩 소자의 임피던스 특성 및 허용오차를 포함한 특성 분석이 어려우며, 고주파 대역 통과 필터 설계에 있어 칩 소자를 이용하여 원하는 스펙을 갖는 필터 구현을 위해서는 칩 소자의 기생 소자에 대한 민감도가 높은 등가 모델링 고려가 필요하다.

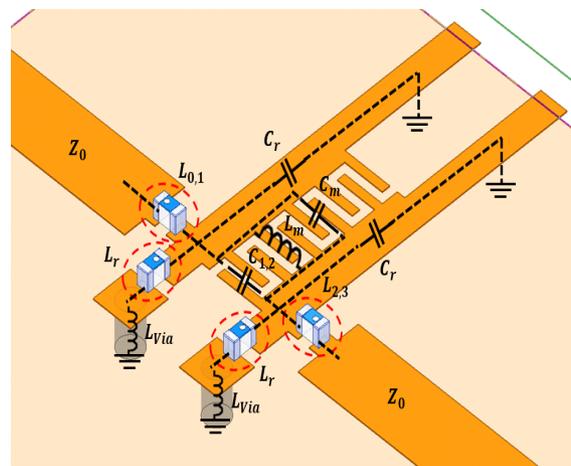


그림 2. 칩 소자를 이용한 2차 대역통과필터 3D-모델  
Fig. 2. 2<sup>nd</sup> bandpass filter 3D-model using chip element.

이에 그림 3은 그림 2의 회로에서 칩 인덕터의 전체적인 특성을 반영하기 위한 향상된 모델링을 위해 허용오차 임피던스( $Z_T$ ) 및 전기적 길이( $\theta_T$ )를 포함하여 제안된 BPF 등가회로 모델을 나타내며, GND와의 연결을 위한 비아 인덕턴스( $L_{Via}$ , via inductance)를 표기하였다.

칩 인덕터의 내부 특성 및 허용오차에 의한 특성을 모두 포함한 향상된 등가회로 모델링을 포함하기에 추후 필터 회로에 적용 시 필터 특성에 미치는 영향성을 파악할 수 있으며, 임의의 소자 및 구조가 있더라도 필터 요구 성능에 맞춘 민감도를 고려한 설계가 가능하다. 칩 인덕터의 향상된 등가회로 특성 분석은 다음 절에서 설명하도록 한다.

### 2.2 향상된 등가 모델링을 통한 칩 인덕터 특성 분석

그림 4(a)는 칩 인덕터 내부 특성과 허용오차 특성을 포함한 등가회로를 나타낸다.  $R_{Ch}$ 는 칩 내부 저항,  $C_{Ch}$ 와  $L_{Ch}$ 는 칩 내부 커패시턴스와 인덕턴스 성분을 나타내며,  $C_T$ 의 경우, 칩 인덕터를 마운트하기 위한 허용오차 사이의 간격에 의한 기생 커패시턴스를 나타낸다. 그림 4(a)의 내부 특성과 허용오차 특성을 포함한 모델링이기에 각 특성에 대한 분석에 대한 어려움이 여전히 존재한다.

이에 그림 4(b)는 칩 내부 특성과 허용오차 특성을 분리하기 위한 간략화된  $\pi$ -모델로 변환시킨 것이다. 식 (1)은 허용오차를 제외한 칩 내부 임피던스와  $C_T$ 를 포함한

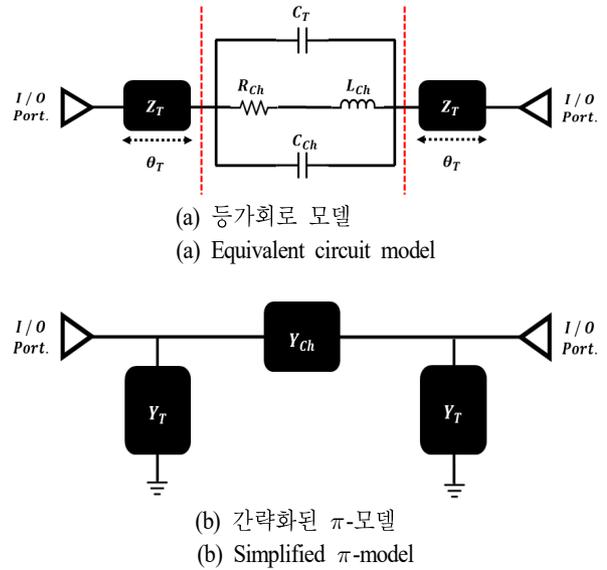


그림 4. 향상된 칩 인덕터 등가 모델  
Fig. 4. Enhanced chip inductor equivalent modeling.

임피던스( $Z_K$ )를 나타낸 것이다.

$$Z_K = \frac{R_{Ch} + j\omega L_{Ch}}{j\omega(C_{Ch} + C_T)(R_{Ch} + j\omega L_{Ch}) + 1} \quad (1)$$

식 (2)~식 (4)는 그림 4(a)에서의 입력임피던스( $Z_{eff}$ ), 유효 인덕턴스( $L_{eff}$ ), 유효 품질계수( $Q_{eff}$ )를 나타낸다. 또한, 식 (5)~식 (8)은 그림 4(b)의 칩 내부 특성 및  $C_T$ 를 포함한 직렬 어드미턴스( $Y_{Ch}$ ), 허용오차 특성인 병렬 어

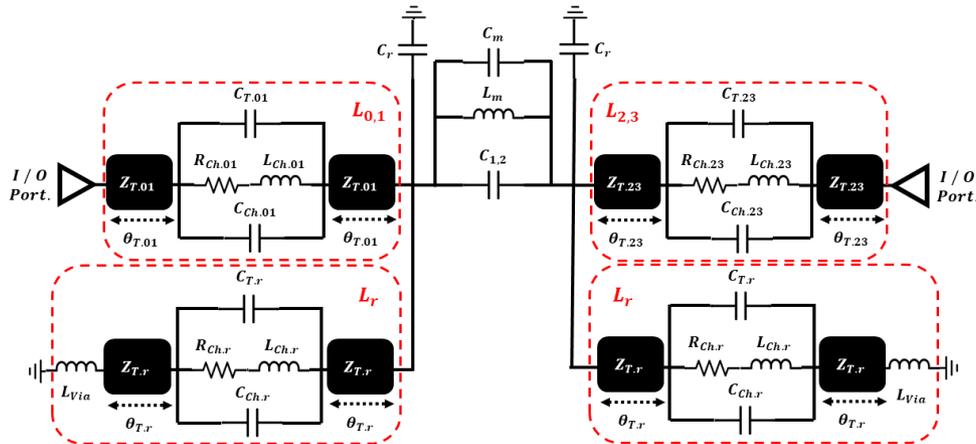


그림 3. 2차 대역통과필터 설계를 위한 제안하는 등가회로 모델  
Fig. 3. Proposed equivalent circuit model for 2<sup>nd</sup> bandpass filter design.

드미턴스( $Y_T$ ),  $C_T$ 를 포함한 칩 내부 유효 인덕턴스( $L_{Ch}$ ), 유효 품질계수( $Q_{Ch}$ )를 나타낸다.

$$Z_{eff} = \frac{Z_K [jZ_T \sin\theta_T \cos\theta_T + Z_T^2 \cos^2\theta_T] + [Z_T^2 Z_0 (\cos^2\theta_T - \sin^2\theta_T) + 2jZ_T^2 \sin\theta_T \cos\theta_T]}{Z_K [jZ_T \sin\theta_T \cos\theta_T - Z_0 \sin^2\theta_T] + [Z_T^2 (\cos^2\theta_T - \sin^2\theta_T) + 2jZ_T Z_0 \sin\theta_T \cos\theta_T]} \quad (2)$$

$$L_{eff} = \frac{Im(Z_{eff})}{w} \quad (3)$$

$$Q_{eff} = \frac{Im(Z_{eff})}{Re(Z_{eff})} \quad (4)$$

$$Y_{Ch} = \frac{1}{\cos^2\theta_T [2jZ_T \tan\theta_T + Z_K]} \quad (5)$$

$$Y_T = \frac{-2Z_T \tan\theta_T + jZ_K}{Z_K Z_T \cot\theta_T + 2jZ_T^2} \quad (6)$$

$$L_{Ch} = \frac{1}{w Im(Y_{Ch})} \quad (7)$$

$$Q_{Ch} = \frac{Im(Y_{Ch})}{Re(Y_{Ch})} \quad (8)$$

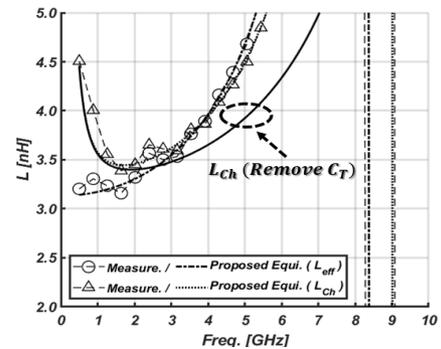
제안된 수식들과 함께 직렬( $Y_{Ch}$ ) 및 병렬( $Y_T$ ) 성분을 통하여 칩 내부 특성과 허용오차 특성을 분리함에 따라 칩 자체적인 특성과 허용오차에 대한 영향성을 분석할 수 있으며, 이에 따라 칩 소자의 민감도에 대한 고려가 가능하기에 추후 소자가 사용되는 회로에 특성 적용이 가능하다. 그림 4와 식 (1)~(7)에 기초한 향상된 등가회로 모델링을 통해 각 제조사 별 동일한 용량의 칩 인덕터 소자값을 표 1에 표기하였다.

또한, 특성 분석을 위해 기판 특성은 높이 0.8 mm, 상대유전율( $\epsilon_r$ ) 4.3, 손실탄젠트( $\tan\delta$ ) 0.02의 에폭시 라미네이트(Fr-4) 기판을 사용한다.

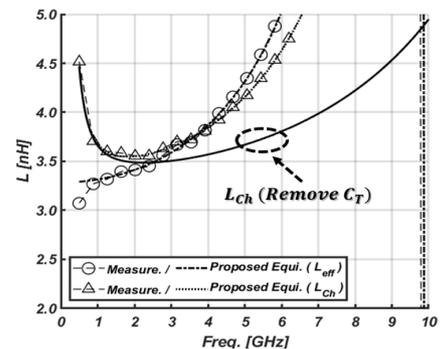
그림 5는 주파수에 따른  $L_{eff}$  및 병렬 성분이 분리된  $L_{Ch}$ ,  $L_{Ch}$ 에서  $C_T$ 가 제거된 칩 내부 인덕턴스를 나타낸다. 측정된 용량값 내에서 인덕턴스는 제조사에 관계없이 고주파 대역으로 감에 따라 주파수에 영향성이 없는 이상적인 인덕턴스와의 오차가 크게 발생됨을 확인할 수 있다. 또한,  $L_{eff}$ 와  $L_{Ch}$ 의 차이에 의해 병렬 성분에 의한 영향성을 확인할 수 있으며,  $C_T$ 에 의한 영향성은 고주파 대역에서 크게 영향 받음을 확인할 수 있다.

표 1. 향상된 등가 모델링을 이용한 칩 인덕터 파라미터 (1)  
Table 1. Chip inductor parameters using enhanced equivalent modeling (1).

Manufacture	muRata (case. I)	SAMSUNG (case. II)
Model no.	LQP03TN3N3B02	CIH03U3N3BA
Nominal Ind. [nH]	3.3	3.3
Tolerance [nH]	±0.1	±0.1
$R_{Ch}$ [ $\Omega$ ]	6.22	6
$L_{Ch}$ [nH]	2.83	2.98
$C_{Ch}$ [pF]	0.07	0.03
$C_T$ [pF]	0.04	0.04
$Z_T$ [ $\Omega$ ]	110.4	110.4
$\theta_T$ [rad.]	$\pi/77.64$	$\pi/77.64$
$L_{eff}$ [nH]	3.75	3.73
$L_{Ch}$ [nH]	3.78	3.75



(a) Case. I - muRata

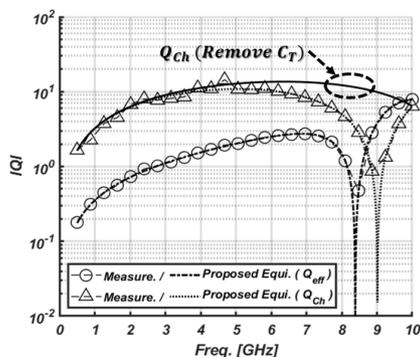


(b) Case. II - SAMSUNG

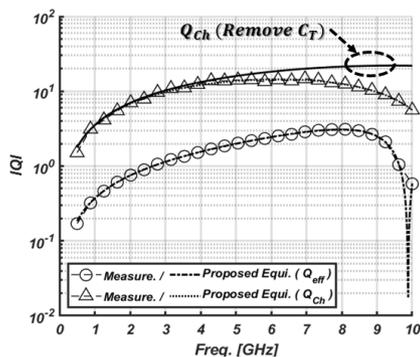
그림 5. 칩 인덕터의  $L_{eff}$  및  $L_{Ch}$   
Fig. 5.  $L_{eff}$  and  $L_{Ch}$  of chip inductor.

그림 6은 주파수에 따른  $Q_{eff}$ 와 병렬 성분이 분리된  $Q_{Ch}$ ,  $Q_{Ch}$ 에서  $C_T$ 의 영향성이 제거된 칩 내부 품질계수를 나타낸다.  $Q_{eff}$ 와  $Q_{Ch}$ 의 차이에 의해 병렬 성분에 의한 영향성을 확인할 수 있으며, 고주파 대역에서  $Q$  값이 급격하게 감소하는 것은  $C_T$ 에 의한 영향성임을 확인할 수 있다.

그림 4 및 식 (1)~식 (7)에 의한 향상된 모델링을 통해 그림 5와 그림 6에서 직병렬 성분의 영향성에 대하여 확인할 수 있었다. 이에 그림 7(a)는 병렬 성분에 의한  $L_{eff}$  분포를 나타낸다. 기존 병렬성분 특성('o', 표 1)에서  $L_{0,1}$ ,  $L_{2,3}$ 에서 요구되는  $L_{eff}$  값(3.6254 [nH])을 만족시키기 위해 '△' 마크로 병렬 성분에 대한 특성을 변환 시 그림 7(a)와 같이 요구되는  $L_{eff}$ 를 만족시킬 수 있다. 또한, 변환된 병렬 성분을 적용 시에 주파수 대역에 따른 분포와  $f_c$ 에서 요구되는  $L_{0,1}$  및  $L_{2,3}$  값을 만족함을 확인할 수 있다.

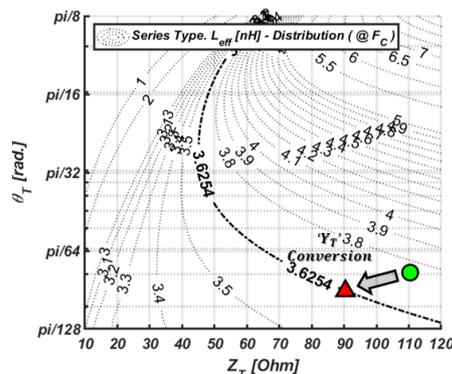


(a) Case. I - muRata

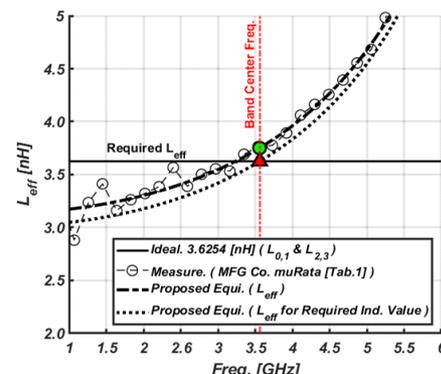


(b) Case. II - SAMSUNG

그림 6. 칩 인덕터의  $Q_{eff}$  및  $Q_{Ch}$   
Fig. 6.  $Q_{eff}$  and  $Q_{Ch}$  of chip inductor.



(a) 허용오차 -  $L_{eff}$   
(a) Tolerance -  $L_{eff}$



(b) 주파수 -  $L_{eff}$   
(b) Freq -  $L_{eff}$

그림 7. 칩 인덕터  $L_{eff}$  분포 (MFG Co. muRata - LQP03 TN3 N3B02)

Fig. 7.  $L_{eff}$  distribution of chip inductor (MFG Co. muRata - LQP03TN3N3B02).

### III. 5G Sub-6GHz BPF 측정 및 비교

그림 8은 앞 장에서의 향상된 등가 모델링 분석에 의한 제조사별 칩 소자를 이용한 2<sup>nd</sup> BPF 및 평행 결합라인 2<sup>nd</sup> BPF를 실제 제작한 것이다. 칩 소자를 이용한 BPF의 경우 그림 4의 등가회로에서  $L_{0,1}$  및  $L_{2,3}$ (표 1),  $L_r$ (표 2)을 각 제조사 모델 칩 인덕터로 사용하였다.

그림 9는 그림 8의 세 가지 BPF에 대한 측정값과 각 제조사 칩에 의해 설계된 BPF의 등가회로에 의한 반사손실과 삽입손실 특성을 나타낸다. 종래의 평행결합라인 BPF

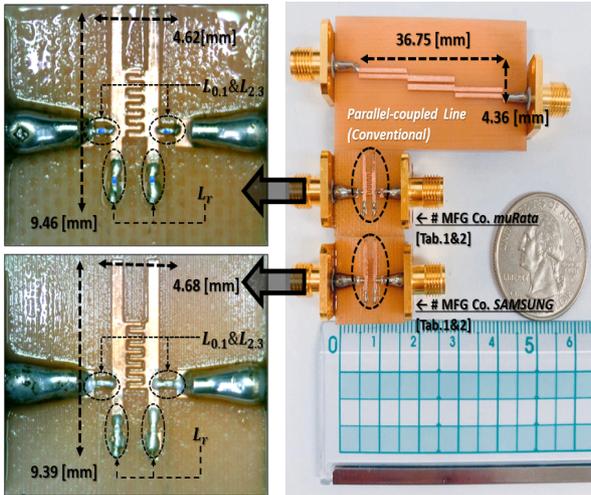


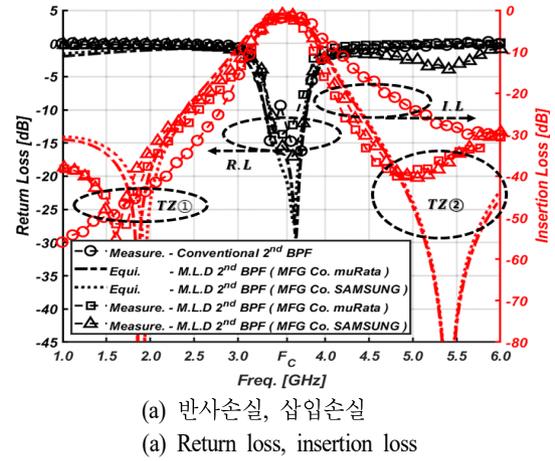
그림 8. 향상된 등가 모델링에 의한 2<sup>nd</sup> 대역통과 필터  
Fig. 8. 2<sup>nd</sup> BPF using enhanced equivalent modeling.

표 2. 향상된 등가 모델링을 이용한 칩 인덕터 파라미터 (2)  
Table 2. Chip inductor parameters using enhanced equivalent modeling (2).

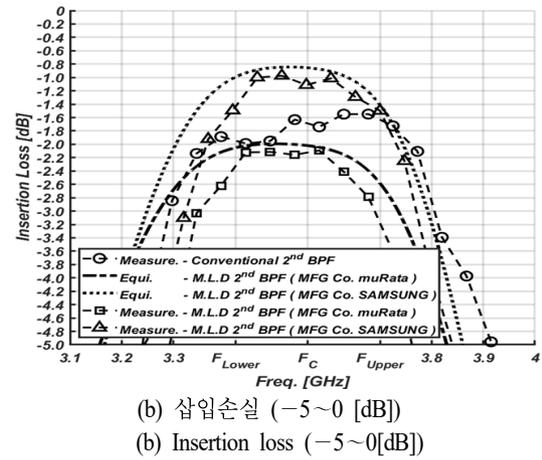
Manufacture	muRata	SAMSUNG
Model no.	LQP03TN1N0B02	CIH03Q1N0CNC
Nominal Ind. [nH]	1	1
Tolerance [nH]	±0.1	±0.2
$R_{Ch}$ [ $\Omega$ ]	1.8	0.53
$L_{Ch}$ [nH]	0.67	0.72
$C_{Ch}$ [pF]	0.02	0.03
$C_T$ [pF]	0.04	0.04
$L_{Via}$ [nH]	0.7	0.7
$Z_T$ [ $\Omega$ ]	90.4	90.4
$\theta_T$ [rad.] ( @ $f_C$ )	$\pi/23.29$	$\pi/25.04$
$L_{eff}$ [nH] ( @ $f_C$ )	1.26	1.26

는 통과대역 중심 주파수( $f_c$ )에서의 삽입손실 1.7 dB에 비하여 제조사별 각각 2.1 dB(muRata), 1.1 dB(SAMSUNG)의 삽입손실을 보임을 확인할 수 있다.

반면, 전송영점 측면에서 하한 주파수 저지대역에서는 분산효과( $L_m, C_m$ )에 의한 전송영점(TZ①)이 형성이 되나, 상한 주파수 저지대역의 전송영점(TZ②)은 칩 소자를



(a) 반사손실, 삽입손실  
(a) Return loss, insertion loss



(b) 삽입손실 (-5 ~ 0 [dB])  
(b) Insertion loss (-5 ~ 0 [dB])

그림 9. 각 BPF 특성 비교 (1) - 반사손실, 삽입손실  
Fig. 9. Comparison of each BPF specification (1) - return loss, insertion loss.

이용한  $L_r$ 의 향상된 모델링 소자들과  $L_{via}$ 에 의해서 발생됨을 확인할 수 있다.

그림 10은 그림 8의 세 가지 BPF에 대한 측정값과 각 제조사 칩에 의해 설계된 BPF의 등가회로에 의한 군 지연(group delay) 특성을 나타낸다. 통과대역 중심주파수( $f_c$ )에서 평행 결합라인 BPF의 1.9 ns에 비해 각 제조사별 M.L.D 필터는 각각 1.1 ns(muRata), 1.0 ns(SAMSUNG)가 발생함을 확인할 수 있다. 또한, 향상된 등가 모델링에 의한 칩 인덕터 분석을 통한 BPF 설계와 동일한 등가회로를 이용하는 기존 연구[21]와 비교 시 회로 크기는 약 78%의 소형화를 확인할 수 있다 (표 3).

표 3. 2차 대역통과필터 스펙 비교

Table 3. Comparison of 2nd BPF specifications.

Ref.	Filter order	$f_c$ [GHz]	3-dB FBW [%]	I.L. [dB] (@ $f_c$ )	TZs	Structure size ( $\lambda_g \times \lambda_g$ )	$\epsilon_r / \tan \delta$	Etc.
[21]	2	2.4	-	1.3	-	0.0792 (0.36×0.22)	4.2 / -	Single-layer PCB
[22]	2	2.36	5.93	4.8	2	0.0700 (0.28×0.25)	3.38 / 0.0021	Single-layer PCB
[23]	2	2.6	16	1.7	4	0.0045 (0.09×0.05)	41.5 / -	LTCC
[24]	5	8.3	108.43	1.2	6	0.3220 (0.70×0.46)	3.38 / 0.0027	Multi-layer PCB
Parallel coupled line	2	3.56	13.76	1.7	-	0.0702 (0.78×0.09)	4.3 / 0.02	Single-layer PCB
This work- I (MFG Co. muRata)	2	3.56	9.83	2.1	2	0.0180 (0.09×0.20)	4.3 / 0.02	Single-layer PCB
This work- II (MFG Co. SAMSUNG)	2	3.56	12.64	1.1	2	0.0200 (0.10×0.20)	4.3 / 0.02	Single-layer PCB

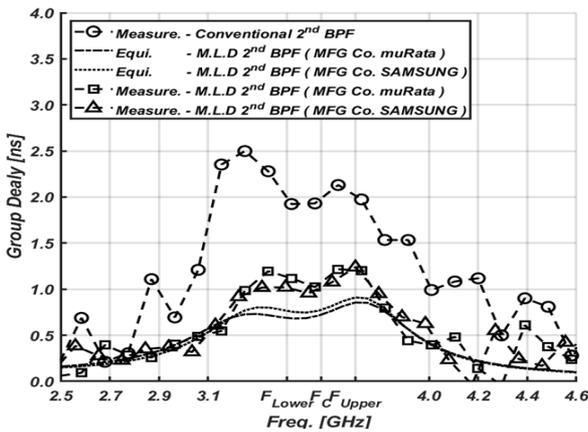


그림 10. 각 BPF 특성 비교 (2) - 군 지연  
Fig. 10. Comparison of each BPF specification (2)- group delay.

#### IV. 결 론

본 논문에서는 수동 소자 중 칩 인덕터의 직병렬 성분을 각각 나누어 정량적 특성을 분석하는 향상된 등가회로 모델링을 통하여 5G sub-6 GHz 2<sup>nd</sup> BPF에 적용하였다.

향상된 등가 모델링은 칩 인덕터 특성을 직병렬 성분들로 분류하여 각각의 임피던스 특성을 분석함으로써 칩

내부의 특성과 허용오차에 의한 영향성을 예측함에 따라 민감도를 고려한 설계가 가능하며, 소형 BPF 설계가 가능하다.

향상된 모델링을 적용한 BPF의 경우 종래의 분산효과를 이용한 평행결합라인 BPF에 비해 약 75%, 동일한 등가회로를 이용하는 기존 연구<sup>[21]</sup>에 비해 78%의 크기를 감소시킬 수 있었으며, 상한 저지대역의 전송영점의 생성 및 group delay 감소의 기존보다 다수 이점을 가진 필터가 설계 가능하였다.

비록, 샤프한 스킨 특성, spurious 특성 저지 등의 특성은 가져오지 못하였으나, 이는 초기 집중정수 소자의 등가회로 모델의 변경 및 고차 필터 설계 등의 조절을 통하여 특성을 가져올 수 있을 것이며, 이를 통한 파생효과로써 balun, diplexer, matching system 등의 다양한 RF 어플리케이션에 이를 적용하여 소형화 및 요구되는 스펙 등에 적용 가능할 것이라고 전망된다.

#### References

[1] S. Y. Shi, W. J. Feng, W. Q. Che, and Q. Xue, "Novel miniaturization method for wideband filter design with

- enhanced upper stopband," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 2, pp. 817-826, Feb. 2013.
- [2] S. Zhang, L. Zhu, "Synthesis method for even-order symmetrical Chebyshev bandpass filters with alternative J/K inverters and  $\lambda/4$  resonators," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 2, pp. 806-816, Feb. 2013.
- [3] Y. S. Won, K. U. Bae, and N. H. Myung, "Design method for bandpass filter with enhanced stopband rejection using spiral SIRs," *Electronics Letters*, vol. 48, no. 17, pp. 1067-1068, Aug. 2012.
- [4] J. Xu, W. Wu, and C. Miao, "Compact microstrip dual-/tri-/quad-band bandpass filter using open stubs loaded shorted stepped-impedance resonator," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 9, pp. 3187-3199, Sep. 2013.
- [5] H. Zhu, Q. X. Chu, "Compact ultra-wideband(UWB) bandpass filter using dual-stub-loaded resonator(DSLR)," *IEEE Microwave and Wireless Components Letters*, vol. 23, no. 10, pp. 527-529, May 2013.
- [6] C. M. Nam, Y. S. Kwon, "High-performance planar inductor on thick oxidized porous silicon(OPS) substrate," *IEEE Microwave and Guided Wave Letters*, vol. 7, no. 8, pp. 236-238, Aug. 1997.
- [7] L. H. Guo, Q. X. Zhang, G. Q. Lo, N. Balasubramanian, and D. L. Kwong, "High performance inductors on plastic substrate," *IEEE Electron Device Letters*, vol. 26, no. 9, pp. 619-621, Sep. 2005.
- [8] G. M. Rebeiz, "RF MEMS: Theory, Design, and Technology," New York, NY, John Wiley & Sons, 2003.
- [9] J. Zeng, C. Wang, and A. J. Sangster, "Theoretical and experimental studies of flip-chip assembled high- $Q$  suspended MEMS inductors," *IEEE Transactions on Microwave Theory and Techniques*, vol. 55, no. 6, pp. 1171-1181, Jun. 2007.
- [10] C. P. Yue, S. S. Wong, "Physical modeling of spiral inductors on silicon," *IEEE Transactions on Electron Devices*, vol. 47, no. 3, pp. 560-568, Mar. 2000.
- [11] M. Kang, J. Gil, and H. Shin, "A simple parameter extraction method of spiral on-chip inductors," *IEEE Transactions on Electron Devices*, vol. 52, no. 9, pp. 1976-1981, Sep. 2005.
- [12] W. B. Kuhn, N. K. Yanduru, "Spiral inductor substrate loss modeling in silicon RF ICs," in *Proceedings RAWCON 98. 1998 IEEE Radio and Wireless Conference*, Colorado Springs, CO, Aug. 1998, pp. 305-308.
- [13] Y. Yang, X. Zhu, E. Dutkiewicz, and Q. Xue, "Design of a miniaturized on-chip bandpass filter using edge-coupled resonators for millimeter wave applications," *IEEE Transactions on Electron Devices*, vol. 64, no. 9, pp. 3822-3828, Sep. 2017.
- [14] K. K. Huang, M. J. Chiang, and C. K. C. Tzuang, "A 3.3 mW K-band 0.18- $\mu\text{m}$  1P6M CMOS active bandpass filter using complementary current-reuse pair," *IEEE Microwave and Wireless Components Letters*, vol. 18, no. 2, pp. 94-96, Feb. 2008.
- [15] Z. Gao, J. Ma, M. Yu, and Y. Ye, "A fully integrated CMOS active bandpass filter for multiband RF front-ends," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 55, no. 8, pp. 718-722, Aug. 2008.
- [16] H. Watanabe, "On the circuit with a minimum number of coils," *IRE Transactions on Circuit Theory*, vol. 7, no. 1, pp. 77-78, Mar. 1960.
- [17] R. Gómez-García, R. Loeches-Sánchez, D. Psychogiou, and D. Peroulis, "Single/multi-band Wilkinson-type power dividers with embedded transversal filtering sections and application to channelized filters," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, no. 6, pp. 1518-1527, Jun. 2015.
- [18] S. Marín, J. D. Martínez, C. I. Valero, and V. E. Boria, "Microstrip filters with enhanced stopband based on lumped bisected pi-sections with parasitics," *IEEE Microwave and Wireless Components Letters*, vol. 27, no. 1, pp. 19-21, Jan. 2017.
- [19] R. Zhang, S. Luo, L. Zhu, and L. Yang, "Synthesis and

design of miniaturized wideband bandpass filters with scaled transmission line for spurious-response suppression," *IEEE Transactions on Microwave Theory and Techniques*, vol. 65, no. 8, pp. 2878-2885, Aug. 2017.

- [20] J. S. Hong, M. J. Lancaster, *Microstrip Filters for RF/Microwave Applications*, New York, NY, John Wiley & Sons, 2001.
- [21] Y. S. Kim, "A parasitics elements extraction of the distributed elements and an application of the BPF using the short-open calibration method," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 20, no. 2, pp. 115-123, Feb. 2009.
- [22] C. J. Kwon, K. Oh, J. Ha, M. Go, and M. Q. Lee, "Compact bandpass filter using a folded ring resonator,"

*The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 30, no. 12, pp. 927-933, Dec. 2019.

- [23] I. H. Kang, L. Gao, "A compact LTCC bandpass filter with four transmission zeros," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 31, no. 9, pp. 751-757, Sep. 2020.
- [24] H. J. Lee, G. H. Lee, D. H. Kim, D. S. Woo, H. C. Choi, and K. W. Kim, "Design of a miniaturized ultra-wideband bandpass filter using multilayered stepped impedance resonators," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 32, no. 2, pp. 144-153, Dec. 2021.

윤 석 [전남대학교/박사과정]

<https://orcid.org/0000-0002-5319-1133>



2016년 2월 : 전남대학교 전자컴퓨터공학부 (공학사)  
 2016년 3월~2018년 2월: 전남대학교 전자컴퓨터공학과 (공학석사)  
 2018년 3월~현재: 전남대학교 전자컴퓨터공학과 박사과정  
 [주 관심분야] 초고주파 회로설계, EMC/EMI

배 석 [LG Innotek/연구위원]

<https://orcid.org/0000-0002-6030-081X>



2007년~2010년: Alabama 주립대 Research Scientist  
 2010년~현재: LG Innotek 연구위원  
 [주 관심분야] Magnetic 응용 부품/시스템, Antenna, EMC/EMI

김 유 선 [LG Innotek/책임연구원]

<https://orcid.org/0000-0002-9103-5334>



2006년~2010년 8월: 전남대학교 전자공학과 (공학박사)  
 2010년~현재: LG Innotek 책임연구원  
 [주 관심분야] 융복합 시스템 설계, 초고주파 회로설계, EMC/EMI

임 영 석 [전남대학교/교수]

<https://orcid.org/0000-0002-9459-6540>



1984년 9월~현재: 전남대학교 전자공학과 교수  
 [주 관심분야] 초고주파 회로설계, 안테나, EMC/EMI