

PEEC 기법을 사용한 부스바와 결합된 EMI 필터의 등가 회로 모델 개발

Equivalent Circuit Model Development of Busbar-Combined EMI Filter Using PEEC Method

한준희 · 김광호 · 최경륜 · 나완수

JunHee Han · Kwangho Kim · Gyeong-Ryun Choi · Wansoo Nah

요 약

전기 자동차에서 인버터의 고속 스위칭 동작은 스위칭 주파수 이상의 영역에서 강력한 잡음원의 원인이 된다. 이러한 전도성 및 방사성 잡음은 자동차의 전력회로에 전달되어 오작동 및 각종 사고를 유발할 수 있기 때문에 EMI 필터를 통해서 적절히 제거되어야 한다. 전기 자동차에 사용되는 모터 드라이브 회로는 ~ 100 A 이상의 전류가 흐를 수 있기 때문에 부스바의 형태로 설계되며, 여기에 PCB 필터가 결합되어 EMI 필터링 기능을 수행한다. 이 때 결합 구조에 기인한 기생성분 및 전자기적 결합이 발생하게 되므로 EMI 필터의 성능 예측 및 효율적인 설계를 위해서는 부스바 구조를 포함한 EM 시뮬레이션과 PCB 필터의 회로 시뮬레이션을 결합하는 EM-circuit co-simulation이 필요하다. 하지만 여기에는 오랜 계산 시간이 소요되며, 따라서 본 논문에서는 부스바와 결합된 EMI 필터의 성능을 정확하고 효과적으로 예측할 수 있는 광대역 등가회로 모델을 제안한다. PEEC 방법을 이용하여 부스바 구조를 포함한 모든 기생 성분들의 등가회로를 제시하였으며, 제시한 등가회로를 사용하면 설계 단계에서 회로 시뮬레이션만으로 전체 필터의 삽입손실을 예측할 수 있다. 끝으로 등가 회로 모델로 계산된 4포트 S 파라미터를 통해 공통모드와 차동모드의 삽입 손실을 산출하였으며, EM-circuit co-simulation 및 실제 측정 결과 등 총 3가지의 결과를 비교하여 제안한 등가 회로 모델의 유효성을 검증하였다.

Abstract

In an electric vehicle, the high-speed switching operation of the inverter becomes a major source of noise above the range of its switching frequency. Since these conductive and radiative noises are transmitted to the power circuit of the vehicle and can cause malfunctions and various accidents, they must be removed using an EMI filter. The motor drive circuit used in an electric vehicle is designed to be a busbar because a current of ~ 100 A or more can flow through it, and a PCB filter is combined with the busbar. Therefore, for predicting its performance and efficiently designing the EMI filter, an EM-circuit co-simulation, which combines the EM simulation including the busbar structure and the circuit simulation of the PCB filter, is required. However, this requires a significant computation time. Thus, in this paper, we have proposed a wideband equivalent circuit model that can accurately and efficiently predict the performance of EMI filters combined with busbars. Equivalent circuits of all parasitic components, including the busbar structure, have been presented using the partial element equivalent circuit (PEEC) method. Using the proposed equivalent circuits, the insertion loss of the entire filter can be predicted by only a circuit simulation at the design stage. Finally, the insertion loss of the common mode and the differential mode was calculated using the 4-port S parameter that has, in turn, been calculated using the equivalent circuit model.

Key words: Electric Vehicle, Busbar, EMI Filter, Common Mode, Differential Mode, Insertion Loss

성균관대학교 전자전기컴퓨터공학부(Department of Electrical and Computer Engineering, SungKyunKwan University)

· Manuscript received January 3, 2022 ; Revised January 24, 2022 ; Accepted February 7, 2022. (ID No. 20220103-001)

· Corresponding Author: Wansoo Nah (e-mail: wsnah@skku.edu)

I. 서 론

최근 자동차 분야에서 전기 자동차(electric vehicles)에 대한 많은 연구가 진행되어 왔다. 전기자동차의 대표적인 특징 중의 하나는 인버터와 DC/DC 컨버터 같은 전력 변환을 통해 높은 동작 주파수로 모터 구동 시스템이 작동된다는 것으로, 스위칭 주파수 이상의 영역에서, 전압과 전류가 빠르게 변화함에 따라 전도 및 방사성 잡음 등 각종 전자기 간섭 문제가 발생하게 되었다. 특히 공통모드와 차동모드 잡음이 자동차 전력계통에 영향을 주게 되어 전자기적 잡음을 제어하는 연구가 수행되었다^[1].

EMI(electro magnetic interference) 필터는 고속 스위칭에 따른 고주파 잡음을 제거하기 위해 널리 사용된다. EMI 필터는 잡음 주파수에서 전달 경로의 임피던스 부정합을 극대화 시키는 원리에 의해 잡음의 전달을 차단하게 되는데, 저전력 시스템에서는 모든 소자들이 PCB(printed circuit board)에 실장된 형태의 필터로 설계된다^[2].

인버터에 의한 모터 구동 시스템을 가진 전기 자동차 시스템에서 필터는 인버터와 배터리 사이에 설치되어 전력계통으로 흐를 수 있는 잡음을 제거하는 역할을 하게 된다. 이때 고전압, 특히 고전류가 도체를 통해 전달되게 되는데, 이는 PCB 형태 필터의 허용 전류를 초과하게 된다. 이에 따라 고전압, 고전류를 전송하기 위한 금속선의 역할로 부스바(Busbar)라는 형태에 X, Y 커패시터가 실장된 PCB 형태의 필터가 결합된 EMI 필터가 사용되고 있으며, 최근 PCB에 잡음 필터 성능과 부스바의 형상 변화를 통한 최적화 연구들이 수행되었다^{[3],[4]}.

필터를 설계할 때에는 PCB의 필터 성능뿐만 아니라, 부스바 형태의 전체 구조를 고려한 성능 예측이 이루어져야 한다. 실제 부스바 형태와 결합된 PCB 필터는 많은 성능 차이를 보이고, 기존의 필터 회로해석으로는 올바른 성능 예측을 할 수 없다. 개선된 필터 성능 예측 방법으로 필터의 구조물을 EM 해석한 결과와 PCB의 필터회로를 결합한 시뮬레이션 방법이 제안되었으며, 이는 실제 필터의 측정 결과와 높은 정합성을 보였다^[5]. 그러나 PCB의 회로 해석과는 달리 부스바 형태 필터 구조의 EM 해석은 설계단계에서 과도한 시간이 소요된다.

본 논문은 부스바 형태의 EMI 필터를 설계하는데 있어

서 보다 효율적이고 정확한 결과를 얻을 수 있는 등가 회로 해석 모델을 제안한다. 제안한 등가 회로 모델은 분할된 필터의 구조 당 PEEC 기법을 사용하여 계산된 등가 인덕턴스와 커패시턴스를 사용해 얻어지게 된다. 2장에서는 EM과 회로가 결합된 필터 해석모델을 보이고, 3장에서는 동일한 모델의 필터에 대해 구조분석을 수행한다. PEEC 기법을 통해 분할된 구조 별 기생성분을 계산하여 등가모델을 제시하며, 4장에서 EM과 회로의 결합 모델, 제안된 등가 회로 모델, 그리고 실제 측정결과를 비교하여 등가 회로 모델의 정합성을 확보한다.

II. EM-Circuit Co-Simulation 모델

그림 1은 본 논문에서 분석 및 등가 모델 개발에 사용된 EMI 필터를 모델링한 모습이다. 연구를 위해 간단화한 EMI 필터는 양극 부스바, 음극 부스바, 페라이트와 금속 접지 판으로 구성되어 있다.

EM 시뮬레이션을 수행하기 위하여 총 9개의 포트가 설정되었으며, 1번부터 4번 포트는 EMI 필터의 공통/차동 모드의 삽입손실을 계산하기 위한 포트이다. 포트 1과 포트 3은 양극 부스바와 접지 판 사이에 1 mm 직경의 금속선으로 연결되며, 포트 2와 포트 4는 음극 부스바와 접지판 사이에 1 mm 직경의 금속선으로 연결된다. 이때 각

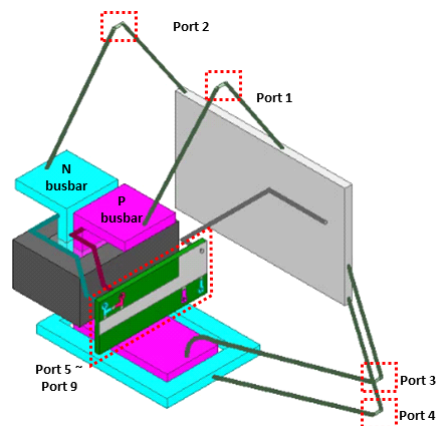


그림 1. EM 시뮬레이션에 사용된 부스바와 PCB에 실장된 EMI 필터의 구조

Fig. 1. Structure of EMI filter combined with busbar which used in EM simulation.

포트에 사용된 금속선은 시뮬레이션 상에서 포트를 인가하기 위한 방법이며, 실제 측정 시 포함되는 추가적인 측정 도구(악어 집게 등)의 기생성분을 모사한다. 5번부터 9번 포트는 EM 시뮬레이션과 회로 시뮬레이션을 결합할 때 PCB에 커패시터를 적용시키기 위한 포트이다. 해당 필터는 1개의 X 커패시터와 4개의 Y 커패시터로 구성되며, 각 커패시터의 정보는 그림 2(a)와 그림 2(b)에 나타내었다.

그림 1에 나타난 전체 EMI 필터의 S 파라미터를 계산하기 위해 유한 요소법을 기반으로 제작된 ANSYS사의 HFSS를 사용하였다. 해석에 사용한 컴퓨터의 사양은 AMD Ryzen Threadripper 2990WX 32-Core Processor 3.0 GHz, RAM 128 GB이며 60 Hz부터 200 MHz까지 총 458개 주파수 해석을 진행하여 22시간 50분이 소요되었다. 해석된

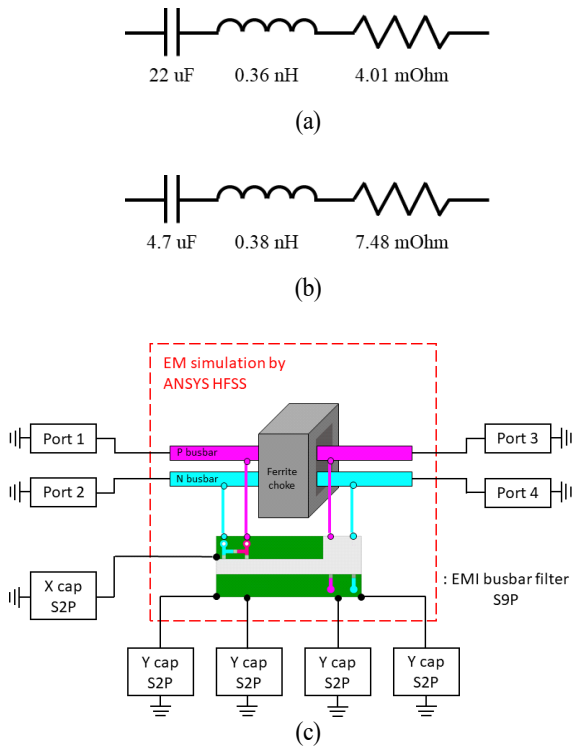


그림 2. (a) X 커패시터의 커패시턴스 및 ESL, ESR, (b) Y 커패시터의 커패시턴스 및 ESL, ESR (c) EM-circuit co-simulation 회로도

Fig. 2. (a) Capacitance, ESL, ESR of X capacitor, (b) capacitance, ESL, ESR of Y capacitor, (c) schematic of EM-circuit co-simulation.

S 파라미터 파일을 사용해 그림 2(c)와 같이 전체 4포트의 회로 해석을 진행한다. 최종적으로 회로 해석을 통해 얻어진 S 파라미터는 식 (1)과 식 (2)에 나타난 혼합 모드 S 파라미터 변환을 통해 공통 모드와 차동 모드의 삽입 손실로 변환한다^[5]. 이 결과들은 III장에서 측정과의 비교를 통해 시뮬레이션 모델 및 개발된 등가회로 모델의 정확성을 확보한다.

$$\begin{bmatrix} S_{dd11} & S_{dd12} & S_{dc11} & S_{dc12} \\ S_{dd21} & S_{dd22} & S_{dc21} & S_{dc22} \\ S_{cd11} & S_{cd12} & S_{cc11} & S_{cc12} \\ S_{cd21} & S_{cd22} & S_{cc21} & S_{cc22} \end{bmatrix} = \frac{1}{\sqrt{2}} \begin{bmatrix} 1 & -1 & 0 & 0 \\ 0 & 0 & 1 & -1 \\ 1 & 1 & 0 & 0 \\ 0 & 0 & 1 & 1 \end{bmatrix} \begin{bmatrix} S_{11} & S_{12} & S_{13} & S_{14} \\ S_{21} & S_{22} & S_{23} & S_{24} \\ S_{31} & S_{32} & S_{33} & S_{34} \\ S_{41} & S_{42} & S_{43} & S_{44} \end{bmatrix} \begin{bmatrix} 1 & -1 & 0 & 0 \\ 0 & 0 & 1 & -1 \\ 1 & 1 & 0 & 0 \\ 0 & 0 & 1 & 1 \end{bmatrix}^{-1} \quad (1)$$

$$DMIL = 20 \log_{10} \left| \frac{1}{S_{dd21}} \right|, CMIL = 20 \log_{10} \left| \frac{1}{S_{cc21}} \right| \quad (2)$$

III. PEEC 기법을 사용한 부스바 형태의 EMI 필터 등가모델 개발

3-1 부스바 형태의 EMI 필터 전체 구조 분할

2장에서 수행한 EM과 회로의 결합 시뮬레이션의 경우, PCB상의 소자 변경에 대한 결과 예측은 시간이 상대적으로 적게 소요되기 때문에 효율적인 설계가 가능하다. 그러나 PCB의 구조가 변경되거나 필터의 부스바 형태가 변경되는 경우 EM 시뮬레이션을 재수행해야 하며, 이는 회로 시뮬레이션과 달리 20시간 이상이 소요된다. 본 논문에서는 EM 시뮬레이션에서 사용된 필터의 구조를 분석해 각 구조를 등가화한 등가 회로 모델을 개발한다. 이때 각 구조를 등가화하기 위해 PEEC 기법을 사용한다^[6].

전체 EMI 필터는 크게 4가지 구조물로 나누었으며, 그림 3에 분할된 구조를 나타내었다. 그림 3(a)는 시뮬레이션에 포트 설정을 위한 케이블 부분이며, 측정 시 제거할 수 없는 부가적인 측정 기구들의 영향을 모사할 수 있다.

그림 3(b)는 EMI 부스바 필터 부분이며, 실제 등가화를 위해 그림 4와 같이 세분화한다. 따라서 부스바 구조의 필터는 A, B1, B2, C 총 4개의 금속 평판 부분과 1개의 페라이트 초크 부분으로 구성된다.

그림 3(c)는 부스바와 PCB 및 PCB와 접지 판을 연결하

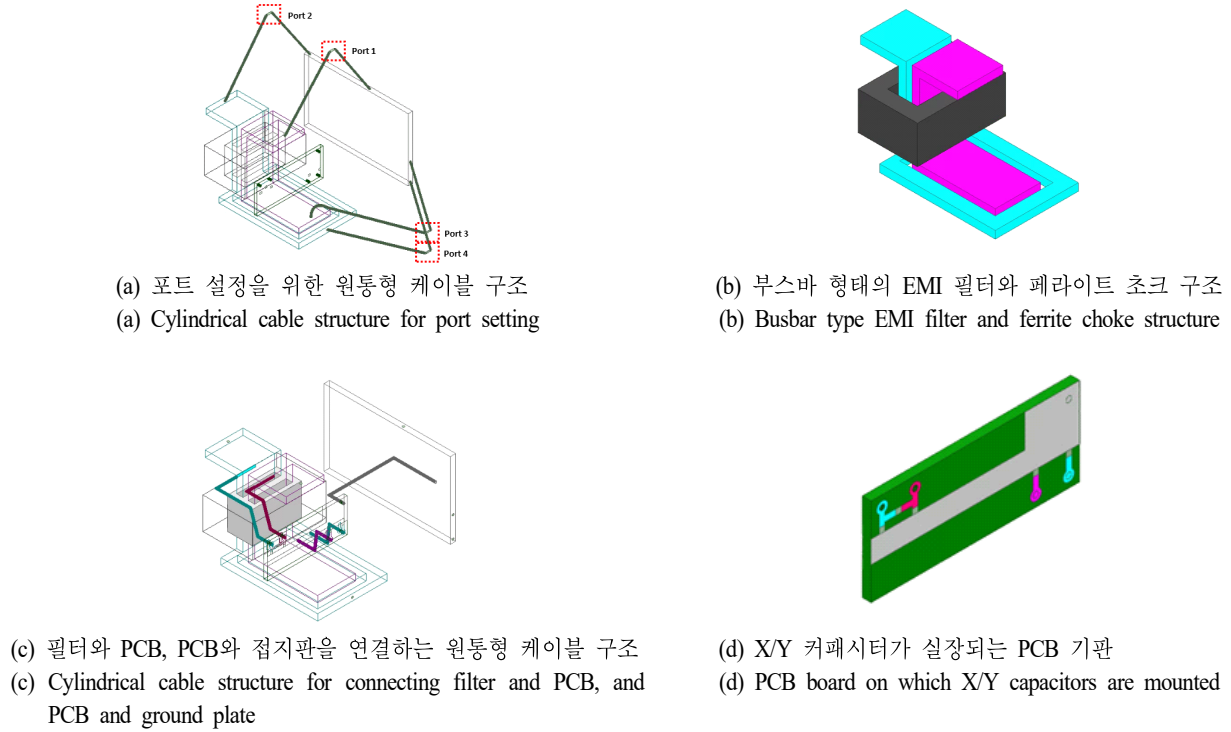


그림 3. 4개 구조별로 분할한 부스바 형태 EMI 필터의 전체 시스템
Fig. 3. Entire system of busbar type EMI filter divided into 4 structures.

기 위해 사용되는 케이블 부분이며, 그림 3(d)는 총 5개의 커패시터가 포함되는 PCB 부분이다. 그림 5에 이러한 구조 분할을 통해 구성된 등가 회로 모델을 나타내었다.

3-2 포트 설정을 위한 케이블 등가모델

그림 3(a)에 표현된 케이블은 총 8개이며 각각 부스바와 접지 판에 연결된다. 이 두 개의 케이블이 하나의 포트를 구성하게 되며, 등가화를 위하여 두 케이블의 자기 인덕턴스를 구해 그 합을 반영한다^[6].

$$L_{self} \simeq \frac{\mu_0}{2\pi} l \left[\ln \left(\frac{l}{r} + \sqrt{\left(\frac{l}{r} \right)^2 + 1} \right) - \sqrt{1 + \left(\frac{r}{l} \right)^2} + \frac{r}{l} \right] \quad (3)$$

표 1에 각 케이블의 길이와 그에 따른 자기 인덕턴스 및 최종적으로 회로에 반영될 전체 인덕턴스를 나타내었다.

3-3 부스바 형태의 EMI 필터 등가모델

그림 4(b)에 나타난 A 영역은 단일 평판의 자기 부분

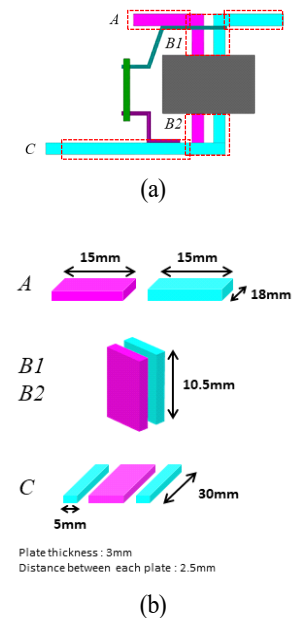


그림 4. EMI 필터의 부스바 구조의 세부 분할도
Fig. 4. Detailed division diagram of busbar structure of EMI filter.

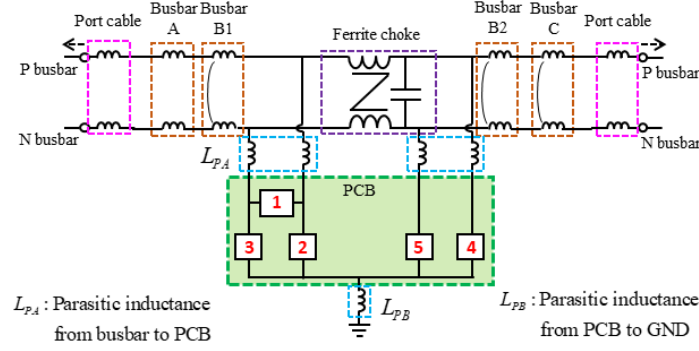


그림 5. 구조 분할된 부스바 형태 EMI 필터를 등가화한 회로 모델

Fig. 5. Equivalent circuit model of busbar-type EMI filter with divided structure.

표 1. 포트 설정을 위한 케이블의 길이 및 자기 부분 인덕턴스

Table 1. Cable length and self partial inductance for port setting.

	Port 1	Port 2	Port 3	Port 4
$l_{sig}(\text{mm})$	50	51	73	50
$L_{sig}(\text{nH})$	43.08	44.14	68.38	43.08
$l_{gnd}(\text{mm})$	37	37	49	49
$L_{gnd}(\text{nH})$	29.68	29.68	42.03	42.03
$L_{total}(\text{nH})$	72.76	73.82	110.41	85.11

인덕턴스(self partial inductance)로 표현되며 여기에서의 상호간 커플링은 무시하였다. 또, PEEC 기법을 사용해 식 (4)로 등가 인덕턴스를 계산할 수 있다^[6]. PEEC 기법에서 각 금속 평판은 직각좌표계에 위치하게 되며 x_s, y_s, z_s 는 각 좌표의 시점, x_e, y_e, z_e 는 각 좌표의 중점을 나타낸다.

$$\begin{aligned}
 L_{bar11} = & \frac{2\mu_0 l}{\pi} \left[\frac{w^2}{24u} \left(\log \left(\frac{1+a_2}{w} \right) - a_5 \right) + \frac{1}{24uw} (\log(w+a_2) - a_6) + \right. \\
 & \frac{w^2}{60u} (a_4 - a_3) + \frac{w^2}{24} \left(\log \left(\frac{u+a_3}{w} \right) - a_7 \right) + \frac{w^2}{60u} (w - a_2) + \frac{1}{20u} (a_2 - a_4) + \\
 & \frac{u}{4} a_5 - \frac{u^2}{6w} \tan^{-1} \left(\frac{w}{ua_4} \right) + \frac{u}{4} a_6 - \frac{w}{6} \tan^{-1} \left(\frac{u}{wa_4} \right) + \frac{a_7}{4} - \\
 & \left. \frac{1}{6w} \tan^{-1} \left(\frac{uw}{a_4} \right) + \frac{1}{24w^2} (\log(u+a_1) - a_7) + \frac{u}{20w^2} (a_1 - a_4) + \right. \\
 & \left. \frac{1}{60w^2} (1 - a_2) + \frac{1}{60uw^2} (a_4 - a_1) + \frac{u}{20} (a_3 - a_4) + \right. \\
 & \left. \frac{u^3}{24w^2} \left(\log \left(\frac{1+a_1}{u} \right) - a_5 \right) + \frac{u^3}{24w} \left(\log \left(\frac{w+a_3}{u} \right) - a_6 \right) + \right. \\
 & \left. \frac{u^3}{60w^2} ((a_4 - a_1) + (u - a_3)) \right]
 \end{aligned}$$

$$\begin{aligned}
 u = \frac{x_{e1} - x_{s1}}{y_{e1} - y_{s1}}, w = \frac{z_{e1} - z_{s1}}{y_{e1} - y_{s1}}, a_1 = \sqrt{1+u^2}, a_2 = \sqrt{1+w^2}, a_3 = \sqrt{u^2+w^2}, \\
 a_4 = \sqrt{1+w^2+u^2}, a_5 = \log \left(\frac{1+a_4}{a_3} \right), a_6 = \log \left(\frac{w+a_4}{a_1} \right), a_7 = \log \left(\frac{u+a_4}{a_2} \right)
 \end{aligned} \quad (4)$$

그림 4(b)에 나타난 B1, B2 영역은 두 개의 평행 평판의 자기 부분 인덕턴스와 상호 부분 인덕턴스(mutual partial inductance) 모두 고려되며, 상호 부분 인덕턴스는 PEEC 기법을 사용해 식 (5)로 계산할 수 있다^[6].

$$\begin{aligned}
 L_{bar12} = & \frac{\mu_0}{4\pi} \frac{1}{A_1 A_2} \sum_{k=1}^4 \sum_{l=1}^4 \sum_{m=1}^4 (-1)^{k+l+m+1} \left[-\frac{b_l c_m a_k^3}{6} \tan^{-1} \left(\frac{b_l c_m}{a_k R} \right) - \right. \\
 & \frac{b_l^2 c_m^2 a_k}{6} \tan^{-1} \left(\frac{b_l a_k}{c_m R} \right) - \frac{b_l^2 c_m a_k}{6} \tan^{-1} \left(\frac{c_m a_k}{b_l R} \right) + \\
 & a_k \left(\frac{b_l^2 c_m^2}{4} - \frac{b_l^4}{24} - \frac{c_m^4}{24} \right) \log \left(\frac{a_k + R}{\sqrt{b_l^2 + c_m^2}} \right) + \\
 & b_l \left(\frac{c_m^2 a_k^2}{4} - \frac{c_m^4}{24} - \frac{a_k^4}{24} \right) \log \left(\frac{b_l + R}{\sqrt{c_m^2 + a_k^2}} \right) + \\
 & c_m \left(\frac{b_l^2 a_k^2}{4} - \frac{b_l^4}{24} - \frac{a_k^4}{24} \right) \log \left(\frac{c_m + R}{\sqrt{a_k^2 + b_l^2}} \right) + \\
 & \left. \frac{1}{60} (b_l^4 + c_m^4 + a_k^4 - 3b_l^2 c_m^2 - 3c_m^2 a_k^2 - 3a_k^2 b_l^2) R \right] \\
 & a_1 = x_{s2} - x_{e1}, a_2 = x_{e2} - x_{e1}, a_3 = x_{e2} - x_{s1}, a_4 = x_{s2} - x_{s1} \\
 & b_1 = y_{s2} - y_{e1}, b_2 = y_{e2} - y_{e1}, b_3 = y_{e2} - y_{s1}, b_4 = y_{s2} - y_{s1} \\
 & c_1 = z_{s2} - z_{e1}, c_2 = z_{e2} - z_{e1}, c_3 = z_{e2} - z_{s1}, c_4 = z_{s2} - z_{s1} \\
 & R(a_k, b_l, c_m) = \sqrt{a_k^2 + b_l^2 + c_m^2}
 \end{aligned} \quad (5)$$

그림 4(b)에 나타난 C 영역은 3개 도체가 평행하게 위치한 형태이다. 음극 부스바에 해당하는 좌우의 도체 1과 도체 3은 동일한 형태로 동일한 전위 및 전류를 가지고 있으며 양극 부스바에 해당하는 중앙의 도체 2에는 1과 3에 흐르는 전류가 합쳐진 것과 동일한 양의 전류가 반대 방향으로 흐른다고 가정한다. 따라서 $I_1 = I_3$ 이며 $I_N = I_1 + I_3$ 의 관계식이 성립한다. 모든 금속은 비 손실 매질을 가정하므로 전압과 전류의 관계식은 식 (6)과 같이 정의된다.

$$\begin{bmatrix} V_1 \\ V_2 \\ V_3 \end{bmatrix} = j\omega \begin{bmatrix} L_{11} & L_{12} & L_{13} \\ L_{21} & L_{22} & L_{23} \\ L_{31} & L_{32} & L_{33} \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \\ I_3 \end{bmatrix} \quad (6)$$

전압과 전류의 관계식으로 발생하는 3개의 방정식에 각 도체 사이의 관계를 적용하면 최종적으로 식 (7)과 같은 2개 도체에 대한 관계식으로 정리할 수 있다.

$$\begin{aligned} V_1 + V_3 &= j\omega((L_{11} + L_{31} + L_{13} + L_{33})I_1 + (L_{12} + L_{32})I_2) \\ V_N &= j\omega\left(\frac{L_{11} + L_{31} + L_{13} + L_{33}}{4}I_N + (L_{12} + L_{32})I_P\right) \\ V_P &= j\omega\left(\frac{L_{21} + L_{23}}{2}I_N + L_{22}I_P\right) \\ \begin{bmatrix} V_P \\ V_N \end{bmatrix} &= \begin{bmatrix} L_{22} & \frac{L_{12} + L_{32}}{2} \\ \frac{L_{12} + L_{32}}{2} & \frac{L_{11} + L_{31} + L_{13} + L_{33}}{4} \end{bmatrix} \begin{bmatrix} I_P \\ I_N \end{bmatrix} \end{aligned} \quad (7)$$

EMI 필터 구조의 마지막 부분인 페라이트 초크의 단면은 해석적인 해가 없기 때문에 2차원 EM 시뮬레이션인 ANSYS사의 Q2D를 사용하여 인덕턴스와 커패시턴스의 값을 구한다. 그림 6에 Q2D 시뮬레이션에 사용한 단면도를 나타냈으며 이때 구해지는 인덕턴스와 커패시턴스는 단위길이 1 m에 해당하는 값이기 때문에 페라이트의 높이 15 mm를 적용하여 등가화 하였다.

표 2에 최종적으로 구해진 각 부분 별 인덕턴스와 커패시턴스의 값을 나타내었다.

3.4 필터와 PCB 및 PCB와 접지 판 사이 연결 케이블 등가모델

그림 3(c)에 표현된 케이블은 총 5개이며, 4개는 버스바와 PCB 사이의 연결선, 1개는 PCB와 접지면 사이의 연결선이다. 모든 케이블은 직경 1 mm의 원통을 가정하며, 길이 성분만을 고려한다. 이때 그림 5에 하늘색으로 표시

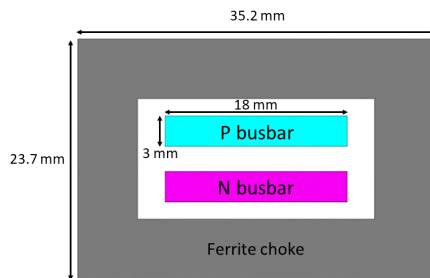


그림 6. 2D EM 시뮬레이션에 사용된 페라이트 초크와 버스바의 단면도

Fig. 6. Cross section of ferrite choke and busbar used in 2D EM simulation.

표 2. 분할된 버스바 구조와 페라이트의 부분 인덕턴스 및 커패시턴스

Table 2. Partial inductance and capacitance of split busbar structure and ferrite choke.

	P busbar	N busbar
L_A (nH)	3.632	3.632
L_B (nH)	P busbar	2.052
	N busbar	1.268
L_C (nH)	P busbar	10.437
	N busbar	5.674
$L_{ferrite}$ (uH)	P busbar	13.28
	N busbar	13.278
$C_{ferrite}$ (pF)	2.113	

표 3. EMI 필터 내부에 상호 연결을 위한 케이블의 길이 및 부분 자기 인덕턴스

Table 3. Cable length and partial self-inductance for inter-connection in the EMI filter.

	Wire 1	Wire 2	Wire 3	Wire 4	Wire 5
Length (mm)	38.5	28	12	12	34.5
L_{wire} (nH)	31.18	20.92	6.99	6.99	27.2

된 4개의 상호연결 인덕터(L_{PA})의 좌측부터 순서 대로 각각 38.5 mm, 28 mm, 12 mm, 12 mm의 길이를 가진다. 접지판에 연결되는 케이블(L_{PB})의 길이는 34.5 mm이며, 표 3에 각 길이에 따른 자기 부분 인덕턴스를 나타내었다.

3장에서 구해진 모든 자기 및 상호 부분 인덕턴스와 커패시턴스를 그림 5의 회로와 같이 등가화하여 4포트 S 파라미터를 구한다. 구해진 S 파라미터는 식 (1)과 식 (2)를 통해 공통/차동 모드의 삽입손실로 변환되어 측정과의 비교를 통해 등가모델의 유효성을 입증한다.

IV. EMI 필터의 삽입 손실 측정

그림 7과 그림 8에 공통 모드 및 차동 모드의 삽입 손실을 측정하기 위한 2 포트 측정 회로도 및 실제 측정을 위한 결선을 나타내었다. 두 그림에 표시된 포트 임피던스는 측정기기(VNA)의 기준 임피던스인 50옴이다. 식 (7)을 통해 50옴 기준으로 측정된 S 파라미터를 공통모드와

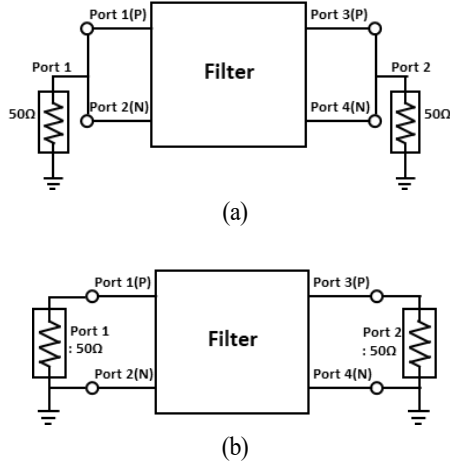


그림 7. 50옴 기준 측정장비를 사용한 4포트 필터 시스템의 공통모드 및 차동모드 결선 개념도
Fig. 7. Common mode and differential mode wiring diagram of a 4-port filter system using a 50 ohm reference measuring equipment.

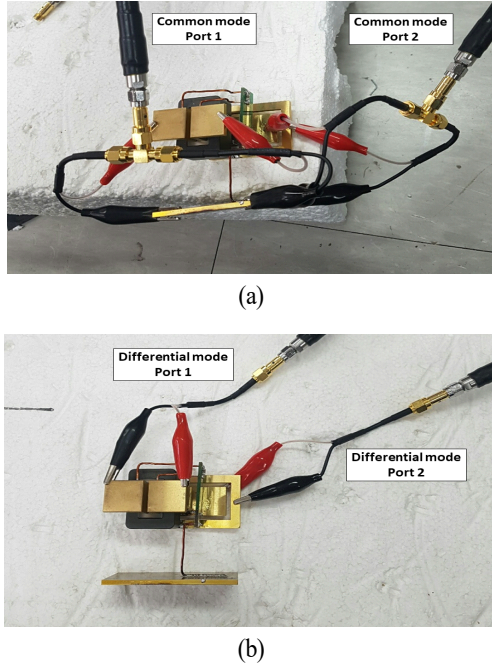


그림 8. (a) 2 포트 VNA를 통한 EMI 필터의 공통 모드 결선, (b) 2 포트 VNA를 통한 EMI 필터의 차동 모드 결선
Fig. 8. (a) Common mode wiring of EMI filter through 2 port VNA, (b) differential mode wiring of EMI filter through 2 port VNA.

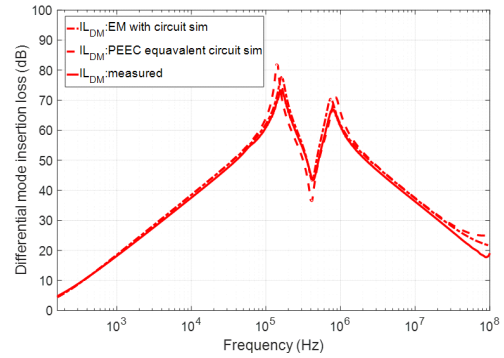
차동모드의 기준 임피던스인 100옴과 25옴으로 재 정규화한다. 이때 S^{new} 는 재정규화된 S 파라미터, Z^{new} 는 재정의한 S 파라미터의 기준 임피던스, Z_0 는 기존의 기준 임피던스로서 이 경우 50옴이 된다.

$$S^{new} = (I - S)^{-1}(S - \Gamma)(I - S\Gamma)^{-1}(I - S)$$

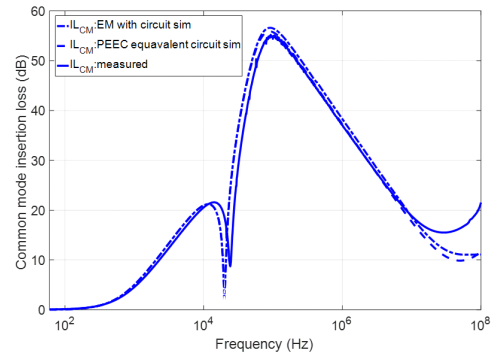
$$\Gamma = (Z^{new} - Z_0)(Z^{new} + Z_0)^{-1} \quad (8)$$

V. Co-Simulation 모델, 광대역 등가회로 모델과 실험 결과의 비교 분석

그림 9에 EM과 회로의 결합 시뮬레이션, PEEC 기법을



(a) 차동모드 삽입손실 그래프
(a) Differential mode insertion loss



(b) 공통모드 삽입손실 그래프
(b) Common mode insertion loss

그림 9. EM-circuit 결합 시뮬레이션, PEEC 등가 회로 모델, 측정 결과의 비교 그래프

Fig. 9. Comparison graph of EM-circuit co-simulation, PEEC equivalent circuit model, and measurement results.

사용한 등가모델의 회로 시뮬레이션, 그리고 측정 결과를 비교하였다. 그림 9(a)는 차동 모드 삽입 손실, 그림 9(b)는 공통 모드 삽입 손실이다. 3개의 결과, 모두 전 주파수에서 높은 정합성을 보이며, 특히 실선의 측정 결과를 제외한 2종의 시뮬레이션 결과는 전 주파수 대역에서 3 dB 이내의 차이를 보인다.

PEEC 등가 회로의 정확도가 확보되었으므로 구조가 변경된 필터의 삽입손실을 등가회로를 사용해 효율적으로 예측할 수 있다. 그림 10에 구조 변경된 필터의 성능 예측에 대한 그래프를 나타내었다. 그림 10(a)와 그림 10(b)의 파란색 그래프는 그림 5에 나타난 L_{PB} , 즉 PCB

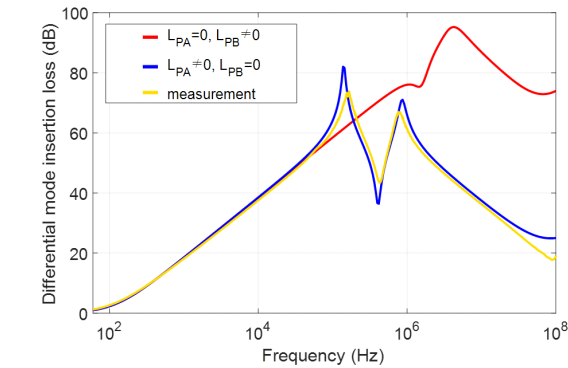
to GND 케이블의 인덕턴스가 0인 상태이며, 빨간색 그래프는 그림 5에 나타난 L_{PA} , 즉 filter to PCB 케이블의 인덕턴스가 0인 상태이다. 그림 10의 결과는 차동 모드 삽입손실을 개선하기 위해서는 필터와 PCB 사이의 기생성분을 줄여야 하며, 공통 모드 삽입 손실을 개선하기 위해서는 PCB와 접지면 사이의 기생 성분을 줄여야 함을 나타내며, 본 논문에서 개발한 등가회로 모델이 물리적으로 필터의 어떤 부분을 어떻게 개선해야 하는지를 잘 보여 줄 수 있음을 보였다.

VI. 결 론

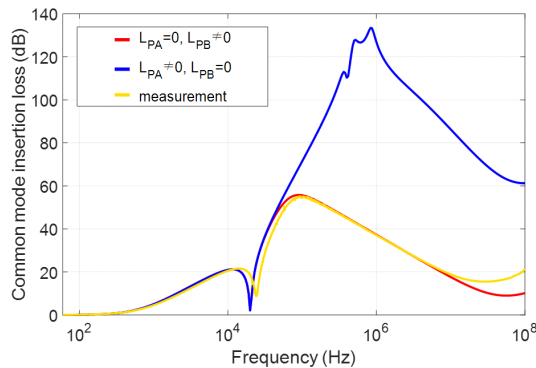
본 논문에서는 부스바 형태 EMI 필터의 효율적인 설계 및 성능 예측을 위하여 PEEC 기법을 사용한 등가 회로 모델을 개발하였다. 이를 위해 부스바 형태 EMI 필터의 단순화된 형태를 설계 및 제작하였고, 해당 필터의 구조를 EM 시뮬레이션하였다. 이때 사용한 전체 해석 모델링의 구조를 분할하고, EM 필터 구조를 세분화하여 PEEC 기법을 통해 각 분할된 구조에서의 자기 및 상호 부분 인덕턴스를 계산하였다. 계산된 결과를 등가 회로화한 뒤 EM-Circuit 결합 시뮬레이션, PEEC 등가회로 시뮬레이션, 그리고 실제 측정 결과와 비교하였다. 2종류의 시뮬레이션에서는 4포트의 S 파라미터로 결과를 얻었으며, 모드 혼합 S 파라미터로 변환을 통해 공통 모드와 차동 모드의 삽입 손실을 계산하였다. 측정 결과는 2포트의 S 파라미터로 결과를 얻었으며, 재정규화 과정을 통해 기준 임피던스를 변경하여 공통 모드와 차동 모드의 삽입 손실을 계산하였다. 비교한 3개의 결과는 모든 주파수 대역에서 높은 정합성을 보였으며, 이를 통해 필터의 구조 변경에 따른 삽입 손실 예측을 효율적으로 할 수 있음을 보였으며, 삽입 손실 개선을 위한 구조 변경 설계에 응용할 수 있음을 보였다.

References

- [1] N. Mutoh, M. Nakanishi, M. Kanesaki, and J. Nakashima, "EMI noise control methods suitable for electric vehicle drive systems," *IEEE Transactions on Electromagnetic Compatibility*, vol. 47, no. 4, pp. 930-937, Nov. 2005.



(a) 차동모드 삽입손실 그래프
(a) Differential mode insertion loss



(b) 공통모드 삽입손실 그래프
(b) Common mode insertion loss

그림 10. PEEC 등가 회로를 이용한 EMI 필터의 구조 변경 성능 예측
Fig. 10. Prediction of structural change performance of EMI filter using PEEC equivalent circuit.

- [2] J. G. Kim, "Active EMI filter technology and research trends," *KIPE Magazine*, vol. 24, no. 4, pp. 50-55, Aug. 2019.
- [3] J. Lee, H. Lee, and W. Nah, "Minimizing the number of X/Y capacitors in an autonomous emergency brake system using the BPSO algorithm," *IEEE Transactions on Power Electronics*, vol. 37, no. 2, pp. 1630-1640, Feb. 2022.
- [4] A. D. Callegaro, J. Guo, M. Eull, B. Danen, J. Gibson, and M. Preindl, et al., "Bus bar design for high-power inverters," *IEEE Transactions on Power Electronics*, vol. 33, no. 3, pp. 2354-2367, Mar. 2018.
- [5] K. Kim, H. Hwang, and W. Nah, "An EM-circuit co-simulation model to predict insertion loss in a busbar-PCB type EMI filter," in *2021 IEEE International Joint EMC/SI/PI and EMC Europe Symposium*, Raleigh, NC, Aug. 2021, pp. 313-317.
- [6] R. Albert, G. Antonini, and L. Jiang, *Circuit Oriented Electromagnetic Modeling using the PEEC Techniques*, Hoboken, NJ, John Wiley & Sons, 2017.

한 준 희 [성균관대학교/석박사통합과정]

<https://orcid.org/0000-0002-7759-6717>



2018년 2월: 성균관대학교 전자전기컴퓨터공학과 (공학사)
 2018년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석박사 통합과정
 [주 관심분야] SI/PI, EMI/EMC

최 경 루 [성균관대학교/석사과정]

<https://orcid.org/0000-0002-3649-0000>



2021년 2월: 수원대학교 전자전기컴퓨터공학과 (공학사)
 2021년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정
 [주 관심분야] SI/PI, EMI/EMC

김 광 호 [성균관대학교/박사과정]

<https://orcid.org/0000-0001-6894-1841>



2013년 2월: 성균관대학교 전자전기컴퓨터공학과 (공학사)
 2015년 2월: 성균관대학교 전자전기컴퓨터공학과 (공학석사)
 2015년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 박사과정
 [주 관심분야] SI/PI, EMI/EMC

나 완 수 [성균관대학교/전임교수]

<https://orcid.org/0000-0002-0315-3294>



1984년 2월: 서울대학교 전기공학과 (공학사)
 1986년 2월: 서울대학교 전기공학과 (공학석사)
 1991년 2월: 서울대학교 전기공학과 (공학박사)
 1991년~1993년: SSCL Guest Collaborator
 1993년~1995년: 한국전기연구원 선임연구원
 1995년~현재: 성균관대학교 전자전기컴퓨터공학과 교수
 [주 관심분야] SI/PI, EMI/EMC