

2.45 GHz PLL 설계 및 주파수와 위상 오차 분석

Design of a 2.45 GHz PLL and Analysis of Frequency/Phase Error

김현진 · 허예림 · 이윤수 · 최진주

Hyun-Jin Kim · Ye-Rim Heo · Yun-Soo Lee · Jin-Joo Choi

요약

이 논문에서는 2.45 GHz에서 동작하는 PLL 설계 및 주파수와 위상 에러를 시간 축에서 확인하는 방법에 대해서 다룬다. 설계과정에서는 일반적으로 알려진 Type-II PLL의 설계방법을 따르며, 33,800 rad/s의 고유진동수(ω_n)와 0.53의 감쇠비(ζ)를 갖도록 설계하였다. 제작결과, VCO(voltage controlled oscillator)에 PLL을 추가하였을 때 Phase Noise가 10 kHz와 150 kHz offset에서 각각 22 dB, 58 dB가 감소했다. 특성실험 단계에서는 MATLAB 프로그램을 이용하여 설계된 회로에서의 초기 주파수 에러의 피크점 간격을 계산한 결과 100 μ s가 나왔고, 오실로스코프를 이용하여 측정한 결과, 동일하게 100 μ s가 나오는 것을 확인하였다. 오실로스코프를 통해 측정한 튜닝전압의 변화를 통해 출력 주파수의 최고점이 2.5 GHz가 나올 것을 추측하였으며, 믹서를 이용해 최고 2.504 GHz가 나온 것을 확인하였다. 또한, 주파수가 고정된 후의 비교 주파수 200 kHz에서의 위상 오차에 대한 보상은 오실로스코프를 이용했을 때는 12.7°로 계산되었고, PSpice를 이용하였을 때, 8.93°로 계산되었다. 두 측정치 사이의 오차는 29.7 %로 이는 적분 과정에서의 근사와 튜닝전압의 fluctuation에 의한 것으로 판단된다.

Abstract

This paper concerns a PLL design operating at 2.45 GHz and a method for checking frequency and phase errors over time. During the design process, the design method had a natural frequency (ω_n) of 33,800 rad/s and a damping ratio (ζ) of 0.53 according to a generally known method of designing a Type-II PLL. Owing to production, when the PLL of VCO(voltage controlled oscillator) was added, phase noise decreased by 22 dB and 58 dB at 10 kHz and 150 kHz offset, respectively. In the experimental stage of the characteristics, the result of calculating the interval between the peak points of the initial frequency error in the circuit designed using MATLAB program was 100 μ s, and a similar result was obtained when the measurement was taken using an oscilloscope. It was assumed that the highest point of the output frequency was 2.5 GHz through the change of the tuning voltage measured using the oscilloscope, and it was verified by using mixer that a maximum output frequency was 2.504 GHz. Additionally, for the compensation of the phase error at the comparison frequency, we obtained values of 12.7° and 8.93° using an oscilloscope and a PSpice, respectively, after fixing the frequency. The error between the two measurements was 29.7 %, and it was determined to be due to approximation in the integration process and the fluctuation of the tuning voltage.

Key words: PLL, Phase Error, Frequency Error, Time Domain

「이 연구는 2019학년도 광운대학교 교내 연구비 지원과 한국전기연구원 지원으로 연구되었음.」

광운대학교 전자융합공학과(Department of Electronic Convergence Engineering, Kwangwoon University)

· Manuscript received March, 30, 2020 ; Revised May, 7, 2020 ; Accepted June, 9, 2020. (ID No. 20200330-027)

· Corresponding Author: Jin Joo Choi (e-mail: Jinchoi@kw.ac.kr)

I. 서론

고출력 전자파원은 군사용 레이다, 장거리 무선 전력 전송, 주방용 가전기기 등 다양한 시스템에서 사용되고 있다. 일반적으로 고출력을 내기 위해서 전자파원으로 Klystron과 Magnetron을 이용한다. Klystron은 주파수 및 위상 안정성이 좋다는 장점이 있지만, Magnetron과 비교했을 때, 단가가 훨씬 비싸다는 단점이 있다. 반면 Magnetron을 전자파원으로 이용하게 되면 위상 불안정성 때문에 전력결합 시 결합효율이 낮아지게 된다. 하지만 PLL(phase locked loop)을 Magnetron에 활용하면 위상 오차를 RMS 값 1° 이하로 줄일 수 있고, 결합하고자 하는 전력의 위상을 동기화할 수 있기 때문에 앞에서 언급한 단점을 보완할 수 있다^{[1]-[3]}.

이뿐만 아니라 PLL은 현재 많은 곳에서 활용되고 있다. 통신 분야에서는 데이터의 전송 및 처리 속도를 높이기 위해 채널 주파수를 높이고자 하는 움직임이 존재하며, 이때 필연적으로 발생하는 문제인 위상 동기화 문제를 해결하기 위한 방안으로 PLL을 활용한다. 또한, 높은 신뢰성이 요구되는 시스템에서는 clock 신호의 복원시스템으로서 PLL이 활용되기도 한다^{[4],[5]}.

이처럼 다양한 분야에서 PLL의 활용도는 높아지고 있으며, 동시에 PLL의 성능을 확인하기 위한 실험 방법도 발전을 거듭하고 있다^{[6],[7]}. 대부분의 PLL 특성 관찰은 spectrum analyzer를 통해 주파수 축에서 이루어진다. 하지만 이 논문에서는 오실로스코프와 소프트웨어 프로그램 (PSpice, MATLAB)을 통해 시간 축에서의 응답특성도 동시에 관찰한다.

II. 이론 및 특성 식 유도

PLL은 위상 오차와 주파수 오차에 대해 음성 피드백 회로를 이용하여 보상해주는 기법이다. N배 주파수 분배기를 탑재한 Type-II PLL의 구성은 그림 1과 같다.

전하 펌프 회로는 위상 및 주파수가 차이 나는 정도에 비례하는 시간 동안 가동된다.

$$duty = \frac{\Delta \phi}{2\pi} \tag{1}$$

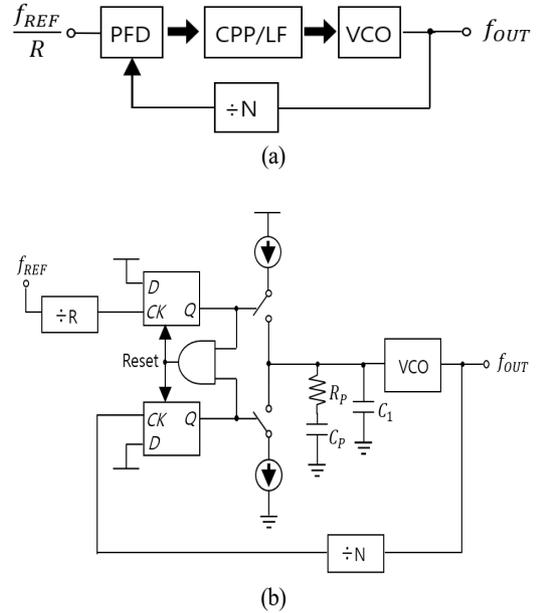


그림 1. (a) 위상 및 주파수 탐지기, 전하 펌프(CPP), 루프 필터, VCO, 주파수 분배기, (b) PLL 회로 구성도

Fig. 1. (a) Phase and frequency detector, charge pump (CPP), loop filter, VCO, frequency divider, (b) Schematic of PLL.

여기서 $\Delta \phi$ 은 위상 변화량을 의미한다. 출력단의 위상 및 주파수가 기준 주파수의 위상 및 주파수보다 앞설 때는 VCO(voltage controlled oscillator)의 튜닝 전압(V_{tune})이 낮아지며, 반대의 경우 튜닝 전압이 높아지게 되면서 위상 및 주파수 오차가 일정수준 이하로 유지된다^[8]. VCO의 출력 각 주파수(ω_{out})는 식 (2)로 나타낼 수 있다.

$$\begin{aligned} \omega_{out} &= \omega_0 + K_{VCO} V_{tune} \\ &= N\omega_{compare} \end{aligned} \tag{2}$$

이때, ω_0 는 VCO의 출력 각 주파수의 최소값을, K_{VCO} 는 $d\omega_{out}/dV_{tune}$ 의 평균값을, N 은 그림 1의 주파수 분배기에서의 분배 상수를, $\omega_{compare}$ 는 위상 및 주파수 탐지기(PFD)의 비교 주파수를 의미한다. Loop filter는 그림 1(b)에서 표시한 것과 같이 저항하나(R_p)와 축전기 2개(C_p, C_1)로 구성된다. Loop filter의 값들은 회로의 특성에 큰 영향을 끼치기 때문에 이 값들을 설정하는 과정은 회

로 설계에서의 중요한 단계가 된다. 따라서 loop filter를 설계하기 위해 회로의 특성식을 유도하는 과정을 거친다.

먼저 개회로 이득(feed forward system gain)을 다음으로 정의하자.

$$H(s)|_{open} = \frac{\Delta \phi_{out}}{\Delta \phi_{in}} \quad (3)$$

C_1 의 정전용량을 C_P 의 0.1배로 설정하면 C_1 은 $H(s)|_{open}$ 식 전개 시에 무시할 수 있다^[9]. 전류원의 전류값을 I_P 라 하면 개회로 이득은 식 (4)로 표현할 수 있다.

$$H(s)|_{open} = \frac{I_P}{2\pi} \left(R_P + \frac{1}{C_P s} \right) \frac{K_{VCO}}{s} \quad (4)$$

피드백 이득은 $1/N$ 이므로 폐회로 이득 $H(s)|_{closed}$ 은 식 (5)가 된다.

$$H(s)|_{closed} = \frac{\frac{I_P K_{VCO}}{2\pi C_P} (R_P C_P s + 1)}{s^2 + \frac{I_P}{2\pi} \frac{K_{VCO}}{N} R_P s + \frac{I_P}{2\pi C_P} \frac{K_{VCO}}{N}} \quad (5)$$

$$\omega_n = \sqrt{\frac{I_P}{2\pi C_P} \frac{K_{VCO}}{N}} \quad (6)$$

$$\zeta = \frac{R_P}{2} \sqrt{\frac{I_P C_P}{2\pi} \frac{K_{VCO}}{N}} \quad (7)$$

이때, ω_n 은 고유진동수를, ζ 는 감쇠비를 의미한다. 한편, 회로의 안정성을 판단하기 위해 PM(phase margin) 개념을 도입하였다. 회로의 loop filter의 임피던스 식으로부터 pole, zero 시간상수를 다음과 같이 각각 정의할 수 있다.

$$Z(s) = \frac{s C_P R_P + 1}{s^2 R_2 C_1 + s(C_1 + C_P)} \quad (8)$$

$$T_p = R_P \frac{C_1 C_P}{C_1 + C_P} \quad (9)$$

$$T_z = R_P C_P \quad (10)$$

따라서 Loop gain($H(s)|_{open}/N$)은 식 (11)로 나타낼 수 있다.

$$\frac{H(s)|_{open}}{N} = \frac{I_P K_{VCO}}{2\pi s^2 C_1 N} \left(\frac{1 + s T_z}{1 + s T_p} \right) \frac{T_p}{T_z} \quad (11)$$

식 (11)에 $s = j\omega_P$ 를 대입하면 phase margin은 식 (12)로 계산된다.

$$PM = 180^\circ + \angle \left(\frac{H(j\omega_P)|_{open}}{N} \right) = \tan^{-1}(\omega_P T_z) - \tan^{-1}(\omega_P T_p) \quad (12)$$

이때, ω_P 는 gain crossover frequency를 의미한다.

III. 설계 및 제작

2장에서 기술한 PLL이론을 바탕으로 2.45 GHz에서 동작하는 PLL을 설계하였다. 회로는 loop filter를 포함해 크게 5가지 주요 부품으로 구성하였다. 위상 및 주파수 탐지 회로와 전하 펌프 회로가 집적된 칩(ADF 4113), 이를 컨트롤하기 위한 프로세서(Arduino UNO R3), 기준 주파수 발생장치(OH100-61003CF), 그리고 VCO (VE800ME-11)가 이에 해당한다(그림 2). ADF 4113의 비교 주파수는 200 kHz이기 때문에 출력주파수(ω_{out})를 2.45 GHz로 설정하기 위해서 N 은 12,250으로 두었다. Loop filter에 있는 R_P , C_P , C_1 의 값들을 설정하기 위해서 ζ , ω_n 을 각각 0.707, 33,800 rad/s로 가정하면, 식 (6), (7)에서 R_P 는 4,183 Ω , C_P 는 10 nF이 된다. 이를 식 (9), (10), (12)에 대입하면 PM값은 54.2°가 된다. 하지만 PM은 45°~50°로 설정하는 것이 일반적이다. 따라서 PM을 47°로 수정하기 위해 R_P 를 튜닝하였다. 수정전의 값과 수정 후의 값은 표 1에 나타내었다. 설계된 loop filter의 R_P , C_P , C_1 값이 참고문헌 [2]와 동일한 값을 가지고 있음을 확인하였다. 사용한 회로의 구성품은 표 2에 나타내었다.

표 1. PM값을 조절하기 위한 R_P 값의 튜닝
Table 1. Tuning of R_P to get proper PM.

	R_P (Ω)	C_P (nF)	ζ	ω_n (rad/s)	ω_P (rad/s)	PM (°)
Case 1	4,183	10	0.707	33,800	52,524	54.2
Case 2	3,160	10	0.534	33,800	44,361	47

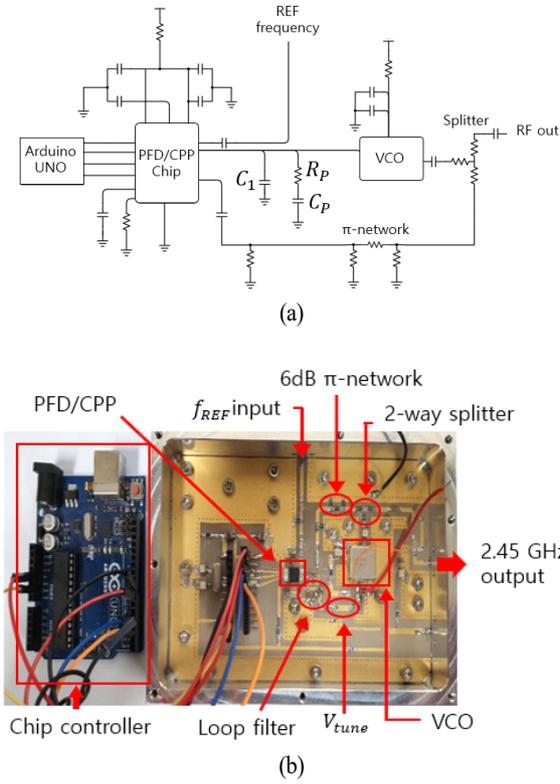


그림 2. (a) 제작한 회로도, (b) 제작 사진
 Fig. 2. (a) Whole schematic, (b) Photograph of fabrication.

표 2. 회로 구성품과 소자값
 Table 2. Circuit components and device value.

Purpose (manufacturer, model)	Parameter
Programmable PFD/CPP frequency divider (Analog Device, ADF4113)	R=50 N=12,250 $I_P=2.5 \text{ mA}$
Reference frequency (ConnorWinfield, OH100-61003CF)	$f_{REF} = 10 \text{ MHz}$
VCO (Z-communication, V800ME11)	$\frac{K_{VCO}}{2\pi} = 56 \text{ MHz/V}$ Load impedance =50Ω
Chip controller, processor (Various Developers, Arduino UNO R3)	Manual-[10]

컨트롤러(Arduino UNO R3)를 핀의 크기가 매우 작은 PFD/CPP 칩(ADF 4113)과 연결하기 위해 소켓과 점프선을 이용하였다. 전체 회로에 전원이 공급되면 컨트롤러에 입력된 코드에 의해 PFD/CPP의 비교 주파수 및 분배비 (N, R)와 칩의 동작모드가 설정된다. 기준 주파수로는 10 MHz를 사용하기 때문에 비교 주파수에 맞추기 위하여 R은 50(그림 1(a))으로 설정하였다. VCO를 PLL회로 없이 따로 동작시킬 수 있도록 VCO의 전원공급라인은 따로 점프선으로 연결하였다. V_{tune} 라인에도 점프선을 연결하여 V_{tune} 에 적절한 전압을 따로 공급하거나 오실로스코프로 V_{tune} 을 관측할 수 있게 하였다. VCO의 출력은 전력분배기를 통해 두 갈래로 분배되며, 전력분배기는 6.2 dB T-network를 이용하여 설계하였다. 나누어진 출력은 각각 RF 출력단과 PFD/CPP 칩의 PFD단으로 연결된다. 한편, PFD단의 입력 파워 제한을 고려하여 PFD의 입력단에 6 dB π -attenuator를 추가로 연결하였다.

IV. 실험

PLL 회로는 끄고 VCO만 따로 동작시켰을 때와 PLL을 함께 동작시켰을 때의 Spectrum과 Phase noise를 그림 3과 표 3에 나타내었다. VCO만 따로 동작시켰을 때, V_{tune} 은 1.95 V를 인가하였다. PLL 회로를 동작시키지 않았을 때, 스펙트럼의 피크점이 2.45 GHz에서 머물지 않고 종종 흔들리는 모습을 관측할 수 있었다. PLL을 동작시켰을 때, 이러한 주파수 불안정성이 없어지는 것을 확인하였다(그림 3(a)). Phase noise는 PLL이 없을 경우, 10 kHz offset과 150 kHz offset에서 각각 -57 dBc/Hz와 -52 dBc/Hz가 되었다. 반면에 PLL이 있을 경우, phase noise가 각각 22 dB와 58 dB가 감소된 -79 dBc/Hz, -110 dBc/Hz가 되었다. 따라서 PLL을 걸어주었을 경우, 주파수 안정성이 개선됨을 확인할 수 있다.

PLL 회로를 가동했을 때, lock 상태에 진입하지 않은 초기 상태에서는 출력주파수의 변동 폭이 크다. 시간이 지나면서 이러한 주파수 변동 폭은 점점 줄어들고, 주파수 및 위상 오차가 0에 가까워진다. 이러한 변동 폭과 안정화 되는데 걸리는 시간은 ζ, ω_n 값에 크게 의존한다. 주파수 변동 폭의 감쇠되는 정도는 $e^{-\omega_n \zeta t}$ 의 그래프를 따라

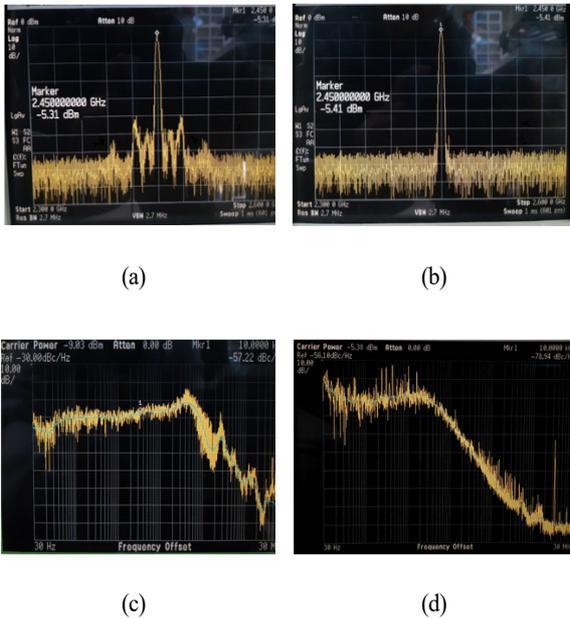


그림 3. (a) VCO의 스펙트럼, (b) PLL을 걸어준 VCO의 스펙트럼, (c) VCO의 phase noise, (d) PLL을 걸어준 VCO의 Phase Noise
 Fig. 3. (a) Spectrum of VCO, (b) Spectrum of VCO with PLL, (c) Phase noise of VCO, (d) Phase noise of VCO with PLL.

표 3. Phase locking을 걸기 전과 후의 phase noise 값
 Table 3. Phase noise of VCO with/without locking.

	Without PLL	With PLL
@ 10 kHz offset	-57 dBc/Hz	-79 dBc/Hz
@ 150 kHz offset	-52 dBc/Hz	-110 dBc/Hz

간다는 것이 알려져 있다. 또한, 초기 주파수 변동의 정도는 ζ 값에 따라 달라지는데 ζ 가 1보다 큰 경우, 출력주파수는 피크점을 찍지 않고 서서히 2.45 GHz에 가까워진다. 이 논문에서는 ζ 를 0.5341로 설계하였기 때문에 주파수 변동은 피크점을 가진다.

$$\begin{aligned} \omega_{out} &= \omega_0 + K_{VCO} V_{tune} \\ &= \omega_0 + \Delta \omega_{out} \end{aligned} \quad (13)$$

$$\Delta \omega_{out} = \Delta \omega \mathcal{L}^{-1}\{H(s)|_{closed}\} u(t) \quad (14)$$

여기서 $\Delta \omega$ 는 주파수 변화량을 의미한다. 식 (13), (14)

를 통해 알 수 있듯이 ω_{out} 의 변동 정도는 V_{tune} 의 변동을 통해 예측 가능하며, V_{tune} 의 시간 축에서의 그래프는 $\mathcal{L}^{-1}\{H(s)|_{closed}\}$ 에 비례한다. 그림 4의 (a)는 MATLAB 프로그램을 통해 $\mathcal{L}^{-1}\{H(s)|_{closed}\}$ 계산 후 plot한 결과이다. 실제로 오실로스코프의 single trigger기능을 통해 V_{tune} 을 관측한 결과는 그림 4의 (b)에 나타내었다. 그림 4의 (a)와 (b)를 보면 알 수 있듯이 그래프의 개형에 대해서 MATLAB을 통해 예측한 모양과 실제 관측한 모양이 거의 동일하게 나타났으며, 각 피크점 간의 간격 또한 약 100 μ s로 거의 동일하게 나타났다. 한편, 그림 4의 (b)에서 튜닝 전압의 최고 전압이 2.45 GHz가 나오는 기준전압보다 약 1V 더 높은 것을 확인할 수 있었다. 이를 식 (13)에 대입하면 f_{out} 의 최고 주파수가 짧은 순간 동안

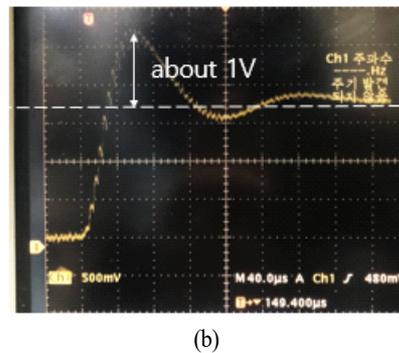
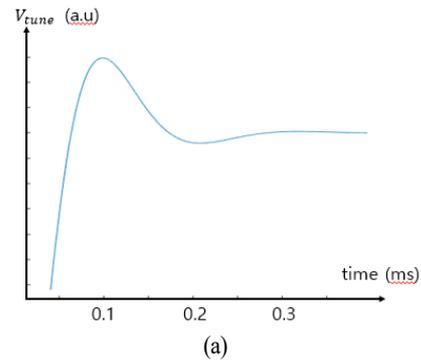


그림 4. (a) MATLAB으로 계산하여 그린 초기 V_{tune} 의 그래프, (b) 오실로스코프로 관측한 초기 V_{tune}
 Fig. 4. (a) Calculation and plot initial damping of V_{tune} using Matlab, (b) Initial damping of V_{tune} measured by oscilloscope.

2.5 GHz까지 올라간다는 것을 알 수 있다. 하지만 출력주파수가 100 μ s 단위의 짧은 시간 동안 변하는 것을 spectrum analyzer를 통해 확인하는 것은 불가능하며, 오실로스코프를 이용하여 관측하기에는 2.5 GHz라는 주파수가 너무 높아 오실로스코프의 sampling rate의 한계 때문에 어려움이 있다. 따라서 VCO의 출력단에 RF 믹서를 연결하여 주파수를 낮춰서 출력단을 오실로스코프와 연결하였으며, LO 주파수는 오실로스코프의 대역폭과 sampling rate을 고려하여 2.4 GHz로 설정하였다. 믹서 출력을 관측한 결과는 그림 5와 표 4에 나타내었다. 이 경우에서도 오실로스코프의 single trigger 기능을 이용하였다. 앞서 예측한 대로 최고 주파수는 2.5 GHz까지 올라갔으며, 시간이 지남에 따라 주파수가 안정화 되는 것을 확인할 수 있었다.

주파수 및 위상 오차는 회로가 phase lock 상태가 된 후

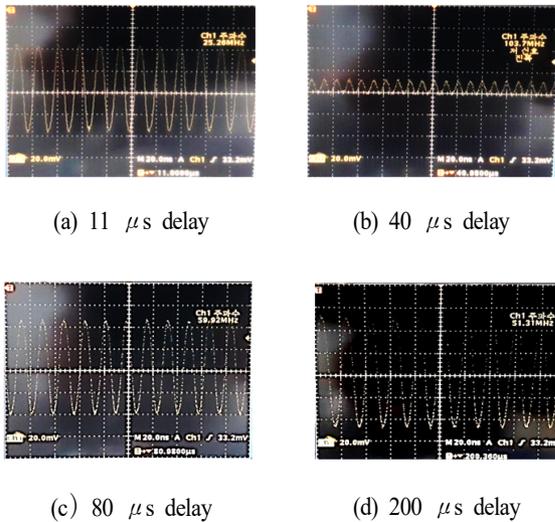


그림 5. 시간에 따른 믹서 출력의 변화
Fig. 5. Change in mixer output over time.

표 4. 시간에 따른 믹서와 VCO의 출력
Fig. 4. Output frequency of Mixer and VCO over time.

	11 μ s	40 μ s	80 μ s	200 μ s
Mixer out(MHz)	25.26	103.7	59.92	51.31
ω_{out} (GHz)	2.425	2.504	2.46	2.451

에도 발생할 수 있다. 주파수의 오차는 비록 그 정도가 미세할지라도 시간이 지남에 따라 큰 위상 오차를 발생시킨다. 이러한 위상 오차가 PFD회로가 인지할 수 있을 정도로 커지면 칩은 전하 펌프 회로를 가동해 V_{tune} 을 조정하고, 위상 및 주파수 오차에 대해 보상한다. 고신뢰성이 요구되는 시스템에서는 작은 위상 오차도 치명적인 요소로 작용할 수 있다. 따라서 설계된 회로에서 이러한 위상 오차가 얼마나 크게 나타나는지 실험 및 관측할 필요가 있다.

앞선 방법에서와 마찬가지로 오실로스코프의 single trigger 기능을 이용하여 lock 상태에서 V_{tune} 에 변화가 일어난 순간을 그림 6에 나타내었다. V_{tune} 의 변화는 출력주파수의 변화를 의미하며, 출력위상과 출력주파수는 미적분 관계를 갖는다. 따라서 위상 오차 $\Delta\phi$ 는 식 (15)에 의해 계산된다.

$$\Delta\phi = \int K_{VCO} V_{tune} dt \tag{15}$$

그림 6에서 V_{tune} 그래프의 모양을 삼각형으로 근사하여 식 (15)을 계산하면 $\Delta\phi$ 는 155,036°가 되며, 이는 2.45 GHz의 출력주파수에 대해 보상해준 위상 오차를 의미한다. 하지만 실제 PFD 칩에서는 200 kHz의 기준 주파수에서 비교하기 때문에 PFD 칩에서 인식한 위상 오차는 N으로 나뉘야 한다. 따라서 비교 주파수 200 kHz에서 계산한 위상 오차값은 12.7°이다.

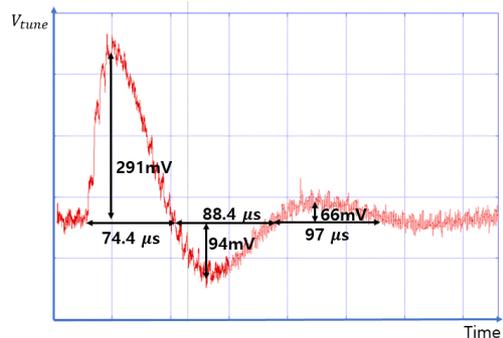


그림 6. Lock 상태에서의 V_{tune} 의 변화 및 위상 보상값 계산 예시 (적분법)
Fig. 6. Damping on V_{tune} after locked and calculation of phase compensated(using integration).

이러한 방법 외에도 보상된 위상값을 예측하는 방법이 있다. 보상된 위상값은 보상이 진행되기 직전의 위상 오차와 같다. 또한, 보상이 시작될 때의 전하 펌프 칩의 스위치가 ON 되는 duty(그림 7)는 위상 오차값에 비례한다. 따라서 스위치의 초기 duty를 확인하면 최종적으로 보상되는 위상값을 계산할 수 있다. 한편, V_{tune} 이 한 번에 얼마나 변동될지는 스위치가 ON 되는 duty에 따라 결정된다. 따라서 V_{tune} 이 초기에 얼마나 변하는지 관측하고, 이를 통해 스위치의 duty를 알아낼 수 있으면 최종적으로 보상되는 위상값을 계산할 수 있다. Duty가 50%가 될 때, 비교 주파수에서의 위상 차이가 180° 가 되기 때문에 $\Delta\phi = 180^\circ \times (\text{duty}/50\%)$ 로 계산할 수 있다.

그림 8의 경우, 초기 V_{tune} 의 변화폭은 92 mV이다. 이 변화폭에 해당하는 스위치의 duty를 찾기 위하여 Cadence사의 PSpice 회로분석 프로그램을 이용하였고, 시뮬레이션의 회로 세팅은 그림 8(a)에 나타내었다. 전류소스의 주기는 $5 \mu\text{s}$ (주파수로는 200 kHz), 전류값은 2.5 mA로 설정하였으며, 전류소스의 PW(펄스폭)을 변화시키며 V_{tune} 을 관측하였다. 시뮬레이션 결과, PW가 $0.124 \mu\text{s}$ 일 때 초기 V_{tune} 의 변화폭이 92 mV가 되는 것을 확인했다(그림 8(b)). 따라서 스위치의 duty는 2.48%가 되며, 위의 $\Delta\phi$ 식에 의해 위상 오차값은 8.93° 로 계산된다. 측정치를 이용해 계산한 값과 시뮬레이션을 통해 계산한 값을 표 5에 정리하였다. 적분 과정을 통해 얻은 값과 PSpice 시뮬레이션을 통해 얻은 값의 오차는 200 kHz와 2.45 GHz 모두 약 29.7%이며, 이는 적분 과정에서의 근사와 튜닝전압의 fluctuation에 의한 것으로 판단된다.

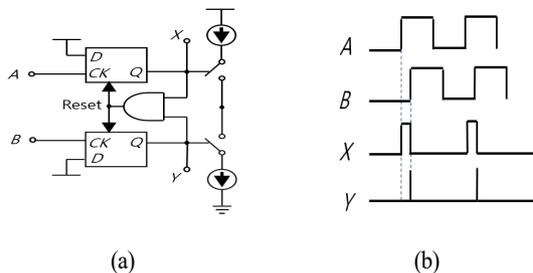


그림 7. (a) 전하펌프 회로도, (b) 위상차와 duty의 연관성
 Fig. 7. (a) Schematic of charge pump circuit, (b) Relationship between phase difference and duty.

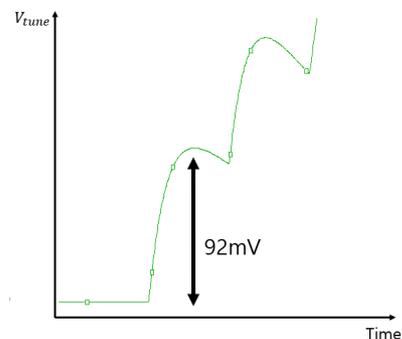
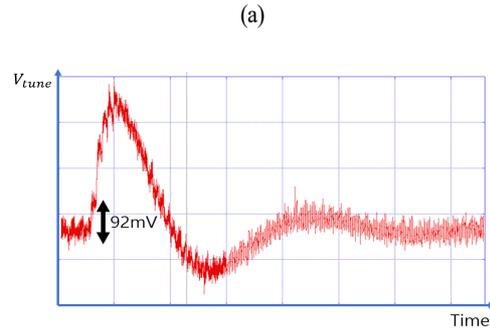
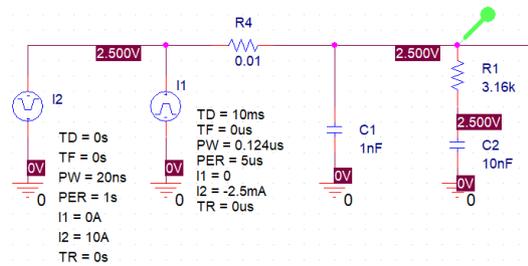


그림 8. (a) PSpice 회로도, (b) lock 상태에서의 V_{tune} 의 변화, (c) 시뮬레이션 결과

Fig. 8. (a) Schematic of PSpice simalon program, (b) damping on V_{tune} after locked, (c) Simulation result.

표 5. 두 가지 방법으로 계산한 위상 보상 값
 Table 5. Compensated value of two different method of calculation.

	@ 200 kHz	@ 2.45 GHz
Integration	12.7°	155,036°
Simulation	8.93°	109,393°

V. 결 론

본 논문에서는 2.45 GHz에서 동작하는 type-II PLL의 설계와 특성실험에 대해 다루었다. 제작결과, VCO에 PLL을 추가하였을 때 phase noise가 10 kHz와 150 kHz offset에서 각각 22 dB, 58 dB가 감소했다. 특성실험에는 PLL의 주파수 및 위상 오차를 확인하기 위해 오실로스코프와 믹서를 사용하였으며, MATLAB, PSpice 프로그램을 통해 결과를 예측 및 검증하였다. PLL 회로를 처음 가동했을 때의 V_{tune} 의 변동에 대해서 MATLAB으로 예측한 결과가 오실로스코프를 통해 확인한 결과와 그래프의 모양이 거의 동일함을 확인하였고, 피크점과의 간격이 100 μ s로 일치했다. 또한, 오실로스코프를 통해 측정된 튜닝 전압의 변화를 통해 출력 주파수의 최고점이 2.5 GHz가 나올 것을 추측하였으며, 믹서를 이용해 최고 2,504 GHz가 나온 것을 확인하였다. Lock이 걸린 상태에서의 위상 오차는 두 가지 방법을 통해 계산하였다. 그림 6의 사례에서의 계산 결과, 200 kHz 기준으로 단순 적분 계산 시 12.7°의 위상 오차가, PSpice 시뮬레이션을 이용하여 계산할 시 8.93°의 위상 오차가 계산되었다. 두 결과를 비교하였을 때 29.7%의 오차가 발생하는데, 이는 적분 과정에서 근사와 튜닝전압의 fluctuation에 의한 것으로 판단된다. 대부분의 PLL 특성 관찰은 spectrum analyzer를 통해 주파수 축에서 이루어진다. 하지만 이 논문에서는 소개한 실험방법을 활용하면 시간 축에서의 응답특성도 동시에 관측할 수 있으며, 상대적으로 저렴한 실험기구로 짧은 시간에 존재하는 Jitter나 위상 오차도 관측할 수 있다는 장점이 있다.

References

- [1] S. Y. Park, Y. R. Heo, J. Y. Kang, D. G. Kim, S. T. Han, and J. J. Choi, "Frequency and phase locking experiments on a 2.45 GHz, magnetron," in *2019 International Vacuum Electronics Conference(IVEC)*, Busan, Apr. 2019, pp. 1-2.
- [2] M. I. Tahir, *Frequency and Phase Locking of a CW Magnetron: with a Digital Phase Locked Loop using Pushing Characteristics*, Lancaster, Lancaster University, 2008.
- [3] B. Yang, T. Mitani, and N. Shinohara, "Experimental study on a 5.8 GHz power-variable phase-controlled magnetron," *IEICE Transactions on Electronics*, vol. E100C, no. 10, pp. 901-907, Oct. 2017.
- [4] I. A. Young, J. K. Greason, and K. L. Wong, "A PLL clock generator with 5 to 110 MHz of lock range for microprocessors," *IEEE Journal of Solid-State Circuits*, vol. 27, no. 11, pp. 1599-1607, Nov. 1992.
- [5] W. Rhee, "Design of low-jitter 1-GHz phase-locked loops for digital clock generation," in *1999 IEEE International Symposium on Circuits and Systems(ISCAS)*, Orlando, FL, Aug. 1999, pp. 520-523.
- [6] B. J. Park, D. C. Park, "Design and fabrication of 0.5~4 GHz low phase noise frequency synthesizer," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 26, no. 3, pp. 333-341, Mar. 2015.
- [7] H. R. Cho, J. S. Choi, "The effect on phase noise from PLL frequency synthesizer," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 12, no. 6, pp. 865-870, Oct. 2001.
- [8] Y. K. Kim, J. W. Choi, and H. G. Kim, "The analysis of characteristics for digital PLL control," in *Proceedings of the KIPE Conference*, Jul. 2003, pp. 548-553.
- [9] B. Razavi, *Design of Analog CMOS Integrated Circuits*, New York, NY, McGraw Hill, pp. 532-577, 2000.
- [10] Arduino, "UnoR3 Manual," 2013. Available: <http://www.arduino.cc>

김 현 진 [광운대학교/학사과정]

<https://orcid.org/0000-0001-5930-1332>



2017년 3월~현재: 광운대학교 전자융합
공학과 재학
[주 관심분야] PLL, RF 회로 설계, 고출력
증폭기 등

이 윤 수 [광운대학교/학사과정]

<https://orcid.org/0000-0001-6753-2595>



2015년 3월~현재: 광운대학교 전자융합
공학과 재학
[주 관심분야] 전력 결합기, 고출력 증폭
기, RF 회로설계 등

허 예 림 [광운대학교/석사과정]

<https://orcid.org/0000-0002-0811-7276>



2019년 2월: 광운대학교 전자융합공학과
(공학사)
2019년 2월~현재: 광운대학교 전자융합
공학과 석사과정
[주 관심분야] 고출력 증폭기, RF 회로설
계 등

최 진 주 [광운대학교/교수]

<https://orcid.org/0000-0002-8016-7841>



1983년 8월: 서울대학교 물리교육학과 (이
학사)
1985년 8월: 미국 Georgia State University
물리학과 (이학석사)
1991년 8월: 미국 University of Michigan
핵공학과 (공학박사)
1991년 5월~1997년 8월: 미국 해군연구
소 (NRL) 연구원

1997년 9월~현재: 광운대학교 전자융합공학과 교수
[주 관심분야] RF 회로 설계, 고출력 증폭기, Vacuum Tube
Amplifier 등