

E-대역 본드와이어 모델링 및 정합회로 설계

E-Band Bond-Wire Modeling and Matching Network Design

김기목 · 강현욱 · 이우석 · 최두현* · 양영구

Kimok Kim · Hyunuk Kang · Wooseok Lee · Doohun Choi* · Youngoo Yang

요 약

본 논문에서는 E-대역에서 본드와이어의 기생성분을 예측하고, 그에 따른 전송손실을 줄이기 위한 정합회로를 설계하였다. 본드와이어의 임피던스는 3D EM 시뮬레이션을 통해 예측하였고, 정합회로는 간단한 구조로 구성하여 공간 활용 및 시스템 적용에 용이하도록 하였다. 설계된 정합회로는 WR-12 규격의 도파관 기구와 71~86 GHz의 사용주파수를 갖는 상용 LNA 소자에 적용하였다. 정합회로는 시스템의 전달계수를 최대 4.5 dB, 전력 이득은 최대 3.12 dB, P_{1dB} 를 최대 2.2 dB 증가시켰으며 이득 평탄도를 ± 1.07 dB 개선시켰다.

Abstract

In this paper, we present E-band bond-wire modeling and a matching network to compensate for the effect of the bond-wire. The impedance of the bond-wires is extracted using three-dimensional electromagnetic simulation. The matching network was designed using a simple structure. The implemented matching network was verified with a commercial 71~81 GHz LNA IC and an interconnection based on the WR-12 waveguide. The matching network increases the transmission coefficient of the system by up to 4.5 dB, power gain by up to 3.12 dB, P_{1dB} by up to 2.2 dB, and improves the gain flatness by ± 1.07 dB.

Key words: E-Band, Bondwire, Matching Network, Millimeter Wave System

I. 서 론

최근 차량용 77 GHz 충돌방지 레이더 시스템과 5세대 이동통신용 backhaul 등의 수요 증대로 E-대역에서 활발한 연구가 진행되고 있다^{[1]~[5]}. E-대역 시스템 설계 시 RF 소자의 패키지 기생성분에 의한 영향이 매우 커 bare die와 PCB(printed circuit board) 간의 직접연결이 필요하며, 일반적으로 본드와이어와 플립 칩 기술을 이용한다. 플립 칩 기술을 이용하면 칩과 전송선로를 연결할 때에 발생

하는 기생성분을 최소화할 수 있지만 상대적으로 비싸고 어려운 공정이 필요하다^[6]. 반면에 본드와이어는 플립 칩 기술에 비해 큰 기생성분을 갖는 대신 저렴하고 쉬운 공정으로 양산이 용이하다는 장점이 있다. 따라서 늘어가는 E-대역의 수요를 충족하기 위해서는 시스템 설계에 본드와이어의 활용이 불가피하다.

본드와이어의 기생성분은 일반적으로 일정한 값을 갖는 인덕터 또는 R-L-C 네트워크로 모델링되어 설계에 반영된다^{[7],[8]}. E-대역에서는 본드와이어의 인덕턴스가 주파

「이 연구는 중소기업청에서 지원하는 2015년도 산학협력 기술개발사업(기업부설연구소 신규설치)(No. C0267344)의 결과물임.」

성균관대학교 정보통신대학(School of Information and Communication Engineering, Sungkyunkwan University)

*(주)아이유플러스(iU Plus Co., Ltd.)

· Manuscript received November 30, 2017 ; Revised January 3, 2018 ; Accepted May 23, 2018. (ID No. 20171130-08S)

· Corresponding Author: Youngoo Yang (e-mail: yang09@skku.edu)

수가 증가함에 따라 급격히 증가하여 간단한 구조로 모델링하는데 어려움이 있다. 고주파수 대역에서 증가한 본드와이어의 인덕턴스는 전력이득과 출력전력을 감소시키고, 주파수에 대한 전력이득 평탄도에 악영향을 미친다^[6]. 따라서 E-대역 시스템 설계 시에는 본드와이어의 기생성분을 보상해 주기 위한 정합회로가 필요하다^{[9],[10]}.

본 논문에서는 E-대역에서 본드와이어의 기생성분을 3D EM(electromagnetic) 시뮬레이션을 통해 정확하게 예측, 모델링하고, 이를 보상해 줄 수 있는 정합회로를 설계하였다. 정합회로는 최대한 간단한 구조로 구성하여 시스템 적용에 용이하도록 하였고, 상용 광대역 LNA(low noise amplifier)와 설계한 WR-12 도파관 모듈을 이용하여 검증하였다.

II. 본드와이어 모델링

그림 1은 Ansys사의 HFSS(High Frequency Structure Simulator) 3D EM 시뮬레이션을 통해 구성한 본드와이어를 나타낸다. 정확성을 위하여 RF 소자의 signal 패드, 접지 패드와 via, 그리고 정합회로의 일부까지 본드와이어와 함께 구성하였다. 모델링된 본드와이어는 실제 제작가능하며, 본드와이어 인덕턴스를 최소화하는 구조로 구성하였다. 반지름 1 mil의 본드와이어 2개를 병렬 연결하여 인덕턴스를 줄이고, 두 본드와이어가 V자의 형태를 이루게 하여 상호 인덕턴스를 최소화하였다^[11]. RF 패드와 정합회로까지의 간격은 100 μm , 본드와이어는 길이 200 μm , 높이 60 μm 로 구성하였다.

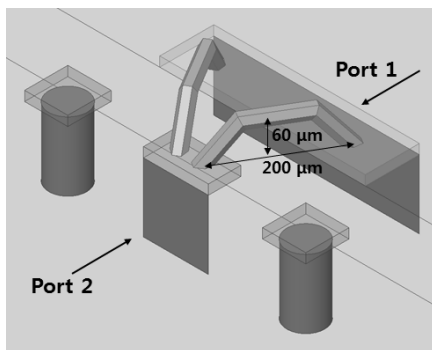
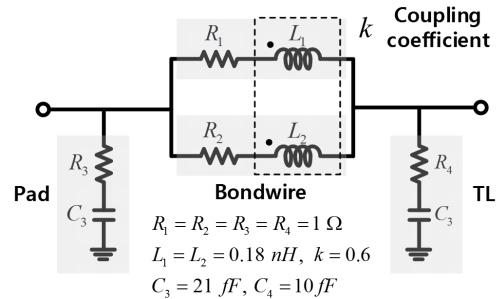
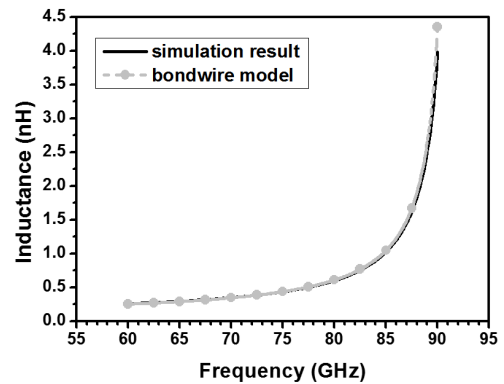


그림 1. 3D EM 시뮬레이션을 위한 본드와이어의 구조
Fig. 1. Structure of bondwire for 3D EM simulation.

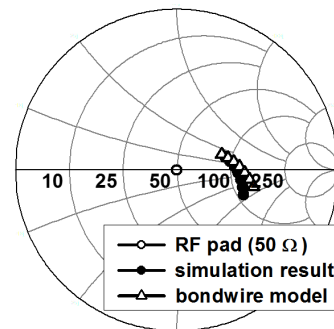
구성한 본드와이어의 3D EM 시뮬레이션 결과와 그 결과를 바탕으로 모델링한 본드와이어에 대한 시뮬레이션 결과를 그림 2에 나타내었다. 그림 2(a)는 3D EM 시뮬레이션 결과의 등가회로 모델과 각 소자들의 값을 나타낸다.



(a) 본드와이어 등가회로 모델
(a) Equivalent circuit model of bondwire



(b) 주파수에 따른 본드와이어의 인덕턴스
(b) Inductance of bondwire according to frequency



(c) 본드와이어 모델에 의한 임피던스 변화
(c) Impedance variation by bondwire model

그림 2. 본드와이어 모델 시뮬레이션 결과
Fig. 2. Simulation result of bondwire model.

두 개의 본드와이어를 각각 RL로 모델링하고 결합계수를 k 로 나타내었다. 본드와이어가 연결되는 패드와 전송선로의 성분은 shunt RC로 모델링하였다. 본드와이어와 패드, 전송선로가 이루는 구조와 RLC 성분에 의해 그림 2(b)와 같이 등가의 인덕턴스가 급격히 증가한다. 모델링된 등가의 인덕턴스는 60 GHz에서 0.26 nH, 90 GHz에서 4.0 nH로 주파수에 따라 급격하게 증가한다. 3D EM 시뮬레이션과 본드와이어 모델에 의한 임피던스 변화는 그림 2(c)에 나타내었다. 50 Ω 의 RF signal 패드의 임피던스가 본드와이어에 의해 100 Ω 근처에서 주파수에 따라 넓게 형성되었다.

III. 정합회로 설계 및 시뮬레이션

그림 3은 설계된 정합회로와 본드와이어, RF 소자, 그리고 50 Ω 의 마이크로스트립라인을 나타내었다. 정합회로의 설계는 Keysight사의 ADS(Advanced Design System) Momentum tool을 이용한 EM 시뮬레이션을 이용하였다. 본드와이어에 의해 100 Ω 근처에서 형성된 임피던스를 50 Ω 으로 정합하기 위해 E-대역의 중심주파수 75 GHz에서 70.7 Ω , $\lambda/4$ 길이의 마이크로스트립라인을 이용하여 정합회로를 설계하였다.

그림 4는 정합회로가 포함되지 않은 회로와 70.7 Ω 의 $\lambda/4$ 길이의 마이크로스트립라인을 이용한 정합회로가 포함된 회로, 그리고 그를 바탕으로 최적화된 정합회로가 포함된 회로의 시뮬레이션 결과이다. 그림 4(a)를 보면 70.7 Ω 의 $\lambda/4$ 길이의 마이크로스트립라인을 이용한 정합

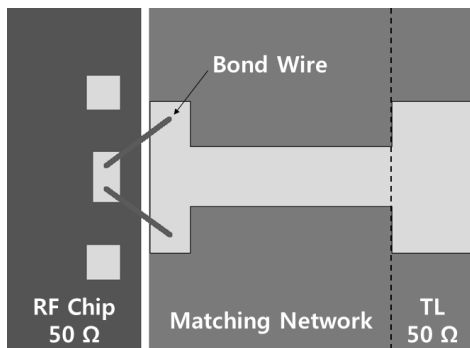
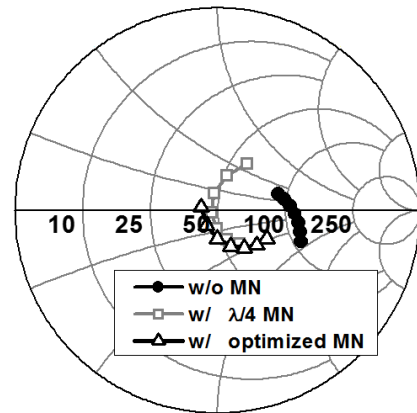


그림 3. 설계된 정합회로

Fig. 3. Designed matching network.

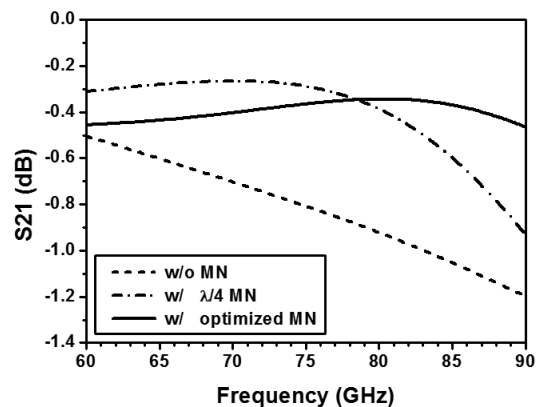
회로는 대역의 중심주파수에서는 50 Ω 으로 정합된다. 그러나 그림 4(b)를 보면 삽입계수가 중심주파수 이후에서 주파수가 증가함에 따라 급격하게 감소한다. 따라서 주파수에 따른 삽입계수의 평탄도를 보완해 주기 위해 정합회로의 두께와 길이를 조절하여 최적화를 진행하였다. 그 결과, 정합회로는 83.1 Ω , $\lambda/6$ 길이를 갖는 마이크로스트립라인으로 최종 설계되었다. 정합회로의 구조를 간단하게 구성하여 시스템 적용이 용이하게 하였다.

최적화된 정합회로를 포함한 회로의 모의실험 결과를 그림 4(b)에 나타내었다. 최적화된 정합회로는 전체 대역에서 전달계수를 최소 0.1 dB, 최대 0.7 dB 증가시켰다.



(a) 정합회로에 따른 반사계수

(a) Reflection coefficient by matching network



(b) 정합회로에 따른 전달계수

(b) Transmission coefficient by matching network

그림 4. 설계된 정합회로의 시뮬레이션 결과

Fig. 4. Simulation result of the designed matching network.

평탄도는 ± 0.25 dB에서 ± 0.12 dB로 개선되었다.

IV. 제작 및 검증

정합회로의 설계와 제작은 Taconic사의 유전율(ϵ_r) 2.2, 5 mil 두께의 TLY-5 기판으로 구성하였다. 그림 5는 실제 제작된 정합회로를 나타낸다. 제작된 정합회로의 검증은 UMS사의 71 GHz에서 86 GHz의 동작주파수를 갖는 GaAs MMIC(Gallium Arsenide Monolithic Microwave IC) 광대역 LNA CHA2080-98F와 도파관 모듈, 그리고 마이크로스트립-도파관 변환기^[12]를 이용하여 검증하였다. 그림 6은 설계된 정합회로를 검증하기 위해 조립된 RF 시스템을 나타낸다. LNA의 입출력과 PCB와의 연결은 본드와이어 모델과 같이 V자 형태의 이중본딩을 이용하였고, 각각 설계된 정합회로를 적용하였다. 도파관 모듈은 60~90 GHz의 사용주파수를 갖는 WR-12 규격으로 설계하여 사용하였고, 마이크로스트립라인과의 연결은 마이크로스트립-도파관 변환기를 이용하였다.

그림 7은 정합회로를 적용하지 않은 시스템과 정합회로를 적용한 시스템 각각의 측정결과를 나타낸다. 그림 7(a)는 시스템의 S -parameter 측정결과를 나타낸다. 정합회로는 전달계수를 86 GHz에서 4.5 dB 증가시켰고, 71~72 GHz 대역의 성능 감소를 개선시켰으며, 전달계수 평탄도를 향상시켰다. 전력이득과 P_{1dB} 의 측정결과는 그림 7(b)에 나타내었다. 정합회로는 시스템의 전력이득을 최대 3.12 dB(평균 1.2 dB) 증가시켰고, P_{1dB} 를 최대 4.2 dB(평균 1 dB) 증가시켰다. 정합회로는 본드와이어에 의한 고주파 대역에서의 성능 감소를 개선시켜 시스템 평탄도를 ± 1.91 dB에서 ± 0.84 dB로 ± 1.07 dB 상승시켰다. 측정된 정합회

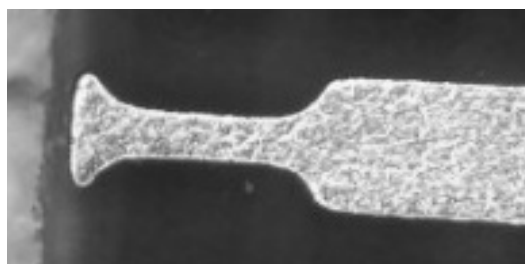
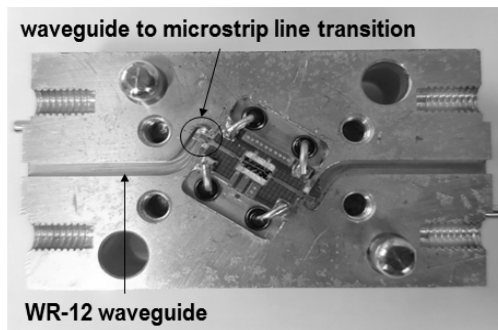
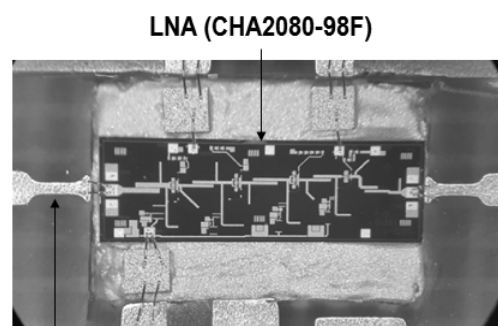


그림 5. 제작된 정합회로 사진
Fig. 5. Photograph of implemented matching network.



(a) 제작된 도파관 모듈 사진
(a) Photograph of implemented waveguide module



(b) LNA의 본드와이어를 보상하는 정합회로 사진
(b) Photograph of matching network compensating LNA bondwire

그림 6. 정합회로 검증을 위한 시스템
Fig. 6. System for matching network verification.

로의 성능을 요약하여 표 1에 나타내었다.

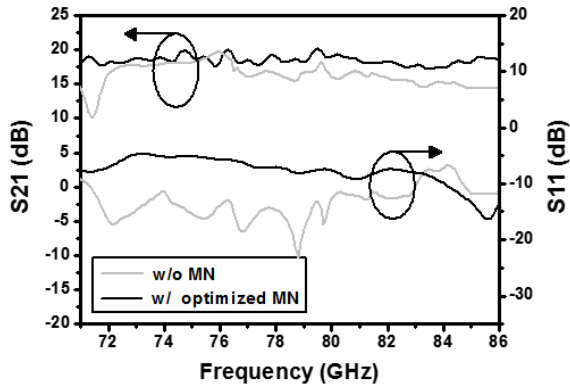
V. 결 론

본 논문에서는 E-대역에서 본드와이어의 기생성분을 3D EM 시뮬레이션을 통해 정확하게 예측, 모델링하였으

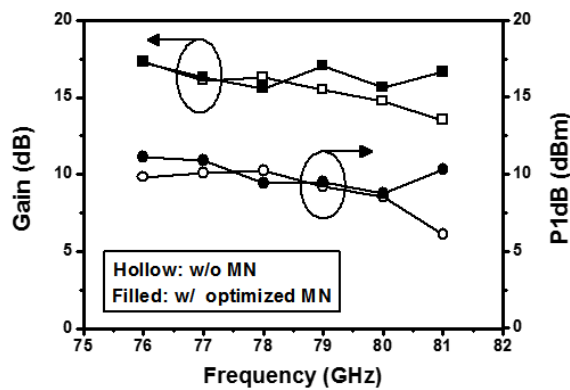
표 1. 정합회로 성능 요약

Table 1. Summary of matching network performance.

Improvement points	Transmission coefficient [dB]	Gain [dB]	P_{1dB} [dBm]	Gain flatness [dB]
Average improvement	-	1.2	1	± 1.07
Maximum improvement	4.5	3.12	2.2	-



(a) 전달계수 및 반사계수
(a) Transmission coefficient and reflection coefficient



(b) 전력이득 및 P_{1dB}
(b) Gain and P_{1dB}

그림 7. 측정 결과

Fig. 7. Measured performances.

며 이를 이용하여 정합회로를 설계하고 최적화하였다. 설계된 정합회로는 상용 LNA와 설계한 WR-12 도파관 모듈을 이용하여 시스템을 구성하고 검증하였다.

설계된 정합회로는 크기가 작고 간단한 구조로 83.1Ω , $\lambda/6$ 길이를 갖는 마이크로스트립라인으로 이루어져 시스템 적용이 용이하다. 제안된 정합회로는 본드와이어에 의해 100Ω 근처에서 형성된 상용소자의 입출력 임피던스를 50Ω 으로 정합한다. 이를 통해 시스템의 전달계수를 86 GHz 에서 최대 4.5 dB , 전력 이득은 최대 3.12 dB (평균 1.2 dB) 증가시켰고, P_{1dB} 를 최대 2.2 dB (평균 1 dB) 증가시켰으며, 고주파수대역에서의 성능 상승을 통해 시스템의 이득 평탄도를 $\pm 1.07 \text{ dB}$ 개선시켰다.

References

- [1] B. Dehlink, H. D. Wohlmuth, H. P. Forstner, H. Knapp, S. Trotta, and K. Aufinger, et al., "A highly linear SiGe double-balanced mixer for 77 GHz automotive radar applications," in *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, San Francisco, CA, 2006, p. 4.
- [2] I. Kallfass, G. Eren, R. Weber, S. Wagner, D. Schwantuschke, and R. Quay, et al., "High linearity active GaN-HEMT down-converter MMIC for E-band radar applications," in *2014 9th European Microwave Integrated Circuit Conference*, Rome, Oct. 2014, pp. 128-131.
- [3] J. Hasch, E. Topak, R. Schnabel, T. Zwick, R. Weigel, and C. Waldschmidt, "Millimeter-wave technology for automotive radar sensors in the 77 GHz frequency band," in *2014 9th European Microwave Integrated Circuit Conference*, Rome, Mar. 2012, pp. 128-131.
- [4] U. Pfeiffer, D. Goren, "A 23-dBm 60-GHz distributed active transformer in a silicon process technology," *IEEE Transactions on Microwave Theory and Techniques*, vol. 55, no. 5, pp. 857-865, May 2007.
- [5] D. Zhao, S. Kulkarni, and P. Reynaert, "A 60-GHz outphasing transmitter in 40-nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 47, no. 12, pp. 3172-3183, Dec. 2012.
- [6] Y. Zhang, D. Zhao, and P. Reynaert, "A flip-chip packaging design with waveguide output on single-layer alumina board for E-band applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 4, pp. 1255-1264, Mar. 2016.
- [7] A. Sutono, N. G. Cafaro, J. Laskar, and M. M. Tentzeris, "Experimental modeling, repeatability investigation and optimization of microwave bond wire interconnects," *IEEE Transactions on Advanced Packaging*, vol. 24, no. 4, pp. 595-603, Nov. 2001.
- [8] F. Alimenti, P. Mezzanotte, L. Roelli, and R. Sorrentino, "An equivalent circuit for the double bonding wire interconnection," in *1999 IEEE MTT-S International Microwave Symposium Digest (Cat. No. 99CH36282)*, Anaheim,

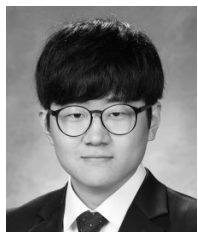
CA, USA, Aug. 1999, vol. 2, pp. 633-636.

- [9] B. LaMeres, S. P. Khatri, "Broadband impedance matching for inductive interconnect in VLSI packages," in *2005 International Conference on Computer Design*, Oct. 2005, pp. 683-688.
- [10] B. B. Adela, P. van Zeijl, and A. B. Smolders, "Bond-wire impedance compensation using a series transmission line section," in *2016 10th European Conference on Anten-*

nas and Propagation(EuCAP), Davos, Apr. 2016, pp. 1-4.

- [11] S. K. Yun, H. Y. Lee, "Parasitic impedance analysis of double bonding wires for high-frequency integrated circuit packaging," *IEEE Microwave and Guided Wave Letters*, vol. 5, no. 9, pp. 296-298, Sep. 1995.
- [12] 김민석, 강현욱, 김기목, 최두현, 양영구, "E-평면 프로브를 이용한 E-대역 마이크로스트립-도파관 변환기 설계," 한국전자과학회 종합학술대회 논문집, 2016년 12월.

김 기 목



2017년 2월: 성균관대학교 전자전기공학부 (공학사)
2017년 3월~현재: 성균관대학교 전자전기 컴퓨터공학과 석사과정
[주 관심분야] RF Power Amplifier Design, Automotive Radar Transceiver Design, Passive Circuit

최 두 현



1985년 2월: 서강대학교 전자공학과 (공학사)
1987년 2월: 서강대학교 전자공학과 (공학석사)
2009년 2월: 중앙대학교 전자전기공학부 (공학박사)
2012년 1월~현재: (주)아이유플러스 대표이사
2015년 1월~현재: 서강대학교 겸임교수
[주 관심분야] Microwave, RF Power Amplifier, Radar Sensor 등

강 현 욱



2014년 2월: 목포해양대학교 전자공학과 (공학사)
2014년 3월~현재: 성균관대학교 전자전기 컴퓨터공학과 박사과정
[주 관심분야] High-Efficiency RF Power Amplifier, Broadband and Linearization Techniques

양 영 구



1997년 2월: 한양대학교 전자공학과 (공학사)
2002년 2월: 포항공과대학교 전자전기공학과 (공학박사)
2002년 3월~2002년 7월: 포항공과대학교 전자전기공학과 박사후 연구원
2002년 8월~2005년 2월: Skyworks Solutions Inc., Senior Electronic Engineer
2005년 3월~현재: 성균관대학교 정보통신공학부 교수
[주 관심분야] 초고주파 회로설계, 무선통신 송/수신기 시스템 설계, 비선형 회로 분석 및 시뮬레이션 기법 연구

이 우 석



2014년 2월: 충남대학교 전자공학과 (공학사)
2014년 3월~현재: 성균관대학교 전자전기 컴퓨터공학과 박사과정
[주 관심분야] High-Efficiency RF Power Amplifier, Broadband Power Amplifier and Passive Circuit