

65-nm CMOS 공정을 이용한 94 GHz 고이득 차동 저잡음 증폭기 설계

Design of 94-GHz High-Gain Differential Low-Noise Amplifier Using 65-nm CMOS

서현우 · 박재현 · 김준성 · 김병성

Hyun-woo Seo · Jae-hyun Park · Jun-seong Kim · Byung-sung Kim

요 약

본 논문은 65-nm 저전력 CMOS 공정을 이용해 94 GHz 대역 저잡음 증폭기를 설계한 결과를 제시한다. 설계한 저잡음 증폭기는 4단 차동 공통소스 구조를 가지며, 트랜스포머를 사용해 각 단 및 입출력 임피던스 정합 회로를 구성했다. 제작한 저잡음 증폭기는 94 GHz에서 최대 전력 이득 25 dB을 보이며, 3-dB 대역폭은 5.5 GHz이다. 제작한 칩의 면적은 패드를 포함해 0.3 mm²이며, 1.2 V 공급 전원에서 46 mW의 전력을 소비한다.

Abstract

Herein, a 94-GHz low-noise amplifier (LNA) using the 65-nm CMOS process is presented. The LNA is composed of a four-stage differential common-source amplifier and impedance matching is accomplished with transformers. The fabricated LNA chip shows a peak gain of 25 dB at 94 GHz and has a 3-dB bandwidth at 5.5 GHz. The chip consumes 46 mW of DC power from a 1.2-V supply, and the total chip area, including the pads, is 0.3 mm².

Key words: Low Noise Amplifier, CMOS, W-Band

I. 서 론

94 GHz 대역은 비허가 대역으로 지정되어 있으며, 낮은 밀리미터파 주파수 대역에 비해 짧은 파장으로 인해 시스템의 소형화 및 경량화에 유리한 이점을 가진다. 최근 CMOS 공정의 발전으로 94 GHz 대역 레이다 송수신기를 실리콘 칩 상에 구현하는 것이 가능해짐에 따라 관련 연구가 활발히 이루어지고 있다^[1].

FMCW 레이다는 펄스 레이다에 비해 해상도가 낮고

전력 소모가 크지만, 밀리미터파 대역에서 하드웨어 구현이 용이해 다양한 용도로 사용되고 있다. FMCW 레이다는 타겟에 반사되어 돌아오는 신호와 LO 신호의 비트 주파수를 이용하므로, 낮은 주파수의 기저대역 신호를 가진다. 따라서 신호 대 잡음비에 주파수 혼합기와 기저대역 회로들의 플리커 잡음이 큰 영향을 끼치게 되며, 이를 억제하기 위해 저잡음 증폭기가 높은 이득을 가지는 것이 중요하다.

본 논문에서는 65-nm CMOS 공정을 사용하여 94 GHz

「이 연구는 삼성전자(Samsung Electronics Co., Ltd)의 지원으로 수행한 연구 결과임.」

성균관대학교 정보통신대학(College of Information & Communication Engineering, Sungkyunkwan University)

· Manuscript received March 12, 2018 ; Revised April 23, 2018 ; Accepted April 30, 2018. (ID No. 20180312-031)

· Corresponding Author: Byung-sung Kim (e-mail: bskimice@skku.edu)

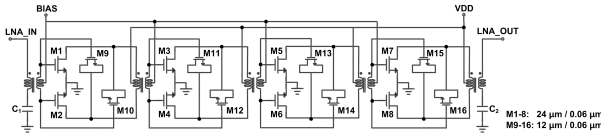


그림 1. 저잡음 증폭기의 회로도

Fig. 1. Schematic of the low noise amplifier.

대역 레이더용 고이득 차동 저잡음 증폭기를 설계한 결과를 제시한다. II장에서는 회로의 설계 내용에 대해 설명하며, III장에서는 시뮬레이션과 측정 결과를, 마지막으로 IV장에서는 결론을 제시한다.

II. 회로 설계

설계한 저잡음 증폭기는 4단 차동 공통소스 구조로 구성된다. 캐스코드 구조는 낮은 주파수 대역에서는 공통소스 구조에 비해 이득이 크고 안정성이 우수하지만, 공통소스단과 공통 게이트단 사이의 기생 커패시턴스에 의해 추가적인 극점을 가지므로 낮은 f_t 를 보인다. 따라서 94 GHz 대역에서는 낮은 이득과 높은 잡음지수를 보여, 공통소스 구조가 저잡음 증폭기 설계에 적합하다. 또한 94 GHz 대역에서 4단으로 20 dB 이상의 이득을 가지도록 하기 위해 커패시턴스 중화 기법을 사용하였다^[2].

2.1 트랜스포머를 이용한 임피던스 정합

트랜스포머를 사용하는 임피던스 정합 회로는 권선비 N , 일차 권선의 총 인덕턴스 L_p , 자기 결합 계수 k 등을 조절하여 단일 트랜스포머로 적은 면적에 정합회로를 구현할 수 있는 장점이 있지만, 회로 해석이 복잡해 설계하는데 어려움이 따른다.

트랜스포머를 이용한 임피던스 정합 회로의 해석에는 그림 2의 단일 트랜스포머 회로 모델^[3]을 사용했다. 일반

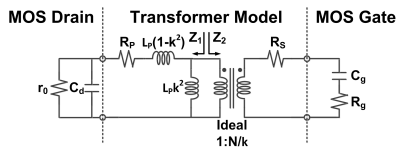


그림 2. 임피던스 매칭을 위한 트랜스포머 모델

Fig. 2. Transformer model for impedance matching.

적으로 MOSFET의 게이트와 드레인의 입력 임피던스는 각각 직렬 RC와 병렬 RC로 모델링할 수 있으며, 그림 2에서 Z_1 과 Z_2 는 각각 다음과 같이 구할 수 있다.

$$Z_1 = \left\{ \left(r_0 \parallel -j \frac{1}{\omega C_d} \right) + R_p + j\omega L_p(1-k^2) \right\} \parallel j\omega L_p k^2 \quad (1)$$

$$Z_2 = \left(\frac{k}{N} \right)^2 \left(R_g - j \frac{1}{\omega C_g} + R_s \right) \quad (2)$$

각 단에서 다음 단으로의 전력 전달을 최대화 하기 위해서는 $Z_1=Z_2^*$ 가 되어야한다. 따라서 트랜스포머의 기생 저항 R_p 와 R_s 가 일정하다고 가정하면, L_p 가 주어졌을 때 요구되는 트랜스포머의 k 와 N 은 식 (3), (4)와 같이 구할 수 있다.

$$k = \frac{\sqrt{[(r_0 + R_p)^2 + (\omega L_p)^2 - 2\omega^2 L_p C_d r_0^2 + (\omega C_d r_0 R_p)^2 + (\omega^2 L_p C_d r_0^2)^2] \times \omega C_g (R_g + R_s)}}{\sqrt{(r_0 + R_p)\omega L_p + \omega^3 L_p C_d^2 r_0^2 R_p + [(\omega L_p)^2 + (\omega^2 L_p C_d r_0)^2 - \omega^2 L_p C_d r_0^2] \times \omega C_g (R_g + R_s)}} \quad (3)$$

$$N = \frac{\sqrt{(R_g + R_s)[(r_0 + R_p - \omega^2 L_p C_d r_0^2) + (\omega L_p + \omega C_d r_0 R_p)^2]}}{\omega^2 L_p k^2 (r_0 + R_p + \omega^2 C_d^2 r_0^2 R_p)} \quad (4)$$

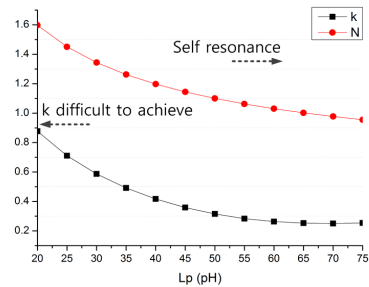


그림 3. 설계한 저잡음 증폭기의 단 간 임피던스 정합을 위해 요구되는 트랜스포머의 권선비 N 과 결합 계수 k

Fig. 3. Turn ratio N and coupling coefficients k of the transformer required for interstage impedance matching of the designed LNA.

바탕으로 각각 모델링했으며, 그 값은 각각 294 Ω , 20 fF와 3 Ω , 21 fF이다. 또한 R_p 와 R_s 는 최상위 금속층과 차상위 금속층을 사용해 초기 설계한 1:1 평행 결합 구조 트랜스포머의 기생 저항 값을 사용했다. 설계한 저잡음 증폭기에서는 초기 설계 구조로 94 GHz 기준 2배 이상의 자기 공명 주파수를 갖는 최대 L_p 값과, 1:1의 권선비로 구현 가능한 k 와 N 값을 고려해 L_p 값을 40 pH로 정하였다.

2.2 저잡음 증폭기 설계

저잡음 증폭기에 사용되는 MOSFET은 충분히 높은 이득과 낮은 잡음지수를 가지도록 크기를 정하는 것이 중요하다. 설계한 증폭기의 MOSFET의 크기는 시뮬레이션을 통해 단일 가지 너비 1 μm 에 총 가지 너비 24 μm 로 정했다. 또한 MOSFET은 전류밀도가 0.15 mA/ μm 근방에서 잡음지수가 가장 낮아지고, 0.2 mA/ μm 근방에서 f_{max} 가 높아지므로^[4], 중화된 차동쌍 한 단의 잡음지수와 이득을 고려하여 증폭기가 최적의 잡음지수를 가지도록 0.18 mA/ μm 로 바이어스를 공급하였다.

공정간 오차에 따른 증폭기의 성능 변화를 최소화하기 위해 MOS 커패시터를 중화 커패시터로 사용했다^[2]. 중화 커패시터의 단일 가지 너비는 MOSFET과 동일하게 했으며, 중화한 차동쌍의 최대 가용 이득이 가장 크도록 가지수를 정하였다.

앞서 구한 식 (3)과 (4)를 바탕으로 임피던스 정합을 위한 트랜스포머들을 설계하였다. 트랜스포머들은 저항성 손실을 최소화하기 위해 최상위 금속층과 차상위 금속층을 사용한 평행 결합 구조로 설계하였다. 단 간 임피던스 정합을 위한 트랜스포머들은 권선 간 간격을 조절하여 임피던스 정합에 필요한 N 과 k 값을 갖도록 설계했으며, 입력 및 출력 임피던스 정합을 위한 트랜스포머는 측정

표 1. 임피던스 정합에 사용된 트랜스포머들의 L_p , k 와 N
Table 1. L_p , k and N of transformers used for impedance matching.

	1st to 2nd & 3rd to 4th	2nd to 3rd
L_p	41 pH	46 pH
k	0.4	0.42
N	1.2	1.2

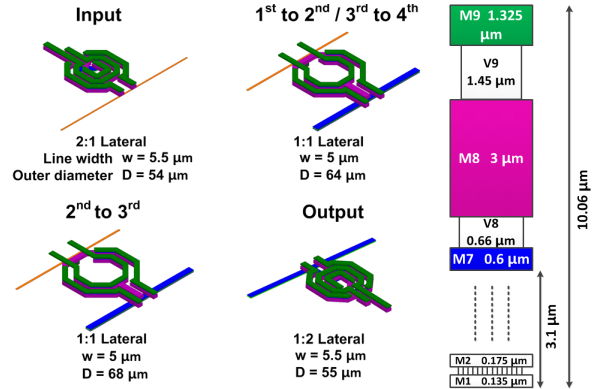


그림 4. 임피던스 정합에 사용된 트랜스포머들과 65-nm 1P9M CMOS 공정의 금속층 정보

Fig. 4. Transformers used for impedance matching and metal layer information of 65-nm 1P9M CMOS process.

장비의 50 Ω 임피던스와 패드의 기생 커패시턴스를 고려하여 각각 1:2과 2:1의 권선비로 설계하였다. 또한 단일 대 차동 변환 시 부조화에 의한 손실을 줄이기 위해 커패시턴스 C_1 , C_2 를 추가했으며^[5], 각 단의 바이어스 전압은 트랜스포머의 센터탭을 이용해 공급하였다.

III. 측정 및 시뮬레이션 결과

설계한 저잡음 증폭기를 65-nm 1P9M CMOS 공정으로 제작한 후, Anritsu 사의 MS4647A 벡터 네트워크분석기를 이용해 온칩 프로빙으로 소신호 특성을 측정했다. 설계한 증폭기는 94 GHz에서 25 dB의 최대 이득과 5.5 GHz의 3-dB 대역폭을 보이며, 시뮬레이션 결과로 얻은 최소 잡음 지수와 입력 P_{IdB} 는 각각 7.9 dB과 -24 dBm이다. 제작한 칩은 패드를 포함해 0.3 mm²의 면적을 가지며, 1.2 V 공급 전압에서 42 mW의 직류 전력을 소모한다. 표 2에서 볼 수 있듯이 설계한 증폭기는 기존에 설계된 W-band 저잡음 증폭기들에 비해, 공통 소스 구조와 집중소자를 이용한 임피던스 정합회로를 사용해 대역폭이 좁지만 높은 이득을 보인다.

IV. 결 론

본 논문에서는 65-nm CMOS 공정을 사용하여 94 GHz 저잡음 증폭기를 설계 및 제작하였다. 저잡음 증폭기는 4단

표 2. 저잡음 증폭기 성능 비교

Table 2. Performance comparison with other works.

Ref.	Process	Type	Peak gain (dB)	Peak gain frequency (GHz)	3-dB BW (GHz)	Noise figure (dB)	P_{IdB} (dBm)	P_{DC} (mW)
[6]	65-nm CMOS	6-stage single-ended cascode	22	84	20	6.8~10.4	-	21
[7]	65-nm CMOS	3-stage single-ended cascode	13.5	82	19	6.4~8.4	-15.1	47
This work	65-nm CMOS	4-stage differential CS	25	94	5.5	7.9~8.7*	-24*	42

* Simulated value

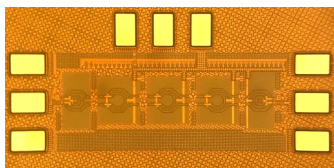


그림 5. 저잡음 증폭기 칩의 현미경 사진

Fig. 5. Chip micrograph of the LNA.

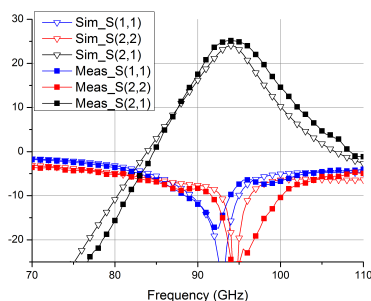


그림 6. 저잡음 증폭기의 S-parameter 측정 결과

Fig. 6. Measurement results of S-parameters of the LNA.

차동 공통소스 구조로 설계하였으며, 트랜스포머를 사용해 임피던스 정합 회로를 구현하였다. 설계한 증폭기는 94 GHz에서 기존의 W-band 저잡음 증폭기들에 비해 높은 최대 이득을 보이며, 94 GHz 대역 레이다 용도로 활용될 수 있을 것으로 기대한다.

References

- [1] P. J. Peng, P. N. Chen, C. Kao, Y. L. Chen, and J. Lee, "A 94 GHz 3D image radar engine with 4TX/4RX beam-forming scan technique in 65 nm CMOS technology," *IEEE Journal of Solid-State Circuits*, vol. 50, no. 3, pp. 656-668, Mar. 2015.
- [2] 김동욱, 서현우, 김준성, 김병성, "65-nm CMOS 공정을 이용한 V-band 차동 저잡음 증폭기 설계," *한국전자과학회논문지*, 28(10), 832-835, 2017년 10월.
- [3] J. R. Long, "Monolithic transformers for silicon RF IC design," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 9, pp. 1368-1382, Sep. 2000.
- [4] T. Yao, M. Gordon, K. Yau, M. T. Yang, and S. P. Voinigescu, "60-GHz PA and LNA in 90-nm RF-CMOS," in *IEEE Radio Frequency Integrated Circuits(RFIC) Symposium*, San Francisco, CA, Jun. 2006, p. 4.
- [5] S. Aloui, E. Kerherve, R. Plana, and D. Belot, "RF-pad, transmission lines and balun optimization for 60 GHz 65 nm CMOS power amplifier," in *2010 IEEE Radio Frequency Integrated Circuits Symposium*, Anaheim, CA, May 2010, pp. 211-214.
- [6] C. J. Lee, H. J. Lee, J. G. Lee, T. H. Jang, and C. S. Park, "A W-band CMOS low power wideband low noise amplifier with 22 dB gain and 3 dB bandwidth of 20 GHz," in *2015 Asia-Pacific Microwave Conference(APMC)*, Nanjing, 2015, pp. 1-3.
- [7] M. Khanpour, K. W. Tang, P. Garcia, and S. P. Voinigescu, "A wideband W-band receiver front-end in 65-nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 43, no. 8, pp. 1717-1730, Aug. 2008.
- [1] P. J. Peng, P. N. Chen, C. Kao, Y. L. Chen, and J. Lee, "A 94 GHz 3D image radar engine with 4TX/4RX beam-