

S-대역 300 W급 GaN HEMT 고조파 튜닝 내부 정합 전력증폭기

S-Band 300-W GaN HEMT Harmonic-Tuned Internally-Matched Power Amplifier

강현석 · 이익준 · 배경태 · 김세일 · 김동욱

Hyun-Seok Kang · Ik-Joon Lee · Kyung-Tae Bae · Seil Kim · Dong-Wook Kim

요 약

본 논문에서는 Wolfspeed사의 CGHV40320D GaN HEMT를 사용하여 LTE 밴드 7 대역에서 동작하는 S-대역 300 W급 내부 정합 전력증폭기를 설계하고 제작하였다. 비선형 모델을 바탕으로 기본주파수 및 고조파에서 소스풀 및 로드풀 시뮬레이션을 수행하여 최적 임피던스를 추출하였고, 세라믹 패키지 내부에 고조파 임피던스를 튜닝한 정합회로가 적용되었다. 비유전율 40의 고유전율 기판과 RF35TC PCB 기판을 사용하여 제작된 내부 정합 전력증폭기는 펄스 주기 1 ms, 듀티 10 %의 펄스 모드 조건에서 전력 성능이 측정되었으며, 2.62~2.69 GHz에서 257~323 W의 최대 출력 전력과 64~71 %의 드레인 효율, 11.5~14.0 dB의 전력 이득을 보였다. LTE 신호 기반의 ACLR 측정에서는 79 W의 평균 출력 전력에서 42~49 %의 드레인 효율을 보였고 2.62 GHz를 제외한 전체 주파수 대역에서 -30 dBc 이하의 성능을 보였다.

Abstract

Herein, an S-band internally-matched power amplifier that shows a power capability of 300 W in a Long Term Evolution(LTE) band 7 is designed and fabricated using a CGHV40320D GaN HEMT from Wolfspeed. Based on the nonlinear model, the optimum source and load impedance are extracted from the source-pull and load-pull simulations at the fundamental and harmonic frequencies, and the harmonic impedance tuning circuits are implemented inside a ceramic package. The internally matched power amplifier, which is fabricated using a thin-film substrate with a high relative permittivity of 40 and an RF35TC PCB substrate, is measured at the pulsed condition with a pulse period of 1 ms and a duty cycle of 10%. The measured results show a maximum output power of 257~323 W, a drain efficiency of 64~71%, and a power gain of 11.5~14.0 dB at 2.62~2.69 GHz. The LTE-based measurement shows a drain efficiency of 42~49% and an ACLR of less than -30 dBc(excluding 2.62 GHz) at an average power of 79 W.

Key words: GaN HEMT, Power Amplifier, Internally Matched, S-Band, Harmonic Tuning

I. 서 론

신호 전송의 품질을 높이면서 광역의 셀 커버리지를 수행하는 셀룰러 이동통신용 기지국에 사용되는 전력증폭기는 고선형성, 고효율, 고출력을 요구하고 있다. 과거

에는 초고주파 대역에서 높은 출력을 낼 수 있는 증폭기로 진행파관 증폭기 또는 마그네트론 등이 사용되었으나, 수 kV에 해당하는 높은 구동 전압과 긴 구동 준비 시간, 큰 부피와 낮은 신뢰성으로 인해 최근에는 반도체 소자 전력증폭기(solid state power amplifier)로 대체되고 있는 추

「이 논문은 2017년도 충남대학교 학술연구과제의 지원을 받아 수행되었음.」

충남대학교 전파공학과(Department of Radio Science and Engineering, Chungnam National University)

· Manuscript received February 6, 2018 ; Revised March 21, 2018 ; Accepted April 3, 2018. (ID No. 20180206-020)

· Corresponding Author: Dong-Wook Kim (e-mail: dwkim21c@cnu.ac.kr)

세이다^[1]. 반도체 소자 전력증폭기에 사용되는 대표적인 능동소자로는 Si Bipolar Junction Transistor(BJT), Laterally Diffused Metal Oxide Semiconductor(LDMOS) Transistor, GaAs Heterojunction Bipolar Transistor(HBT)나 pseudomorphic High Electron Mobility Transistor(pHEMT), GaN High Electron Mobility Transistor(HEMT) 등이 있으며, 그 중에서 높은 항복전압과 고속의 전자 이동 속도, 그리고 우수한 열전도도를 갖는 GaN HEMT는 다른 능동소자들에 비해 보다 높은 주파수에서 우수한 효율과 전력밀도를 제공할 수 있어 많은 연구가 진행되어 왔다^{[2]~[4]}.

본 논문에서는 Wolfspeed사의 CGHV40320D GaN HEMT를 사용하여 패키지 내부의 고조파 정합과 외부의 임피던스 정합을 통해 LTE 기지국용 S-대역 전력증폭기를 설계하고 제작한 결과를 제공한다. 증폭기의 설계를 위해 비선형 트랜지스터 모델을 사용한 기본주파수(f_0) 및 고조파(η_n) 로드풀 시뮬레이션을 수행하였고 기본주파수 및 2차 고조파에서의 최적 임피던스를 추출하였다. 임피던스 정합회로는 박막 공정 및 후막 공정을 사용하여 설계 및 제작되었으며, 세라믹 패키지에 실장 가능하도록 소형의 캐리어에서 조립되었다.

II. GaN HEMT 소자 및 특성

그림 1에 나타난 소자는 Wolfspeed사의 CGHV40320D HEMT 소자이다. 소자의 제원을 표 1에 나타내었다^[5]. HEMT 소자는 6.1 mm×1.1 mm의 크기를 가지며 4 GHz까지의 동작주파수 허용 범위와 150 V의 드레인 항복전압을 가진다. 또한 트랜지스터 기준으로 최대 320 W의 포화 출력 전력, 65 %의 전력부가효율 및 4 GHz에서 19 dB의 선형 이득을 보인다.

설계에 앞서 CGHV40320D HEMT의 모델을 분석하고 Keysight ADS를 통해 소스풀 및 로드풀 시뮬레이션을 수행하였다. 제작된 전력증폭기는 효율 및 선형성을 동시에

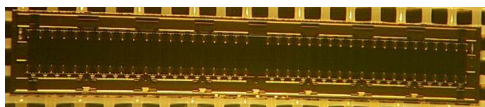


그림 1. Wolfspeed사의 CGHV40320D 소자
Fig. 1. CGHV40320D HEMT.

표 1. CGHV40320D 소자 제원

Table 1. Specifications of CGHV40320D HEMT.

Parameters	Specifications
Operating frequency	DC-4 GHz
Saturated output power	320 W
Power-added efficiency	65 %
Linear gain	19 dB @ 4 GHz
Drain-source voltage	50 V
Size	6.1×1.11×0.1 mm ³

필요로 하는 전력증폭기이므로 AB급 바이어스 조건인 $V_{ds}=50$ V, $I_{ds}=500$ mA($V_{gs}=-2.73$ V)를 기준으로 시뮬레이션을 수행하였으며 소자의 I-V 특성 그래프를 그림 2에 나타내었다. 그림 3은 50 V의 드레인 전압과, -2.73 V의 게이트 전압 조건에서 CGHV40320D의 최대 가용이득과 안정도 지수 k 의 값을 나타내었다. 시뮬레이션 결과 2.65 GHz에서 23.5 dB의 최대 가용이득 및 1 이하의 안정도 지수 k 를 보였다. 따라서 입력단 DC 바이어스 선로에 직렬 저항을 추가하거나 입력 정합회로에 RC 병렬회로를 삽입하는 안정화 작업이 필요함을 알 수 있다.

III. 고조파를 포함한 소스풀 및 로드풀 시뮬레이션

Wolfspeed사의 비선형 등가모델을 사용하여 50 V의 드레인 전압과 -2.73 V의 게이트 전압 조건에서 S-파라미

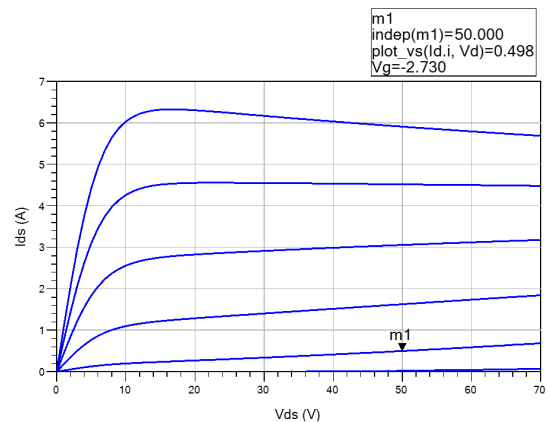


그림 2. CGHV40320D의 DC I-V 특성

Fig. 2. DC I-V characteristics of CGHV40320D HEMT.

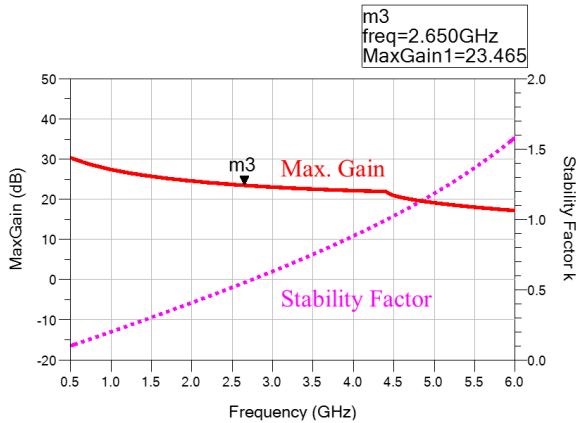


그림 3. CGHV40320D의 최대 가용이득과 안정도 지수 k 의 시뮬레이션 결과

Fig. 3. Simulated maximum available gain and stability factor k of CGHV40320D HEMT.

터를 확인하였으며 이 때 2.65 GHz에서 $0.437-j0.832 \Omega$ 의 입력 임피던스와 $2.183-j4.565 \Omega$ 의 출력 임피던스를 보였다. S-파라미터 시뮬레이션을 통하여 얻어진 입출력 임피던스의 공액 값을 소스풀과 로드풀 시뮬레이션을 위한 초기 값으로 설정하였다.

소스풀 및 로드풀 시뮬레이션은 ADS를 통하여 수행되었으며, 초기 조건으로 게이트 전압 -2.73 V, 드레인 전압 50 V, 주파수 2.65 GHz에서 입력전력 40 dBm의 신호를 사용하였다. 소스풀 시뮬레이션에서는 부하의 임피던스가 고정되며, 소스 임피던스 튜너가 수식에 의해서 설정된 임피던스로 바뀌면서 전력 성능과 효율을 계산한다. 로드풀 시뮬레이션에서는 소스풀 시뮬레이션과는 반대로 소스 임피던스는 고정되며, 부하 임피던스 튜너가 설정된 임피던스로 바뀌며 전력 성능과 효율을 측정한다. 소스풀 및 로드풀 시뮬레이션에서는 각각 고정되어진 소스 및 부하의 임피던스 값에 따라 결과가 다르게 나오게 되므로 소스풀과 로드풀 시뮬레이션을 반복하여 최적 소스와 부하 임피던스를 찾았으며, 그 결과를 그림 4에 나타내었다.

그림 4는 2차와 3차 고조파 소스 및 부하 임피던스가 50 Ω 로 설정된 상태에서 전력부가효율(PAE)과 출력전력(Pdel) 등고선도를 보여주며, 2.65 GHz에서 302 W의 최대 출력 전력과 70 %의 효율 특성을 보였다.

그림 5는 기본주파수에서 최적 소스 및 부하 임피던스

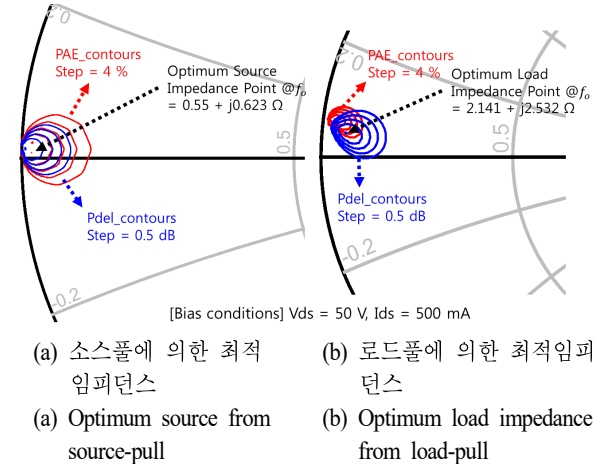


그림 4. 2차와 3차 고조파 소스 및 부하 임피던스가 50 Ω 일 때 기본주파수(2.65 GHz)에서의 임피던스

Fig. 4. Simulations at the fundamental frequency(2.65 GHz) when the source and load impedance are 50 Ω at the second and third harmonic frequencies.

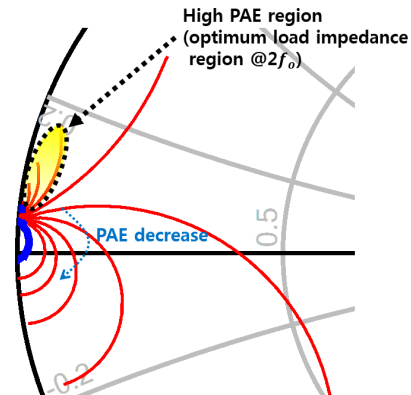


그림 5. 기본주파수의 최적 임피던스 조건이 유지되는 조건에서 2차 고조파 로드풀 시뮬레이션 결과

Fig. 5. Second harmonic load-pull simulation results at the condition that the source and load impedance has the optimum impedance values at the fundamental frequency.

가 유지되는 조건에서 2차 고조파 임피던스의 영향을 평가한 로드풀 결과를 보여준다. 확대된 스미스 차트 그림에서 점선 원에 해당하는 영역이 전력부가효율의 값이 가장 높은 영역이며, 임피던스의 변화에 대해 효율 값의 변화가 적어 드레인의 2차 고조파 최적 임피던스 영역으

로 볼 수 있다. 2차 고조파 부하 임피던스가 점선으로 표시된 최적 임피던스 영역 안의 임피던스로 구현될 때 약 360 W의 최대 출력 전력과 77 %의 효율을 보였다. 따라서 2차 고조파 임피던스를 튜닝할 경우, 전력 성능이 보다 향상됨을 알 수 있다^{[6],[7]}. 본 논문에서는 3차 고조파에 의한 튜닝은 다루지 않았다. 이는 논문에 사용된 소자 CGHV40320D의 유효 동작 주파수 범위가 4 GHz로 낮아 3차 고조파 이상에서는 대신호 출력 및 효율 성능의 향상 정도가 2차 고조파 튜닝의 경우보다 1/2 정도로 작고, 시뮬레이션 결과의 신뢰도도 낮을 것으로 예상되었기 때문이다.

표 2는 소스풀과 로드풀 시뮬레이션을 통해 추출된 기본주파수 및 2차 고조파에서의 최적 임피던스를 나타내고 있으며, 표 3은 2차 고조파 임피던스 튜닝이 포함된 결과와 포함되지 않은 결과의 최대 출력 전력과 전력부가 효율을 비교하고 있다.

IV. 전력증폭기 제작 및 측정

4.1 입출력 정합회로 설계

입출력 정합회로는 2차 고조파 임피던스가 고려된 소

표 2. 기본주파수와 2차 고조파에서의 최적 소스 및 부하 임피던스

Table 2. Optimum source and load impedance at the fundamental and second harmonic frequencies.

Frequency	Source impedance [Ω]	Load impedance [Ω]
Fundamental	$0.550+j0.623$	$2.141+j2.532$
Second harmonic	$0.180+j0.640$	$0.182+j3.690$

표 3. 2차 고조파 임피던스 튜닝이 없는 경우와 있는 경우의 로드풀 시뮬레이션 결과

Table 3. Load-pull simulation results with and without the second harmonic load impedance tuning.

Characteristics	Without the 2 nd harmonic tuning	With the 2 nd harmonic tuning
Maximum output power	302 W	360 W
Power-added efficiency	70 %	77 %

스폴 및 로드폴 시뮬레이션으로부터 추출된 소자의 최적 소스 및 부하 임피던스를 구현하기 위해 패키지 내부의 고조파 입출력 튜닝 회로와 패키지 외부의 기본주파수 정합회로로 구성하였다. 2차 고조파 튜닝 회로를 사용하여 제작된 내부 정합 전력증폭기를 그림 6에 나타내었다.

설계에 사용된 트랜지스터는 내부에 병렬로 8개의 단위 셀을 가지므로 각 셀에 균등한 고조파 튜닝 효과를 주기 위해 8개의 동일한 단위 튜닝 회로를 적용하였다. 단위 입력 튜닝 회로는 와이어 본딩의 인덕턴스를 포함하며 2차 고조파에서 $\lambda/4$ 의 길이를 가지는 높은 임피던스 선로의 개방 스텐브 2개를 사용함으로써 기본주파수에서 병렬 임피던스를 높여준과 동시에 2차 고조파에서는 단락에 가깝도록 설계하였다. 패키지 내부의 공간 크기를 고려하여 설계된 개방 스텐브는 접혀진 형태를 사용하였다. 단위 출력 튜닝 회로는 기본주파수의 임피던스를 외부 정합 시 유리한 임피던스 위치로 보냄과 동시에 2차 고조파에서의 임피던스를 2차 고조파 최적 출력 임피던스 영역에 위치시키도록 낮은 특성임피던스와 높은 특성임피던스의 전송선로가 교번하여 배치되는 계단형 임피던스 변환 회로로 설계되었다. 그림 7은 와이어 본딩 및 박막공정으로 설계된 단위 출력 튜닝 회로에 의한 임피던스 변환을 단계별로 보여주고 있다. 그림 7의 임피던스

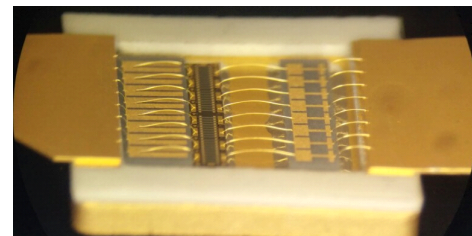
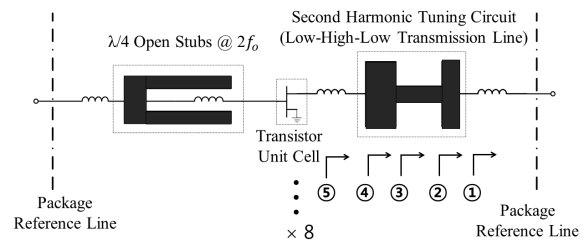


그림 6. 제작된 내부 정합 전력증폭기의 회로도 및 사진
Fig. 6. Schematic circuit diagram and photograph of the fabricated internally-matched power amplifier.

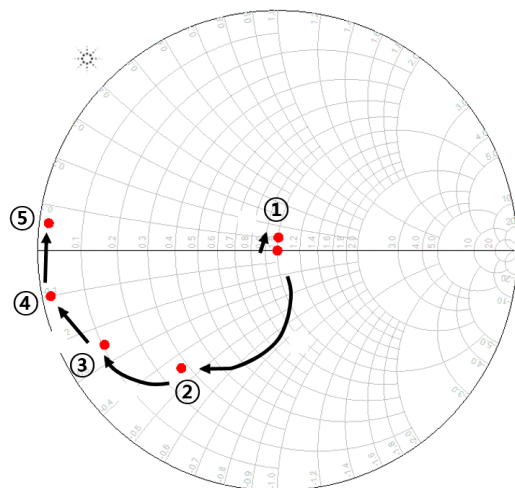


그림 7. 출력단 2차 고조파 임피던스 변환 경로
Fig. 7. Output impedance trace at the second harmonic frequency.

경로에 있는 ①~⑤의 표시는 그림 6의 회로도에서 동일 번호로 표시된 위치에서 부하 쪽으로 들여다 본 임피던스를 나타낸다.

패키지 기준선(그림 8 참조)에서의 기본주파수 입출력 임피던스를 50 Ω 에 정합하는 외부 회로는 유전율 3.55, 두께 30 mil의 Taconic RF35TC 기판을 사용하여 구현하였다. 출력 정합회로에는 $\lambda/4$ 스텐브 역할을 수행하는 DC 바이어스 회로가 마이크로스트립 라인을 사용하여 구현되었으며, 입력 정합회로에는 전력증폭기의 안정도를 높이기 위해 직렬 저항을 게이트 바이어스 선로에 삽입하였고 RF 입력 단자 쪽으로는 병렬 RC 회로를 직렬로 연결하였다. PCB 기반의 입출력 임피던스 정합회로는 간단한 구성만으로 50 Ω 정합을 할 수 있도록 설계하였다. 그림 8의 트랜지스터 입출력 기준선에서 RF 입출력 단자 방향으로 들여다 본 기본주파수 및 2차 고조파에서의 임피던스를 표 4에 정리하였다.

4.2 전력증폭기 제작

유전율 40을 갖는 Titanate 재질의 기판에 박막 공정된 2차 고조파 튜닝 회로와 GaN HEMT를 AuSn(20/80) 유테틱 공정을 사용하여 Cu/Mo70Cu/Cu(CPC141) 재질의 캐리어에 부착하였으며, 직경 1 mil의 웨지(wedge) 와이어 본

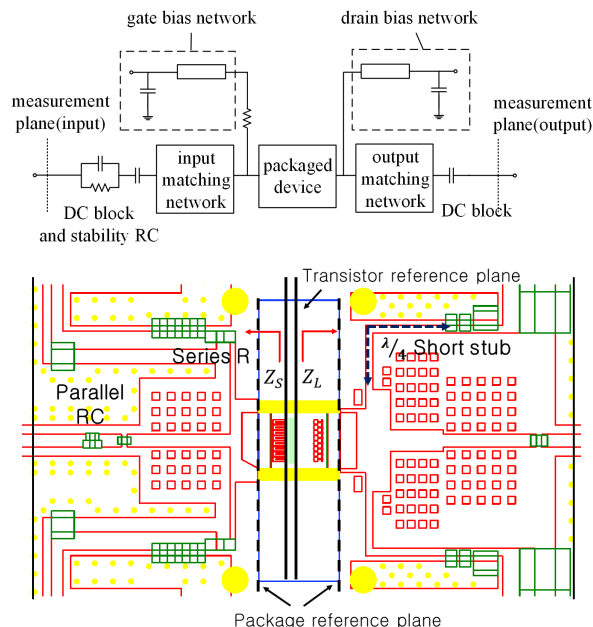


그림 8. 설계된 회로의 패키지 외부 정합 회로도 및 PCB 레이아웃

Fig. 8. External matching circuit diagram outside the designed packaged device and its PCB layout.

표 4. 트랜지스터에서 바라본 입출력 정합회로 임피던스
Table 4. Input and output matching impedance seen from the transistor.

Frequency	Z_S (Ω)	Z_L (Ω)
Fundamental	$0.402+j0.468$	$1.914+j2.476$
Second harmonic	$0.420+j6.187$	$1.391+j5.583$

딩을 사용하여 칩과 박막 기판, 박막 기판과 패키지 입출력 회로를 연결하였다. 패키징된 소자와 외부 PCB 정합 회로가 포함된 전력증폭기의 제작 사진이 그림 9에 나타나 있다.

4.3 전력증폭기의 측정

그림 10은 드레인 전압 50 V, 바이어스 전류 500 mA의 조건에서 측정한 S-파라미터 결과(실선)를 시뮬레이션 결과(점선)와 비교하고 있다. 전력증폭기의 측정된 이득은 대역 내에서 설계 값보다 약 3 dB 감소된 17 dB의 결과를 보였고, 입력 반사손실은 10 dB 이상의 값을 보였지만 시

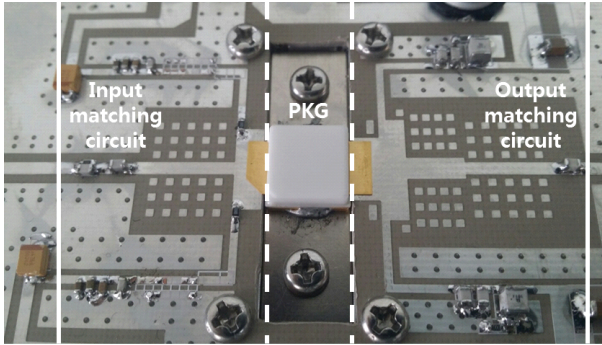


그림 9. 제작된 전력증폭기
Fig. 9. Fabricated power amplifier.

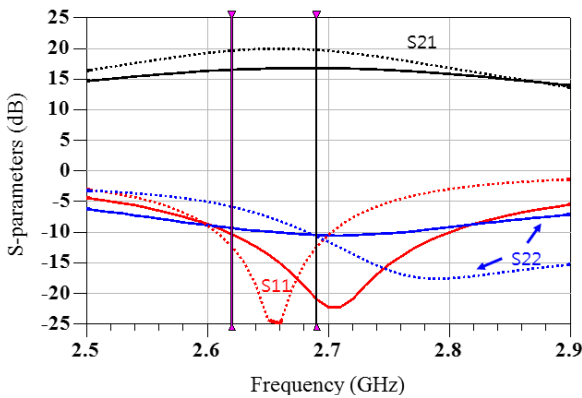


그림 10. S-파라미터 측정 및 시뮬레이션 결과(실선: 측정, 점선: 시뮬레이션)
Fig. 10. Measured and simulated S-parameter results(solid line: measurement, dotted line: simulation).

물레이션 결과와 다르게 주파수가 약 40 MHz 상향 이동되어 나타나는 특성을 보였다.

그림 11은 2.62 GHz에서 주기 1 ms, 듀티 사이클 10 %를 가지는 펄스 입력 조건에서 측정된 전력 성능 측정 결과를 보여준다. 전력 측정은 2.62 GHz, 2.65 GHz, 2.69 GHz에서 입력 전력에 따른 출력 전력을 측정하였으며, 표 5에서 입력 전력 40 dBm에서의 설계 결과와 측정 결과를 비교하였다. 전력 성능을 측정한 결과, 2.62~2.69 GHz에서 257~323 W의 출력 전력과 64~71 %의 드레인 효율(62~69 %의 전력부가효율)을 보였으며, 전력 포화 조건에서 전력 이득은 11.5~14.0 dB를 나타냈다. 입력 전력 40 dBm에서 출력 전력의 시뮬레이션 결과와 측정 결과를 비교

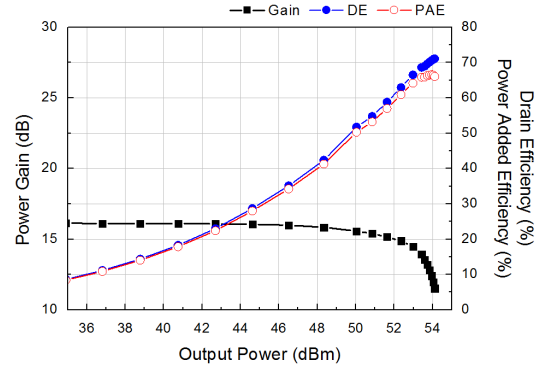


그림 11. 출력 전력에 따른 전력 이득, 드레인 효율(DE) 및 전력부가효율(PAE) 측정 결과
Fig. 11. Measured power gain, drain efficiency(DE) and power-added efficiency(PAE) with output power.

표 5. 40 dBm의 입력 전력 조건에서 전력 성능의 설계 결과와 측정 결과 비교

Table 5. Comparison of measured and simulated power performance at the input power of 40 dBm.

Freq. [GHz]	Output power [dBm]		Power gain [dB]		Drain efficiency/Power added efficiency [%]	
	Design	Meas.	Design	Meas.	Design	Meas.
2.62	54.6	53.6	14.6	13.6	66.8/64.4	68.9/65.9
2.65	54.4	54.0	14.4	14.1	68.0/65.5	64.3/61.8
2.69	54.0	54.8	14.0	14.7	67.7/65.0	71.2/68.8

[note] Freq.(Frequency), Meas.(Measurement)

해 본 결과 설계와 측정의 오차는 0.8 dB 이내의 값을 보였으며, 전력 이득과 드레인 효율 또한 비슷한 값을 보였다.

제작된 전력증폭기의 선형성을 확인하기 위해 10 MHz의 대역폭과 7 dB의 Peak-to-Average Power Ratio(PAPR) 값을 가지는 LTE 신호를 인가하여 인접채널누설비(Adjacent Channel Leakage Ratio: ACLR)를 측정하였다. 그림 12는 LTE 신호 입력 조건에서의 전력 성능 측정 결과를 보여주고 있으며, 79 W(49 dBm)의 평균 출력 전력에서 42~49 %의 드레인 효율을 보였으며, 2.62 GHz 신호를 제외하고는 ACLR 측정값이 -30 dBc 이하의 값을 보였다.

표 6은 제작된 전력증폭기의 측정 결과를 기준에 발표된 문헌의 결과들과 비교하고 있으며, 출력 전력과 효율 면에서 상당히 경쟁력이 있음을 알 수 있다.

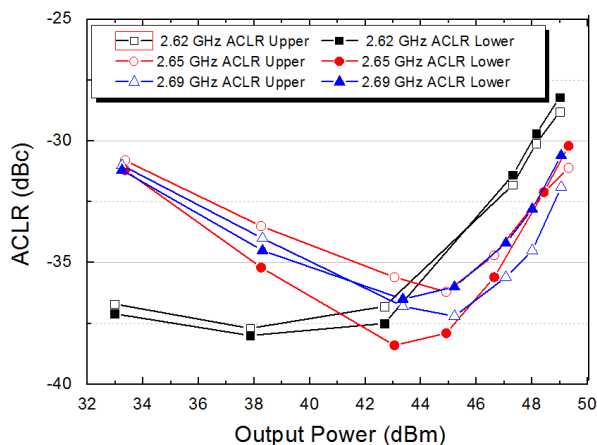


그림 12. LTE 신호 인가 시 평균 출력 전력에 따른 ACLR 측정 결과

Fig. 12. Measured ACLR results with the output average power under the applied LTE input signal.

표 6. 제작된 전력증폭기의 측정 결과와 기존 발표된 전력증폭기 결과의 비교

Table 6. Comparison of measured results of the fabricated power amplifier and previously published power amplifier results.

	This work	Ref. [8]	Ref. [9]	Ref. [10]	Ref. [11]
Frequency (GHz)	2.62~2.69	2.5~2.8	2.15	3.1~3.5	2.5~2.7
Gain (dB)	17	19.8	14	11.4	16
Maximum P_{out} (W)	323	95	170	380	300
Efficiency (%) @ P_{max}	71 (DE) 69 (PAE)	76 (DE)	63 (PAE)	58 (PAE)	62 (DE)
Drain voltage (V)	50	40	30	36	50
Matching level	Partially internal matching	Fully internal matching	Fully internal matching	Fully Internal matching	Partial internal matching

* DE: drain efficiency, PAE: power-added efficiency

V. 결 론

본 논문에서는 Wolfspeed사의 CGHV40320D GaN HEMT bare die를 사용하여 LTE 기지국용 S-대역 300 W급 전력

증폭기를 설계 및 제작하였다. 회로 크기의 소형화를 위해 고유전율 기판에 2차 고조파 튜닝을 위한 회로를 제작하였다. 패키지 내부의 2차 고조파 튜닝을 위해 2차 고조파에 대해 $\lambda/4$ 값을 가지는 접혀진 개방 스텐브 2개를 입력 정합회로에 적용하였고, 낮은 특성임피던스와 높은 특성임피던스의 전송선로를 번갈아 배치한 계단형 임피던스 변환회로를 출력 정합회로에 적용하였다. 측정 결과, 2.62~2.69 GHz에서 약 17 dB의 선형 이득을 얻었으며, 주기 1 ms, 듀티 사이클 10 %의 펄스 입력 전력 조건에서 257~323 W의 출력 전력과 64~71 %의 우수한 드레인 효율 특성을 확인하였다. LTE 신호 입력 조건에서 약 79 W의 평균 출력 전력, 42~49 %의 드레인 효율을 가졌으며, -30 dBc 이하의 ACLR 값이 측정되어 선형성 또한 양호한 특성을 보였다. 개발된 전력증폭기는 통신 기지국용 전력증폭 시스템에 효과적으로 활용될 것이다.

References

- [1] 이상홍, 김성일, 민병규, 임종원, 권용환, 남은수, "차세대 GaN 고주파 고출력 전력증폭기 기술 동향," 전자통신동향분석, 29(6), pp. 1-13, 2014년 12월.
- [2] 김동욱, "전자전 증폭장치," 전자파기술, 24(6), pp. 25-36, 2013년 11월.
- [3] E. Higham, "GaN technology in base stations-why and when?," in *2014 IEEE Compound Semiconductor Integrated Circuit Symposium(CSICS)*, La Jolla, CA, Dec. 2014, pp. 1-4.
- [4] D. W. Runton, B. Trabert, J. B. Shealy, and R. Vetury, "History of GaN: High-power RF gallium nitride(GaN) from infancy to manufacturable process and beyond," *IEEE Microwave Magazine*, vol. 14, no. 3, pp. 82-93, May 2013.
- [5] Wolfspeed, GaN HEMT CGHV40320D. Available: <http://www.wolfspeed.com>. Accessed on Mar. 2017.
- [6] Y. Park, D. Minn, S. Kim, J. Moon, and B. Kim, "A highly efficient power amplifier at 5.8 GHz using independent harmonic control," *IEEE Microwave and Wireless Components Letters*, vol. 27, no. 1, pp. 76-78, Jan. 2017.
- [7] Q. Cai, W. Che, K. Ma, and L. Gu, "A simple method

of designing high-efficiency second-harmonic-tuned power amplifier," *IEEE Microwave and Wireless Components Letters*, vol. 27, no. 12, pp. 1149-1151, Dec. 2017.

- [8] K. Motoi, K. Matsunaga, S. Yamanouchi, K. Kunihiro, and M. Fukaishi, "A 72% PAE, 95-W, single-chip GaN FET S-band inverse class-F power amplifier with a harmonic resonant circuit," in *2012 IEEE/MTT-S International Microwave Symposium Digest*, Montreal, QC, 2012, pp. 1-3.
- [9] N. Kosaka, H. Uchida, H. Noto, K. Yamanaka, M. Nakayama, and K. Kanaya, et al., "An S-band GaN on Si high power amplifier with 170 W output power and 70% drain

efficiency," in *2012 IEEE Compound Semiconductor Integrated Circuit Symposium(CSICS)*, La Jolla, CA, 2012, pp. 1-4.

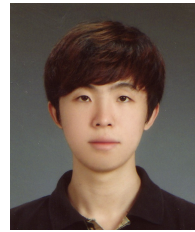
- [10] L. Gu, S. Tang, Y. Xu, W. Che, and W. Feng, "An S-band 350 W internally matched solid-state power amplifier using GaN power HEMTs," in *2016 IEEE International Workshop on Electromagnetics: Applications and Student Innovation Competition(iWEM)*, Nanjing, 2016, pp. 1-3.
- [11] Wolfspeed, GaN HEMT CGHV27200. Available: <http://www.wolfspeed.com>.

강 현 석



2016년 2월: 충남대학교 전파공학과 (공학사)
 2018년 2월: 충남대학교 전자전파정보통신공학과 (공학석사)
 [주 관심분야] GaN HEMT 고출력 전력증폭기, 마이크로파 및 밀리미터파 전력증폭기 모듈

배 경 태



2014년 2월: 충남대학교 전기전자통신공학교육과 (공학사)
 2016년 2월: 충남대학교 전자전파정보통신공학과 (공학석사)
 2016년 3월~현재: 충남대학교 전자전파정보통신공학과 박사과정
 [주 관심분야] 광대역 고출력 전력증폭기, 초고주파 및 밀리미터파 회로

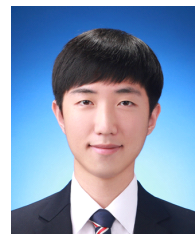
이 익 준



증폭기 모듈

2016년 2월: 충남대학교 전파공학과 (공학사)
 2018년 2월: 충남대학교 전자전파정보통신공학과 (공학석사)
 2018년 3월~현재: Keysight Technologies
 [주 관심분야] GaN HEMT 전력증폭기 MMIC, 마이크로파 및 밀리미터파 전력

김 세 일



2017년 2월: 충남대학교 전파공학과 (공학사)
 2017년 9월~현재: 충남대학교 전자전파정보통신공학과 석사과정
 [주 관심분야] GaN HEMT 고출력 전력증폭기, 마이크로파 및 밀리미터파 전력증폭기 모듈

김 동 욱



1990년 2월: 한양대학교 전자통신공학과
(공학사)

1992년 2월: 한국과학기술원 전기및전자공
학과 (공학석사)

1996년 8월: 한국과학기술원 전기및전자공
학과 (공학박사)

1991년 8월~2000년 5월: LG 종합기술원

선임연구원

2000년 6월~2002년 8월: (주)텔레포스 연구소장

2002년 9월~2004년 9월: 에스원기술연구소 응용기술팀장

2009년 9월~2009년 12월: ETRI 초빙연구원

2010년 1월~2011년 1월: 미국 UCSD Visiting Scholar

2004년 10월~현재: 충남대학교 전파공학과 교수

[주 관심분야] 초고속 및 초고주파 집적회로, 마이크로파 및 밀
리미터파 전력증폭기 모듈, 근거리 레이더 모듈