

단일-공진기로 구성된 주파수-잠금 회로를 이용한 5-GHz 발진기

A 5-GHz Oscillator Using Frequency-Locked Loop with a Single Resonator

이창대 · 이동현* · 이창환* · 염경환*

Chang-Dae Lee · Dong-Hyun Lee* · Chang-Hwan Lee* · Kyung-Whan Yeom*

요 약

본 논문에서는 VCO와 주파수검출기(frequency detector)에 각각 별도의 공진기를 사용하여 구성된 기존의 주파수-잠금 회로(frequency locked loop: FLL) 구조 발진기를 개선하여, 단일-공진기로 구성된 주파수-잠금 회로를 이용한 구조가 단순화된 5-GHz 발진기의 설계제작을 보였다. 이때 공진기는 VCO 및 주파수검출기 구성에 공용으로 사용된다. 제작된 5-GHz 발진기는 고주파 성능이 우수한 Rogers사의 RO4350B와 상용 FR4 3층 기판을 이종-접합하여 구성하였으며, 주파수 잠금은 약 5 GHz에서 일어나며, 3.8 dBm의 출력을 갖는다. 위상잡음은 offset-주파수 1 kHz를 경계로 1 kHz 이상에서는 VCO의 위상잡음을, 1 kHz보다 낮을 때는 FLL 바탕잡음을 갖도록 하였다. 이와 같이 설정된 루프-필터에 대해 위상잡음의 개선은 offset-주파수 100 Hz에서 약 12 dB의 개선을 보였다.

Abstract

In this paper, the design and fabrication of a frequency-locked-loop(FLL) 5-GHz oscillator with a single resonator is presented. The proposed oscillator is the simplified version of the previous FLL oscillator with two separate resonators in the VCO and frequency detector. The resonator is commonly used in the VCO and frequency detector of the proposed oscillator configuration. The 5-GHz oscillator is implemented on the hetero-multilayer substrate composed of a Rogers' RO4350B laminate, which has excellent high-frequency performance, and the commercial FR4 three-layer substrate. The frequency locking occurs at approximately 5 GHz and has an output power of 3.8 dBm. The phase noise has a free-run VCO phase noise at frequencies above 1 kHz, and an FLL background noise at frequencies below 1 kHz. For this loop-filter, the phase noise showed an improvement of approximately 12 dB at the offset-frequency of 100 Hz.

Key words: Frequency Locked Loop, Phase-Locked Loop, Frequency Detector, Resonator, Phase Detector.

I. 서 론

위상잡음(phase noise)은 발진기의 위상 흔들림을 나타내는 척도이며, 통신시스템 및 레이다 시스템의 성능을 결정짓는 중요한 파라미터 중 하나이다. 발진기의 위상잡

음 성능을 개선하는 방법은 주로 발진기에 사용되는 능동소자의 잡음성능 개선과 공진기의 Q 성능개선에 의한 방법을 사용하였다^[1]. 다른 방법으로는 PLL(Phase Locked Loop)과 유사구조인 FLL(Frequency Locked Loop) 구조를 발진에 적용하는 것이다^{[2],[3]}. 이 방법은 참고문헌 [2]에서

「이 연구는 2015년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(NRF-2015R1D1A1A01057036).」

한화시스템(Hanwha Systems)

*충남대학교 전파공학과(Department of Radio Science and Engineering, Chungnam National University)

· Manuscript received August 20, 2018 ; Revised October 8, 2018 ; Accepted November 5, 2018. (ID No. 20180820-087)

· Corresponding Author: Kyung-Whan Yeom (e-mail: khyeom@cnu.ac.kr)

제시되었으나, 시스템의 복잡성으로 인해 그 후 연구는 활발하게 진행되지 않았다.

최근 국내에서 FLL 구조를 이용한 발진기를 제안한바 있다^{[4],[5]}. 이 연구를 통하여 확연하게 개선된 위상잡음을 얻을 수 있음을 보였다. 여기에 사용된 발진기의 구조를 그림 1에 보였다. 그림 1에서 알 수 있듯이 FLL 구조의 발진기라고 하지만, 이 발진기는 별도의 VCO(Voltage Controlled Oscillator)를 사용하고 있다. 또한 주파수검출기(frequency detector: FD)에도 별도의 공진기를 사용하고 있어, 총 2개의 공진기를 이용하게 된다. 따라서 발진기를 구성하는데 복잡한 구성이 따르게 된다.

본 논문에서는 이와 같은 복잡성을 피하기 위하여 그림 2와 같은 구조를 제안하였다. 그림 2에서 VCO는 위상천이기(phase shifter), 증폭기, 공진기로 구성되며, 페-루프 형성시 발진이 일어나게 할 수 있다. 여기서 위상천이기는 발진 주파수를 조정하는 역할을 한다.

다음 발진기를 구성하는 공진기의 입출력에서 신호를 sampling한다. 전력이분기는 공진기의 입력이 증폭기와 mixer로 이분되도록 연결하였다. 따라서 증폭기의 출력은 전력이분기 손실을 겪고 공진기로 인가된다. 또한 이상적인 전력이분기의 경우, 전력이분기의 격리(isolation) 특성으로 인해 증폭기 출력은 mixer에 나타나지 않게 된다. 반면, 입사된 전력 중 공진기에서 반사된 전력은 전력이분기를 통해 mixer의 RF-포트로 입력되게 된다. Mixer의

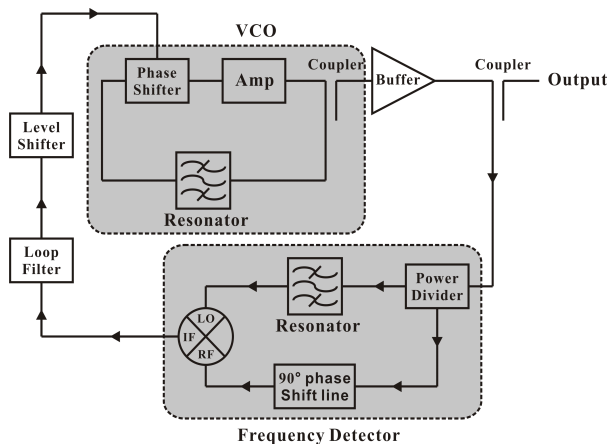


그림 1. 참고문헌 [4]의 FLL 블록도

Fig. 1. Block diagram of the FLL in Ref. [4].

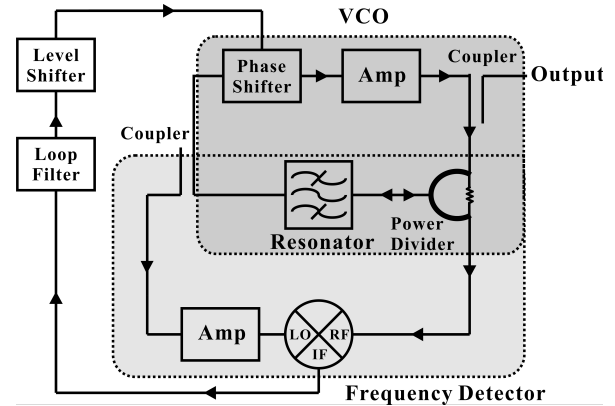


그림 2. 간단화된 구조의 FLL 블록도

Fig. 2. Block diagram of the simplified FLL.

LO-포트에는 공진기를 투과한 전력을 sampling하여 충분히 증폭한 후 mixer의 LO-포트에 입력되게 된다. 또한 LO-포트로 입력되는 신호와 RF-포트로 입력되는 신호는 위상차가 공진주파수에서 90° 가 되도록 마이크로스트립 선로의 길이를 설정하였다. 이와 같이 설정하면 공진기의 S_{11} 과 S_{21} 로부터^[6] mixer 출력은 주파수검출기로 동작하게 된다.

중요한 점은 공진기를 발진기 및 주파수검출기에 공용으로 사용되기 때문에, 별도의 공진기를 사용할 때와 같이 공진기를 주파수 검출기 특성을 위해 조정할 수 없다. 즉, 공진기 Q를 변화시키기 위한 결합도 조정과 같은 공진기 조정이 가능하지 않게 된다. 따라서 이와 같이 공진기가 고정된 상태에서 FLL을 구성할 경우, FLL 루프-대역폭 내에서 위상잡음은 주파수검출기와 루프-필터로 결정되기 때문에 이로 인한 위상잡음이 발진기 자체 잡음보다 충분히 작은지를 이론적으로 또는 실험적으로 사전에 검토하여야 할 것이다.

본 논문에서는 그림 1의 구조를 간단화 시킨 그림 2의 구조를 이용하여 FLL 구조의 발진기를 구성하였다. 시험 결과 FLL 루프대역폭 내의 오프셋-주파수에서 발생하는 VCO의 위상잡음에 대해서 개선은 얻었으나, 참고문헌 [4]와 같은 획기적인 위상잡음의 개선은 얻을 수 없었다. 위상잡음의 개선은 FD의 잡음성능을 최적화하여 얻어지게 되는데, 그림 2의 구조에서는 공진기가 VCO와 FD에 공용으로 사용되어 별도로 FD 최적화를 기할 수 없기 때

문인 것으로 결론된다.

II. FLL의 설계

2-1 구성

개선된 블록도를 바탕으로 제작된 FLL 발진기의 사진을 그림 3에 보였다. 그림 4에서 사용된 기판은 Rogers사의 RO4350B를 사용하여 제작^[7]된 양면기판과 FR-4로 구성된 3층 기판을 접합하여 구성하였다. 기판의 크기는 $80 \times 130 \text{ mm}^2$ 이다.

2-2 전압제어발진기(VCO)

그림 3에서 우선 VCO부를 조정하여 발진기를 구성하게 된다. 다음 FD를 구성하게 되는데, LO-포트 경로와 RF-포트 경로가 90° 위상차가 나타나게 조정하고, FD의 성능을 측정하게 된다. 이와 같이 FD가 설계된 후 루프-필터 값과 level shifter 소자 값을 결정하게 된다. 여기서 level-shifter는 루프-필터 출력-전압 값의 범위와 VCO의 조정전압 범위는 서로 다르게 되는데, level-shifter는 루프-필터 출력-전압 값의 범위를 VCO의 조정전압 범위로

mapping시키는 역할을 한다. 이후 각 부의 상세 시험을 통한 조정 결과 및 방법은 다음 절에 기술되어 있다.

그림 4는 그림 3에서 VCO-부를 다시 보인 것이다. VCO의 출력은 위상천이기-증폭기-공진기로 이루어진 VCO-루프에 결합용 칩-커패시터를 그림 4와 같이 연결하여 얻었다. Mixer로 구성된 FD의 RF/LO 포트용 입력신호는, 그림 2에서 VCO-루프에 삽입된 전력이분기 및 루프에 결합기(coupler)를 연결하여 얻어내는데, 전력이분기 및 결합기는 그림 4에 보인 것과 같이 Anaren사의 칩-전력이분기^[8] 및 칩-커패시터를 이용하여 구성하여 사용하였다. 주목할 것은 VCO 시험시 칩-커패시터는 연결하지 않고 RF-포트에 연결된 칩-전력이분기의 포트는 RF-포트에 $50\text{-}\Omega$ 저항을 연결한 후 시험한다.

우선 공진기의 온-웨이퍼 프로브 패턴을 이용 공진기의 주파수를 5 GHz 로 조정한다.

공진기 조정을 마치고 그림 4에 보인 것 같이 $0\text{-}\Omega$ 칩-저항을 이용하여 연결한다. 다음 증폭기와 위상천이기를 조립하고, 유사하게 온-웨이퍼 프로브 패턴을 이용 각각의 성능을 조사한다. 다음 증폭기 옆의 온-웨이퍼 프로브 패턴을 이용 개-루프 이득을 측정한다^[9]. 측정된 개-루프 이득을 그림 5에 보였다. VCO의 개-루프 이득과 위상을 측정하기 위해 Keysight사의 Network Analyzer N5230A^[10]

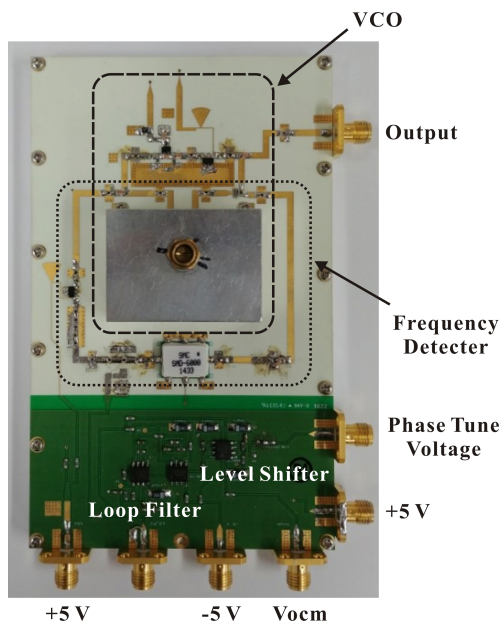


그림 3. 제작된 FLL
Fig. 3. Fabricated FLL.

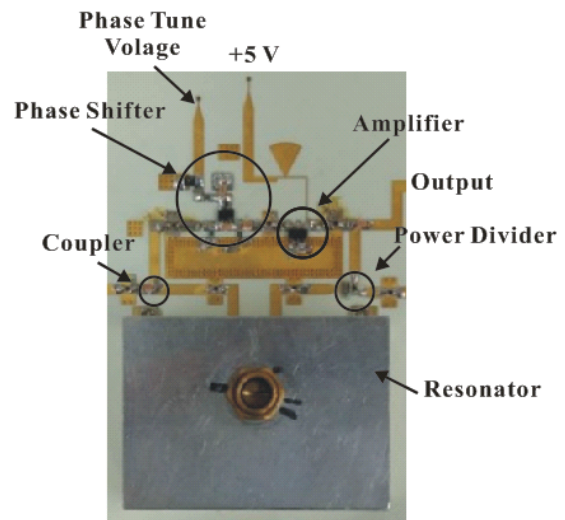


그림 4. 제작된 VCO
Fig. 4. Fabricated VCO.

를 이용하여 S 파라미터를 측정하였다. 이때 입력전력을 8 dBm으로 설정하였다. 그림 5의 주파수 5 GHz에서 개-루프 이득이 0 dB보다 크고, 위상이 0° 가 되는 것을 알 수 있다. 따라서 루프를 닫을 경우, 주파수 5 GHz에서 발진이 형성되는 것을 알 수 있다. VCO의 개-루프이득 확인 후 0-Ω 칩-저항을 연결하여 루프를 닫고, Spectrum Analyzer를 이용하여 발진이 형성되는 것을 확인하였다. 그림 6에는 VCO의 조정전압 V_t (그림 4의 Phase-Tune 전압)에 따른 주파수 변화를 보였다. 그림 6에서 VCO의 평균적인 조정 감도 K_v 는 0.6 MHz/V인 것을 알 수 있다. 그림 7에는 조정 전압 $V_t=3.5$ V로 설정하고, Keysight사의 E5052B^[11] 신호

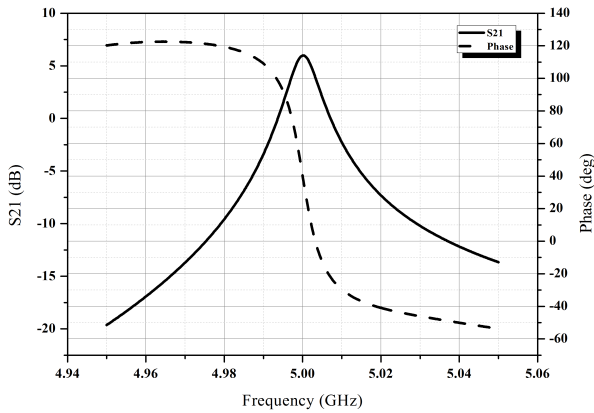


그림 5. 측정된 VCO의 개-루프 이득
Fig. 5. The measured open-loop gain of the VCO.

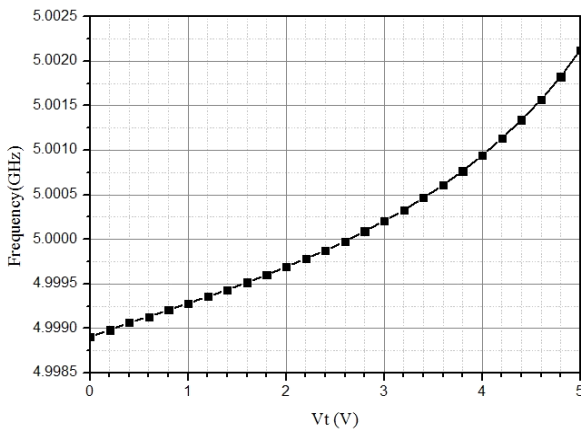


그림 6. VCO의 조정전압에 따른 주파수 변화
Fig. 6. VCO frequency vs tuning voltage.

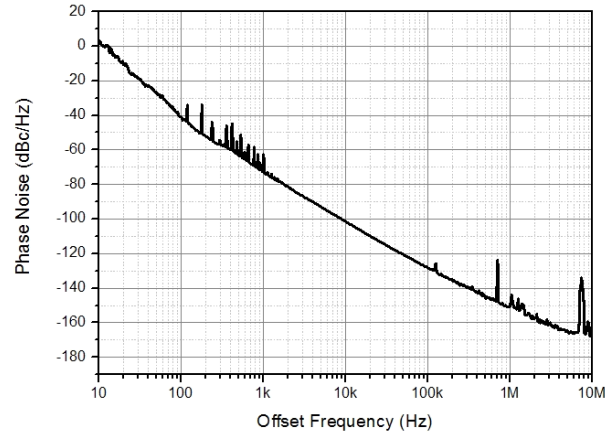


그림 7. VCO 위상잡음($V_t=3.5$ V)
Fig. 7. Phase noise of VCO($V_t=3.5$ V).

분석기로 위상잡음을 측정하였다. 이때 신호분석기의 Correlation=100으로 설정하였다. 그림 7에서 위상잡음은 offset-주파수 100 kHz에서 약 -128 dBc/Hz인 것을 알 수 있다.

2-3 주파수검출기 및 루프-필터

VCO 특성을 확인한 후 칩-커패시터를 연결하고, 증폭기를 조립하여 VCO와 Mixer LO-포트 간 경로를 조립한다. 그러면 FD는 그림 8과 같은 구성을 가지게 된다.

그림 8과 같이 공진기에 포트 번호를 부여하고 이것의 S -파라미터를 쓰면 식 (1)과 같다.

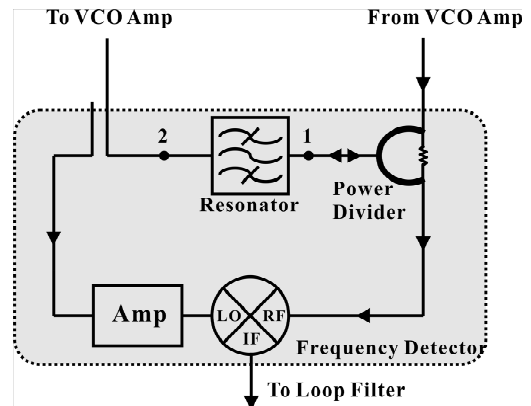


그림 8. 주파수 검출기(그림 2의 주파수검출기를 다시 그렸다.)
Fig. 8. Frequency detector(It is redrawn from Fig. 2).

$$S_{11} = \frac{2jQ\delta}{1+2jQ\delta} \quad (1a)$$

$$S_{21} = \frac{1}{1+2jQ\delta} \quad (1b)$$

$$\delta = \frac{f}{f_o} - \frac{f_o}{f} \quad (1c)$$

여기서 f_o, Q 는 공진기의 공진주파수 및 Q 를 나타낸다. 따라서 mixer 출력에는 식 (2)와 같은 DC 전압 V_o 가 나타나게 된다.

$$V_o = \pm K \sin(\angle S_{11} - \angle S_{21}) \quad (2)$$

V_o 는 입력 주파수와 공진주파수의 차이에 비례하는 전압이 되며, 따라서 그림 8의 블록도는 FD로 동작하게 된다.

그림 8에 사용된 증폭기는 VCO에 사용된 증폭기와 같으며, 동작 확인 방법도 VCO와 동일하다. Mixer LO-포트 입력전력을 확인한 후 필요할 경우 칩-저항으로 구성된 감쇠기를 사용하도록 설계되었으나, 출력전력이 약 10 dBm으로 별도의 감쇠기는 필요하지 않고 0-Ω 칩-저항을 이용하여 연결하였다. 전력이분기에서 출력되는 Mixer RF-포트의 경우 마이크로스트립 선로의 길이는 LO-포트와 90°의 위상차를 가지도록 설계되었다. Mixer는 참고문헌 [4]와 동일하게 Synergy Microwave사의 SMD-6000^[12]이 사용되었다.

공진주파수 5 GHz에서 LO, RF 포트에 입력되는 신호가 90°의 위상차를 가질 경우 mixer는 DC 전압 0 V를 주게 된다. 그러나 Mixer 출력의 offset-전압과 LO, RF 포트 신호의 경로차가 정확히 90°가 되지 않아 mixer 출력은 정확히 공진주파수 5 GHz에서 0이 되지 않는다. Mixer 출력은 조정전압이 약 3.5 V일 때에 해당하는 발진주파수 5.0007 GHz에서 0 V가 됨을 확인하였다.

그림 9는 VCO 조정전압에 따른 Mixer 출력 전압을 보였다. 그림 9의 혼합기 출력전압은 주파수검출기 상수 (V/Hz)를 K_f 라고 정의할 때, $K_f K_v$ 에 해당하게 된다. 그림 9에서 $K_f K_v = (50+28.4)$ mV/5 V로서 $K_f K_v = 15.68$ mV/V가 되고, 앞서 구한 $K_v = 0.6$ MHz/V를 이용하면 $K_f = 26$ nV/Hz가 된다. 주목할 것은 그림 9는 주파수에 대해 선형적인 DC 전압을 주는 것이기 때문에 주파수검출기로 볼

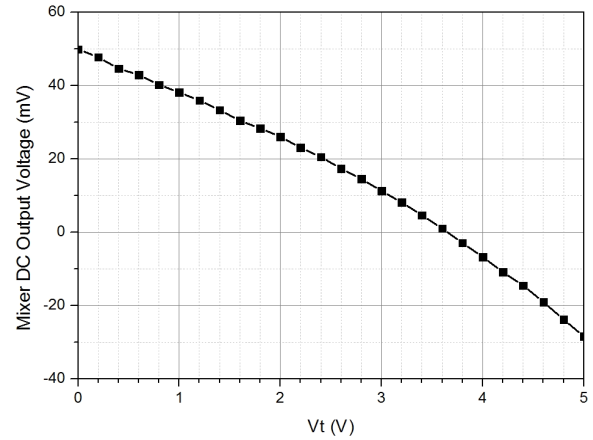


그림 9. 주파수 검출기의 출력전압

Fig. 9. Output voltage of frequency detector.

수 있다. 앞서 언급한 문제 offset-전압은 즉 공진주파수 5 GHz에서 0 V 출력이 나타나지 않는 것은 주파수검출기 뒷단에 OP amp로 구성된 비반전 또는 반전증폭기를 추가하고, 추가된 증폭기의 offset 조정을 통해 조정할 수 있으나, 더 이상의 조정은 수행하지 않았다. 따라서 이와 같은 상태에서 주파수-잠금회로를 구성할 경우 주파수 잠금은 5.0007 GHz에서 발생하게 된다.

그림 10에는 본 논문에 사용된 루프필터의 구조를 보였다. 루프-필터의 구조는 참고문헌 [4]와 같으며, 같은 OP amp를 사용하였다^[13]. 사용된 OP amp의 대역폭은 76 MHz이다. 그림 10의 첫 번째 단은 비반전-증폭기로 완충기(buffer) 역할을 한다. 두 번째 단은 적분기로 주파수 검출기의 출력인 주파수 차이를 적분함으로써 위상차이로 바꾸어 기존 PLL에 사용되어지는 루프필터를 FLL에 적용할 수 있게 된다. 세 번째 단은 저역여파기로 PLL 루프-필터와 같은 역할을 한다. 또한 OP amp의 DC 전원으로 ±5 V를 인가하였다. 참고문헌 [4]와 차이점은 루프-필터를 3단으로 구성하여 선택도를 높였다. 그림 10 루프필터에 사용된 저항 및 커패시터 값은 각각 $R_2 = 22$ kΩ, $C_1 = 3.6$ nF, $C_2 = 17$ nF이고, 적분기에 사용된 저항 및 커패시터 값은 $R_M = 1$ kΩ, $C_M = 1$ μF이다.

그림 10의 루프-필터에 사용되는 OP amp에 DC 전원 ±5 V를 인가하였기 때문에, 작은 DC 입력신호에 대해서도 루프-필터 출력은 ±5 V에 가까운 전압이 나타나게 된다.

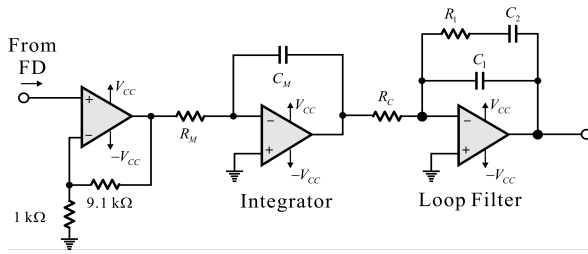


그림 10. 루프-필터
Fig. 10. Loop filter.

반면, VCO 조정전압 V_t 의 범위는 0~5 V의 전압이다. 특히 앞서 설명하였듯이 루프를 닫아 FLL 잠금회로를 형성할 경우, 주파수검출기 전압이 0 V에서 루프의 정상 상태가 된다. 이에 해당하는 VCO 조정전압은 3.5 V이다. 따라서, -5~5 V 범위에 있는 그림 10의 루프-필터 출력을 VCO 조정전압 범위 0~5 V로 매핑하는, 더욱 좁게는 VCO 조정전압 3.5 V 주변으로 mapping 하는 회로가 필요하다.

그림 11은 이와 같은 회로를 보였다. 출력은 그림 11의 V_{OP} 를 사용하고, V_{ON} 은 개방된 상태가 된다. 이 회로를 전위변환기(level shifter)라고 명명하며, 회로는 참고문헌 [4]와 동일하고 같은 부품으로 구현하였다^[14] 단, 참고문헌 [4]와 차이는 주파수검출기 전압이 0이 되는 VCO 조정전압이 틀려서 이에 맞게 저항 값과 V_{ocm} 을 설정하였다. 그림 12는 이와 같이 설정된 전위변환회로의 입출력특성을 보였다.

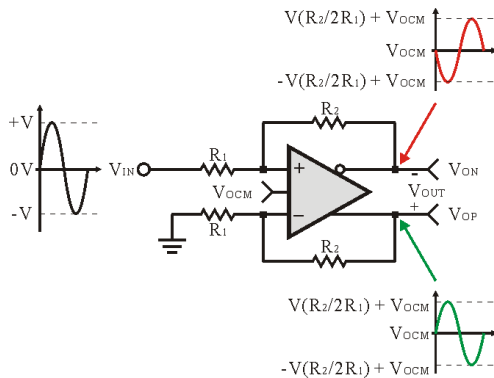


그림 11. 전위변환회로($R_1=2\text{ k}\Omega$, $R_2=1\text{ k}\Omega$, $V_{ocm}=3.5\text{ V}$)
Fig. 11. Level shifter($R_1=2\text{ k}\Omega$, $R_2=1\text{ k}\Omega$, $V_{ocm}=3.5\text{ V}$).

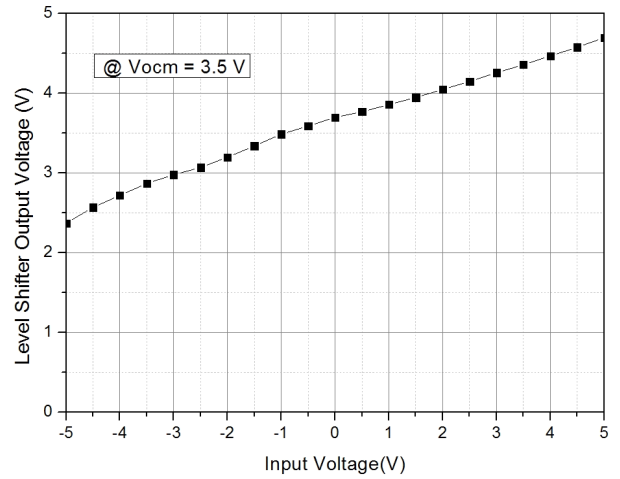


그림 12. 전위 변환회로 입-출력 특성
Fig. 12. Input-output characteristic of the level shifter.

III. 개선된 FLL 측정

앞서 II절에서 설명한 바와 같이 조정을 마치고 루프를 닫고 E4446A 스펙트럼 분석기^[15]로 FLL로 구성된 발진기의 스펙트럼을 조사하였다. 이때 설정된 저항 값과 커패시터 값들은 대역폭 1 kHz, 위상여유는 45°가 되도록 설정된 값이다. 그림 13에는 주파수 잠금된 스펙트럼을 보였다. 주파수는 예상한 바와 같이 주파수검출기의 출력

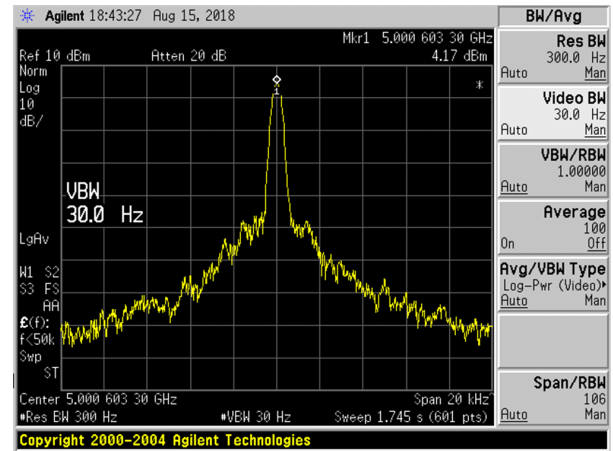


그림 13. FLL로 구성된 발진기의 스펙트럼 측정 결과 (Span=20 kHz)

Fig. 13. The measured spectrum of the FLL oscillator(Span=20 kHz).

이 0 V가 되는 $V_t=3.5$ V 근처의 주파수가 나타나는 것을 알 수 있다. 주파수는 5,000,603 GHz였고, 이때 측정된 VCO 조정전압 V_t 는 약 3.5 V 근처였다. 또한 그림 13의 스펙트럼 결과로부터 대역폭은 약 1 kHz인 것을 알 수 있다.

다음 FLL로 구성된 발진기의 위상잡음을 VCO 위상잡음 측정에 사용되었던 Keysight사의 E5052B 신호분석기로 측정하였다. VCO와 동일하게 신호분석기의 correlation은 Correlation=100으로 설정하였다. 측정된 결과는 그림 14에 보였다. 그림 14에서 설정된 대역폭은 1 kHz인데, 위상잡음으로 본 대역폭은 약 3 kHz인 것을 알 수 있다. 이것은 루프-필터 소자값 계산 시 평균적인 K_v 및 K_f 값을 이용했는데, 그림 6 및 그림 8에 보인 것처럼 K_v 및 K_f 값은 비선형성이 심하여서 대역폭이 약 3 kHz로 나타나는 것으로 짐작된다.

다음으로 FLL 발진기는 루프-대역폭 안에서는 주파수 검출기로 주어지는 바탕-위상잡음 PN_i 을 따르고, 대역폭 밖에서는 VCO의 위상잡음을 쫓아가게 된다. PN_i 는 다음과 같다.

$$PN_i = 20 \log \left(\frac{N_T}{f_m K_f} \right) \quad (3)$$

식 (3)에서 f_m 은 offset-주파수, K_f 는 주파수검출기 상수, N_T 는 주파수검출기 뒷단에 나타나는 등가 잡음전압이다. 식 (1)로 계산된 주파수검출기에 의한 바탕 위상잡음 PN_i 를 그림 14에 보였다. PN_i 에서 N_T 는 루프-필터에 의한 잡음과 주파수검출기 잡음이 모두 기여하게 된다. 그림 14에서 FLL의 위상잡음은 루프-대역폭 안에서는 주파수검출기로 주어지는 바탕-위상잡음을 따르고 대역폭 밖에서는 VCO의 위상잡음을 쫓아가는 것을 알 수 있다. 그러나 offset-주파수 10 Hz 근처에서는 VCO의 위상잡음과 같은 정도인 것을 알 수 있다. 이것은 FLL에 사용된 전원 전압값이 시간에 따라 변하기 때문인 것으로 사료된다. 이를 막기 위해서는 DC 전원전압의 안정화가 필요한 것으로 보인다.

따라서 근본적으로 FLL 발진기의 위상잡음을 낮추기 위해서는 PN_i 를 최소화할 필요가 있다. 그러나 본 논문과 같은 단일공진기를 사용하여 구성할 경우, 주파수검출기

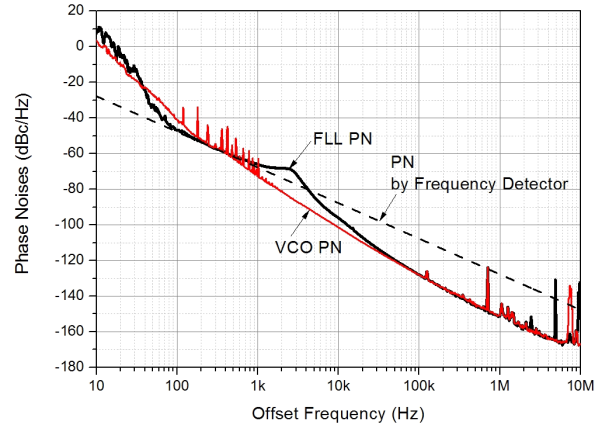


그림 14. FLL 발진기의 위상잡음

Fig. 14. The phase noise of the FLL oscillator.

잡음을 낮출 별도의 추가적인 방법은 없게 된다. 반면 참고문헌 [4]의 경우는 발진기와 주파수검출기가 별도의 공진기를 사용하기 때문에, 주파수검출기의 잡음을 낮추는 것이 가능하다. 이것은 단순히 참고문헌 [4]와 같이 주파수검출기 앞에 저잡음증폭기를 삽입하여 구성할 수 있다.

IV. 결 론

본 논문에서는 발진기와 주파수검출기가 공통으로 단일-공진기를 사용하는 단순화된 FLL-구조의 발진기에 대한 연구를 보였다. FLL 발진기는 이중 기판을 사용한 다층기판 형태로 제작되었다. FLL 발진기의 위상잡음은 근본적으로 주파수검출기와 루프-필터의 잡음에 의하여 결정되며, FLL 구조 발진기의 위상잡음을 최소화하기 위해서는 주파수검출기 잡음을 줄이는 것이 최우선 과제가 된다.

다음으로 100 Hz보다 작은 offset 주파수에서 위상잡음은 DC 전원의 전압 값 변동에 의존한다. 따라서 DC 전원의 공급시 DC-전원은 전압 안정화회로(전압기준(voltage reference) 회로 또는 레귤레이터(regulator) 등)를 통하여 공급하는 것이 필요하다. 표 1은 참고문헌 [4]와 비교하여 위상잡음의 개선정도를 비교하였다. 비교결과, 위상잡음의 개선은 참고문헌 [4]의 독립적인 방법에 비해 크게 떨어지는 것을 알 수 있다.

이러한 이유로는 앞서 서론부에서 설명하였듯이 공진

표 1. 100 Hz offset-주파수에서 위상잡음 특성 비교
Table 1. Comparison of the phase noises at 100 Hz offset-frequency.

Parameter	Ref. [4]	This work
VCO	-30.3 dBc/Hz	-40 dBc/Hz
FLL	-80 dBc/Hz	-46 dBc/Hz
Improvement by FLL	About 50 dB	About 6 dB

기를 주파수검출기의 성능향상을 위해 독립적으로 조정할 수 없어 최적의 주파수검출기 특성을 실현하지 못해 나타난 것으로 생각된다. 따라서 위상잡음 개선의 열화에 대한 원인분석 및 기술적 분석이 향후 연구로 기대된다.

References

- [1] U. L. Rhode, A. K. Poddar, and G. Bock, *The Design of Modern Microwave Oscillators for Wireless Applications: Theory and Optimization*, John Wiley & Sons, Inc. 2005.
- [2] Z. Galani, M. J. Bianchini, R. C. Waterman, R. Dibiase, R. W. Laton, and J. B. Cole, "Analysis and design of a single-resonator GaAs FET oscillator with noise degeneration," *IEEE Transactions Microwave Theory Techniques*, vol. 32, no. 12, pp. 1556-1565, Dec. 1984.
- [3] Z. Galani, R. A. Campbell, "An overview of frequency synthesizers for radars," *IEEE Transactions Microwave Theory Techniques*, vol. 39, no. 5, pp. 782-790, May 1991.
- [4] 김옥래, 이창대, 김용남, 임평순, 이동현, 염경환, "주파수 잠금회로를 이용한 발진기의 위상잡음 개선," 한

- 국전자과학회논문지, 27(7), pp. 635-645, 2016년 7월.
- [5] 임평순, 이동현, 염경환, "위상주파수 검출기를 이용한 주파수 잠금회로," 한국전자과학회논문지, 28(7), pp. 540-549, 2017년 7월.
- [6] K. W. Yeom, *Microwave Circuit Design: A Practical Approach using ADS*, Prentice Hall Press, 2015.
- [7] ROGERS, "RO4350, Laminate." Available: <http://www.rogerscorp.com>.
- [8] Anaren, Ultra Low Profile 0805 Power Divider PD4859J 5050S2HF. Available: <http://www.anaren.com>.
- [9] 손범익, 정해창, 염경환, "루프 군지연을 이용한 저위상 잡음 5 GHz 전압제어 유전체 공진기 발진기 설계," 한국전자과학회논문지, 25(3), pp. 269-281, 2014년 3월.
- [10] Keysight Technologies, "N5230A PNA-L network analyzer, 10 MHz to 20 GHz." Available: <http://www.keysight.com>.
- [11] E5052B, "Signal source analyzer, 10 MHz to 7, 26.5, or 110 GHz, Keysight Technologies, 5989-0903EN," 2007. Available: <http://www.keysight.com>.
- [12] Synergy, "SMD6000, double balanced mixer, synergy microwave corporation." Available: <http://synergymw.com>.
- [13] National Semiconductor, "LM6152, dual and quad high speed/low power 75 MHz GBW rail-to-rail I/O operational amplifiers." Available: <http://www.ti.com>.
- [14] Analog Devices, "AD8137, low cost, low power, differential ADC driver." Available: <http://www.analog.com>.
- [15] Keysight Technologies, "PSA series spectrum analyzers, data sheet." Available: <http://www.keysight.com>.

이 창 대 [한화시스템/연구원]



2016년 2월: 충남대학교 전파공학과 (공학사)
2018년 8월: 충남대학교 전자전파정보통신공학과 (공학석사)
2018년 7월~현재: 한화시스템 연구원
[주 관심분야] 초고주파 능동회로

이 동 현 [충남대학교/박사과정]



2013년 2월: 충남대학교 전자전파정보통신공학과 (공학사)
2015년 2월: 충남대학교 전자전파정보통신공학과 (공학석사)
2015년 3월~현재: 충남대학교 전자전파정보통신공학과 박사과정
[주 관심분야] 초고주파 능동회로

이 창 환 [충남대학교/학사과정]



2009년 3월~현재: 충남대학교 전파정보
통신공학과 학사과정
[주 관심분야] 초고주파 능동회로

염 경 환 [충남대학교/교수]



1976년~1980년: 서울대학교 전자공학과
(공학사)
1980년~1982년: 한국과학기술원 전기 및
전자과 (공학석사)
1982년~1988년: 한국과학기술원 전기 및
전자과 (공학박사)
1988년 3월: 금성전기(주) 소재부품 연구

소 선임연구원 (MIC팀 팀장)
1990년 3월: 금성전기(주) 소재부품연구소 책임연구원
1991년 5월: 금성정밀(주) 기술연구소 연구1실 책임연구원
1991년 8월: (주) LTI
1995년 10월~현재: 충남대학교 전파공학과 교수
[주 관심분야] 초고주파 능동회로 및 시스템, MMIC 설계