

## Sub-GHz 근거리 무선통신을 위한 0.18 $\mu\text{m}$ CMOS 전력증폭기

### 0.18 $\mu\text{m}$ CMOS Power Amplifier for Subgigahertz Short-Range Wireless Communications

임정택 · 최한웅 · 이은규\* · 최선규\* · 송재혁 · 김상호 · 이동주\*\* · 김완식\*\* ·  
김소수\*\*\* · 서미희\*\*\* · 정방철 · 김철영

Jeong-Taek Lim · Han-Woong Choi · Eun-Gyu Lee\* · Sun-Kyu Choi\* · Jae-Hyeok Song · Sang-Hyo Kim ·  
Dongju Lee\*\* · Wansik Kim\*\* · Sosu Kim\*\*\* · Mihui Seo\*\*\* · Bang-Chul Jung · Choul-Young Kim

#### 요 약

본 논문은 0.18  $\mu\text{m}$  CMOS 공정을 이용한 Sub-GHz 근거리 무선통신을 위한 전력증폭기 설계에 관한 내용이다. 가상 접지 노드를 용이하게 형성하며, 출력전력을 키울 수 있는 차동구조로 설계하였으며, breakdown으로 인한 문제를 최소화 하기 위하여 cascode 구조로 설계하였다. 또한 출력전력과 Power Added Efficiency(PAE)가 최대가 되도록 트랜지스터 게이트 폭을 결정하고, matching network으로 인한 손실이 최소화하기 위해 EM simulation을 통하여 balun을 최적화하였다. 제작된 전력증폭기는 크기가 2.14 mm<sup>2</sup>이며, 860~960 MHz의 주파수 범위에서 49.5 dB 이상의 이득과 26.7 dBm의 최대출력을 가지며, 최대효율은 20.7 %이다.

#### Abstract

A power amplifier for subgigahertz short-range wireless communication using 0.18- $\mu\text{m}$  CMOS technology is presented. It is designed as a differential structure to form easily a virtual ground node, to increase output power, and to design a cascode structure to prevent breakdown. The transistor gate width was determined to maximize the output power and power-added efficiency(PAE), and the balun was optimized through electromagnetic simulation to minimize the loss caused by the matching network. This power amplifier had a gain of more than 49.5 dB, a saturation power of 26.7 dBm, a peak PAE of 20.7 % in the frequency range of 860 to 960 MHz, and a chip size of 2.14 mm<sup>2</sup>.

Key words: Power Amplifier, Sub-GHz, CMOS, Short Range Wireless Communication, Cascode

#### I. 서 론

무선통신을 이용하는 기술들이 발달함에 따라 다양한

무선통신 기술이 생활 속에 활용되고 있다. 특히 Sub-GHz 대역과 2.4 GHz 대역의 이동통신과 근거리 무선통신이 많이 활용되고 있으며, 대표적인 기술은 LTE, 무선 LAN,

「본 연구는 국방과학연구소 계약번호 UC170028FD에 의하여 지원된 과제로 수행되었습니다.」

충남대학교 전자공학과(Department of Electronic Engineering, Chungnam National University)

\*알에프피아(rfpia)

\*\*LIG넥스원(LIGNex1)

\*\*\*국방과학연구소(Agency for Defense Development(ADD))

· Manuscript received July 24, 2018 ; Revised August 17, 2018 ; Accepted October 13, 2018. (ID No. 20180724-076)

· Corresponding Author: Choul-Young Kim (e-mail: cykim@cnu.ac.kr)

블루투스 등이 있다<sup>[14]</sup>. 이러한 근거리 무선통신기술과 이동통신 기술을 활용하기 위해서는 각 무선통신 기술과 이동통신 기술들이 요구하는 표준을 만족해야 한다. 송신단에서 만족해야 하는 항목은 주파수 대역, 대역폭, 최대 송신 전력, Error Vector Magnitude(EVM), 최소 입력 감도 등이 있으며, 송신단에서 만족해야 하는 항목이 가장 많다.

송신단의 핵심이 되는 회로는 전력증폭기로 송신단에서 가장 마지막에 위치하는 회로이며, 송신된 신호가 원하지 않는 주파수 대역의 신호들이나 노이즈로 인하여 왜곡되는 것을 방지하고, 원거리로 신호를 보내기 위하여 큰 출력 신호를 내보내야 한다. 전력증폭기는 일반적인 증폭기와는 달리 트랜지스터의 비선형 특성에 의해 증폭기 출력이 왜곡될 수 있으므로, 큰 동적 범위에서 선형성이 유지될 수 있도록 해야한다. 또한 대신호 증폭을 위하여 소비전력이 크므로 전력변환 효율과 정격 전력, 전력소비에 의한 발열 문제 등이 전력증폭기 설계에 고려해야할 중요한 성능이다. Sub-GHz 대역의 주요 무선통신 기술은 LTE, Z-wave, 802.11ah 등이 있으며, 주된 요구 성능은 표 1과 같다.

본 논문에서는 이러한 Sub-GHz 대역의 다양한 표준을 만족하여 한 회로로 여러 종류의 무선통신 기술에 사용 가능한 two-stage differential 구조의 CMOS 전력증폭기를 설계하였다.

## II. Sub-GHz 전력증폭기 설계

전력증폭기의 주요 성능지표는 반사손실과 전력증폭기가 선형상태일 때의 이득을 나타내는 *S*-parameter, 전력증폭기가 최대로 출력할 수 있는 신호의 크기인 최대출력전력, 입력된 DC 전력을 사용하여 전력증폭기에서 생성된 RF 전력의 효율을 나타내는 PAE, 전력증폭기의 선형성을 나타내는 척도인  $P_{1dB}$ , IP3, Adjacent Channel Leakage Ratio(ACLR), EVM 등이 있다. 따라서 본 논문은 위의 성능 지표들이 Sub-GHz 대역의 여러 무선통신표준들을 만족할 수 있도록 높은 최대출력전력, 선형 출력 전력, 높은 PAE를 가장 우선순위로 두고 설계를 진행하였다.

CMOS 공정을 이용하여 제작하는 전력증폭기는 2가지 문제점이 있는데, 하나는 화합물 공정과 다르게 ground via가 없다는 점이고, 다른 하나는 낮은 breakdown voltage를 가진다는 점이다. 우선 ground via가 없기 때문에 회로

표 1. Sub-GHz 대역 무선통신 기술 표준

Table 1. Standards of Sub-GHz band wireless communication.

		LTE	Z-wave	802.11 ah
Frequency (MHz)	KR	905~960	920.9, 921.7, 923.1	917.5~923.5
	US	850	908.4	902~928
Bandwidth (MHz)		1.4~20	0.2	1~16
Maximum transmit power (dBm)		23	up to 0	10 (KR) 30 (US)
Modulation		QPSK, 16QAM, 64QAM	BFSK, GFSK	BPSK, QPSK, 16 QAM, 64 QAM, 256 QAM,
Approximate range (m)		-	30	1000
EVM (dB)		-21.94	-	< -19 dB (16QAM) < -27 dB (64QAM)
Data rate		100 Mbps	9.6~100 kbps	150 kbps ~ 78 Mbps

에서 AC ground 형성이 어렵게 된다. 따라서 single-ended 구조의 경우, ground 연결을 위하여 bonding wire나 metal line이 필요하며, 이러한 성분들은 source degeneration inductor로 보여 전력증폭기의 이득을 감소시킨다. 반면, 차동 구조의 증폭기는 집적회로 내에 가상접지노드가 용이하게 형성되어, bonding wire 및 원하지 않는 기생 성분으로부터 접지 노드의 질을 높일 수 있으며, 외부 잡음에 대한 내성이 강하다는 이점이 있다. 또한 차동 구조는 single-ended 구조보다 출력되는 전압의 진폭이 2배가 되기 때문에 출력 전력의 향상을 위한 구조로 적합하다. 다음으로 CMOS 소자는 낮은 break down voltage를 가지므로 높은 출력으로 인해 breakdown이 발생할 수 있다. 이를 방지하기 위해 common-source단과 common-gate단이 voltage stress를 나누어 갖는 cascode 구조로 설계를 진행하였으며, simulation 결과 common-source단의 드레인 전압은 2.9 V이며, common-gate단의 드레인 전압은 4.5 V로 voltage stress가 common-source단과 common-gate단으로 나뉘는 것을 확인하였다.

전력증폭기가 높은 출력 전력을 얻기 위해서는 트랜지스터의 게이트 단위 폭을 키우거나, 게이트의 가지(finger)의 수를 증가시키거나, 트랜지스터를 병렬로 여러 개 배치해야 하는데, 단위 폭을 키우면 게이트 저항 성분이 증가하고, 최대 전력 이득 주파수와 이득이 낮아진다. 또한, 게이트 가지 수를 증가시키거나 트랜지스터를 병렬로 여러 개 배치하면 레이아웃이 길어지고 복잡해져 기생성분이 증가하게 된다<sup>[3]</sup>. 본 논문의 전력증폭기의 경우, 주파수가 Sub-GHz 대역이므로 기생성분의 영향 또한 작을 것으로 판단하여 최종단의 common-source단과 common-gate단은 공정에서 제공하는 최대 단일 폭 8  $\mu\text{m}$ 에 64개의 가지를 갖는 트랜지스터를 병렬로 8개 배치하여 총 게이트 폭이 4.096 mm가 되도록 결정하였다.

트랜지스터의 게이트 폭을 결정하면, 게이트 전압과 트랜지스터에 연결되는 load impedance와 source impedance에 의하여 최대출력전력과 PAE가 결정된다. 따라서 최대출력전력과 PAE가 최대가 되도록 게이트 전압을 결정하였으며, 이때의 게이트 전압은 drive cell의 common-source단이 0.6 V, common-gate단이 2 V이고, power cell의 common-source 단이 1.2 V, common-gate단이 3.3 V이다.

Matching network는 최대출력전력을 위한 임피던스 변환을 위해 필요하며, 이때, matching network에서 발생하는 손실이 최대출력전력과 PAE를 결정하는 중요한 요소 중 하나이다. 본 논문에서 사용한 구조는 differential 구조이므로 matching network를 transformer와 shunt capacitor로 구성하였으며, skin depth보다 충분히 두꺼운 ground를 가지기 위해 metal 1에서 metal 4까지를 ground로 사용하였다. 또한 Metal 6를 제외한 나머지 metal layer들은 0.53  $\mu\text{m}$ 로 얇기 때문에 transformer에서 metal line이 교차하는 부분은 metal 2에서 metal 5까지 묶어서 metal 6의 두께인 4.6  $\mu\text{m}$ 와 비슷한 4.67  $\mu\text{m}$ 가 되도록 하여 transformer로 인한 손실을 줄였다. 또한 output balun의 경우 큰 power가 통과하므로, metal들의 current density를 고려하여 width를 결정하였다. EM simulation 결과, input transformer는 0.72의 coupling factor와 1.5 dB의 loss를 가지며, interstage transformer는 0.81의 coupling factor와 1.4 dB의 loss를 가지며, output transformer는 0.71의 coupling factor와 1.4 dB의 loss를 가진다. 또한 RC feedback loop를 추가하여 발진

을 방지하였다. 설계한 Sub-GHz CMOS 전력증폭기 회로도는 그림 1에 나타내었으며, 그림 2는 전력증폭기에 사

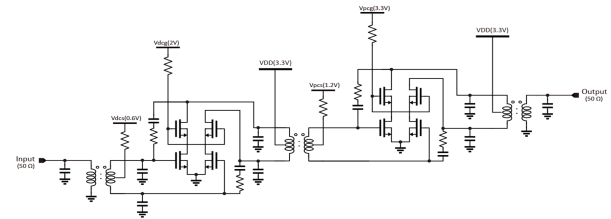
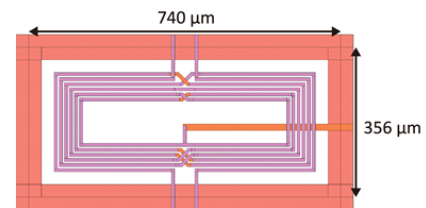
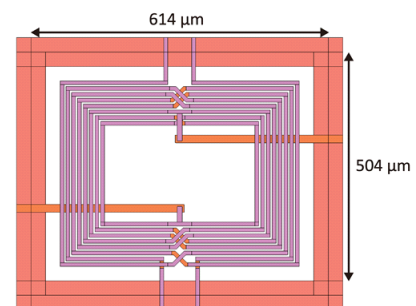


그림 1. Sub-GHz CMOS 전력증폭기 회로도

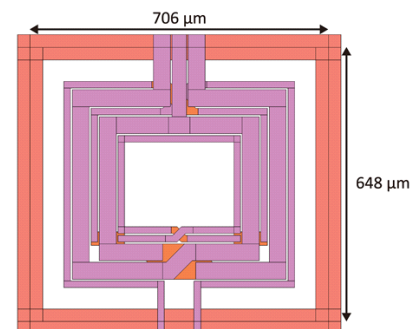
Fig. 1. Schematic of the Sub-GHz CMOS power amplifier.



(a) Input transformer



(b) Interstage transformer



(c) Output transformer

그림 2. 설계된 transformer의 EM 구조 및 크기

Fig. 2. EM structure and size of designed transformers.

용된 transformer들의 EM structure이다.

EM 시뮬레이션을 통해 공정에서 제공하는 트랜지스터, 커패시터, 저항을 제외한 모든 metal line과 transformer를 검증하였으며, 공정에서 제공하는 소자들과 함께 시뮬레이션을 해본 결과, 본 논문의 전력증폭기는 입력 파워가 0 dBm일 때 860~960 MHz 대역에 대해 입력반사손실은 13.4 dB 이상, 출력반사손실은 9.4 dB 이상이며, 이득은 49.4 dB 이상, 최대출력전력이 27.7 dBm, OP1 dB가 22.4 dBm 이상, PAE는 26.1 % 이상이다. 이러한 시뮬레이션 결과들은 그림 3~그림 5에 나타내었다.

### III. Sub-GHz 전력증폭기 특성 시험

제작된 Sub-GHz CMOS 전력증폭기의 칩 사진은 그림 6에

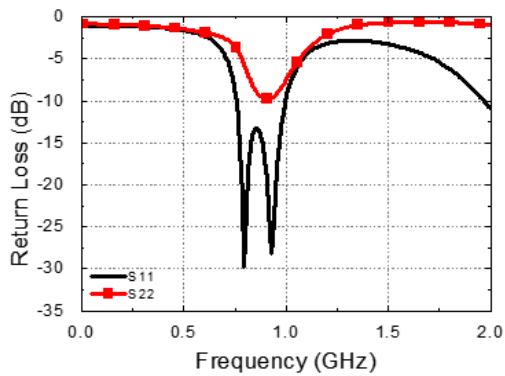


그림 3. 반사 손실의 시뮬레이션 결과  
Fig. 3. Simulation results of the return loss.

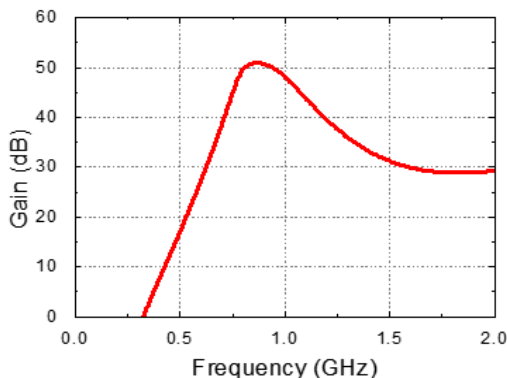


그림 4. 이득의 시뮬레이션 결과  
Fig. 4. Simulation results of the gain.

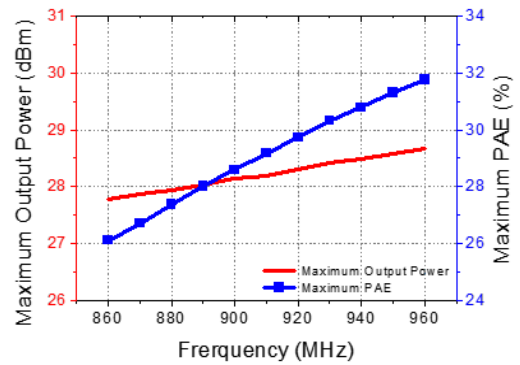


그림 5. 최대출력전력과 PAE의 시뮬레이션 결과  
Fig. 5. Simulation results of the saturation power and the PAE.

나타내었으며, 크기는  $2.14 \text{ mm}^2$ 이다. 그림 7은 측정을 위하여 Chip On Board (CoB)가 완료된 전력증폭기의 사진

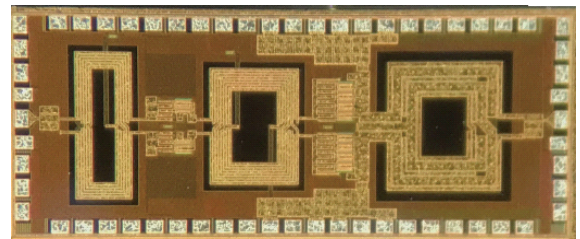


그림 6. 제작된 Sub-GHz CMOS 전력증폭기 칩 사진  
Fig. 6. Microphotograph of the Sub-GHz CMOS power amplifier.

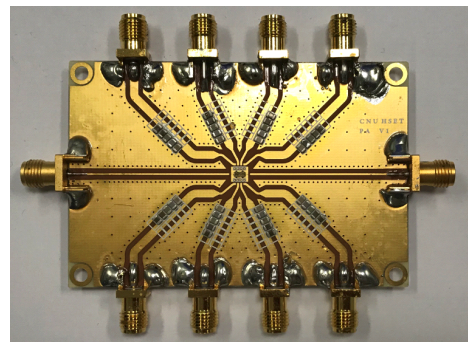


그림 7. 제작이 완료된 Sub-GHz CMOS 전력증폭기 측정용 보드  
Fig. 7. Measurement board of the Sub-GHz CMOS power amplifier.

이다. CoB board의 크기는  $35\text{ cm}^2$ 이며, input, output transmission line의 길이는  $3.5\text{ cm}$ 이며, 이로 인한 손실은 input, output이 각각  $0.3\text{ dB}$ 이다.

On-wafer 측정결과,  $860\sim 960\text{ MHz}$  대역에 대해 input return loss는  $11.8\text{ dB}$  이상, output return loss는  $4.9\text{ dB}$  이상이며, 이득은  $49.5\text{ dB}$  이상, 최대출력전력이  $27.6\text{ dBm}$ , PAE는  $27.0\%$ 이며, CoB 이후의 측정 결과는 최대출력전력이  $26.7\text{ dBm}$ , OP1dB가  $24.1\text{ dBm}$ , PAE는  $20.7\%$ 이다. EVM 측정의 경우, CoB를 한 상태에서 LTE FDD의 modulation 신호를 입력으로 인가하였으며, 측정결과 linear power는  $15.5\text{ dBm}$ 이다. 위의 측정결과는 모두 그림 8~그림 12에 나타내었다.

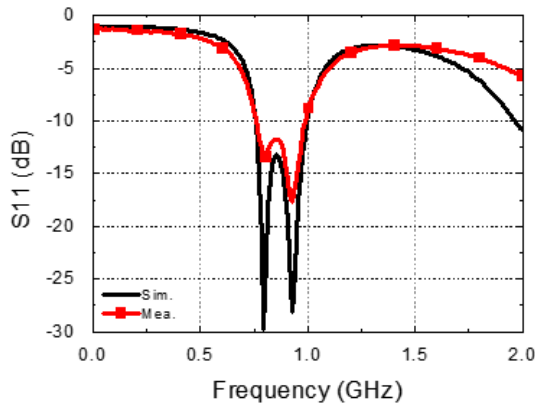


그림 8. 입력 반사 손실의 측정 결과  
Fig. 8. Measurement results of the input return loss.

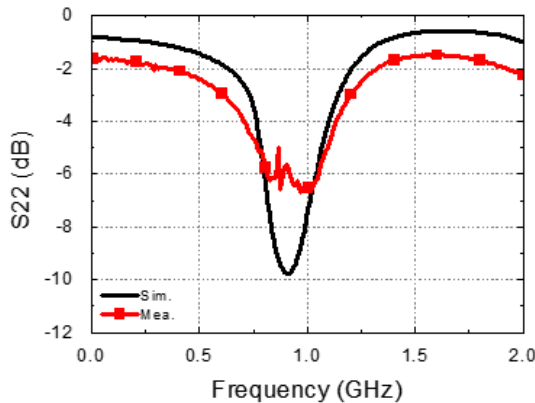


그림 9. 출력 반사 손실의 측정 결과  
Fig. 9. Measurement results of the output return loss.

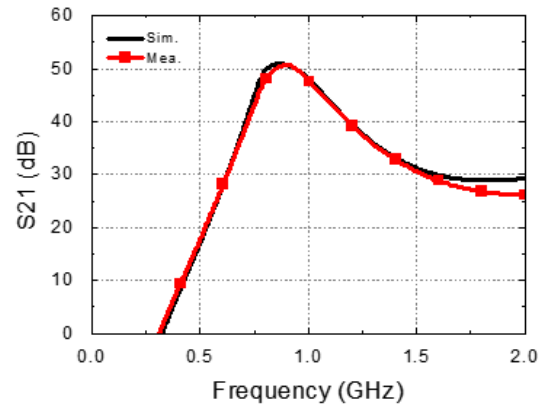


그림 10. 이득의 측정 결과  
Fig. 10. Measurement results of the gain.

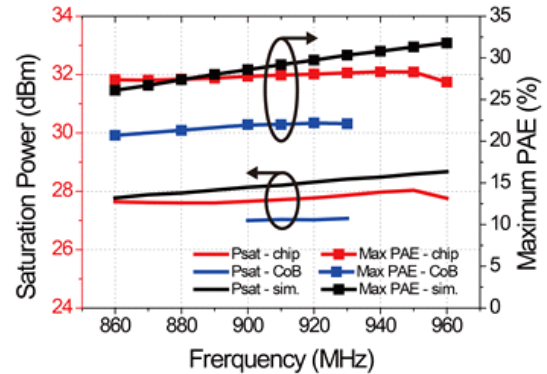


그림 11. 최대출력전력과 PAE의 시뮬레이션 결과  
Fig. 11. Measurement results of the saturation power and the PAE.

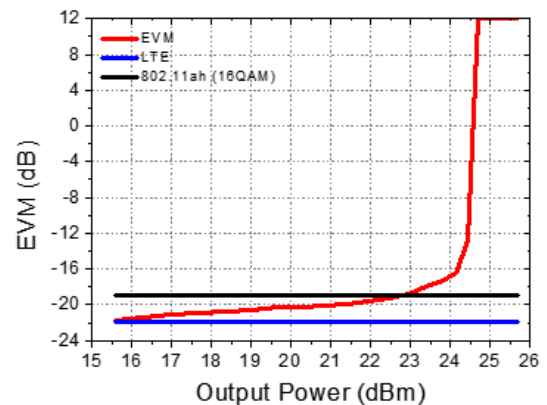


그림 12. EVM의 측정 결과  
Fig. 12. Measurement results of the EVM.

On-wafer 측정의 경우, 시뮬레이션과 비교하여 거의 같은 결과를 보였으며, CoB 이후의 측정은 최대출력전력이 0.9 dB, PAE가 6.3 % 감소하였는데, 이는 CoB를 위한 wire bonding으로 인하여 임피던스 점들이 변화했기 때문에 최대출력전력이 감소한 것이 원인으로 예상된다.

#### IV. 결 론

본 논문에서는 Sub-GHz 대역의 다양한 표준들을 만족하는 CMOS 전력증폭기를 1P6M CMOS 0.18  $\mu\text{m}$  공정을 통하여 설계하였다. 설계된 전력증폭기는 가상 접지노드를 용이하게 형성시키며, 출력전력을 키우기 위하여 차동 구조를 채택하였으며, breakdown을 방지하기 위하여 cascode 구조로 설계되었다. 또한 출력전력과 PAE가 최대가 되도록 트랜지스터의 게이트 폭을 결정하고, matching network로 인한 손실이 최소화 되도록 EM simulation을 통하여

최적화하였다. 표 2는 본 논문의 전력 증폭기와 기존 연구 간의 성능을 비교한 표이다.

#### References

- [1] W. Sun, M. Choi, and S. Choi, "IEEE 802.11ah: A long range 802.11 WLAN at Sub 1 GHz," *Journal of ICT Standardization*, vol. 1, no. 1, pp. 83-108, Jul. 2013.
- [2] B. Kim, D. Lee, S. Hong, and M. Park, "A multi-band CMOS power amplifier using reconfigurable adaptive power cell technique," *IEEE Microwave and Wireless Components Letters*, vol. 26, no. 8, pp. 616-618, Aug. 2016.
- [3] D. Chowdhury, P. Reynaert, and A. M. Niknejad, "Design considerations for 60 GHz transformer-coupled CMOS power amplifiers," *IEEE Journal of Solid-State Circuits*, vol. 44, no. 10, pp. 2733-2744, Oct. 2009.
- [4] B. Francois, P. Reynaert, "A fully integrated watt-level linear 900 MHz CMOS RF power amplifier for LTE applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, no. 6, pp. 1878-1885, Jun. 2012.
- [5] J. Javidan, M. Atarodi, and H. C. Luong, "High power amplifier based on a transformer type power combiner in CMOS technology," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 57, no. 11, pp. 838-842, Nov. 2010.
- [6] J. Han, Y. Kim, C. Park, D. Lee, and S. Hong, "A fully integrated 900 MHz CMOS power amplifier for mobile RFID reader applications," in *IEEE Radio Frequency Integrated Circuits(RFIC) Symposium*, San Francisco, CA, Jun. 2006.

표 2. 전력증폭기 성능 비교

Table 2. Comparison of power amplifier.

	Ref. [4] TMTT 2012	Ref. [5] TCAS II 2010	Ref. [6] RFIC 2016	This Work
Technology	90 nm	0.18 $\mu\text{m}$	0.25 $\mu\text{m}$	0.18 $\mu\text{m}$
Supply (V)	2	3.3	2.5	3.3
Frequency (GHz)	930	900	920	860~960
Psat (dBm)	29.4	29.5	N/A	27.6(Chip) 26.7(CoB)
OP1 dB (dBm)	27.7	29	27	24.14
Gain (dB)	28	N/A	14.5	49.5
Peak PAE (%)	25.8	24	28	27.0(Chip) 20.7(CoB)
Size (mm <sup>2</sup> )	3.33	3.58	4.84	2.14



임 정택 [충남대학교/박사과정]



2016년 2월: 충남대학교 전자공학과 (공학사)  
 2018년 2월: 충남대학교 전자공학과 (공학석사)  
 2018년 3월~현재: 충남대학교 전자공학과 박사과정  
 [주 관심분야] mm-Wave 회로 설계, 능동 위상 배열 시스템 등

최 선규 [알에프피아/수석연구원]



2002년 2월: 한국과학기술원 전자공학과 (공학사)  
 2004년 2월: 한국과학기술원 전자공학과 (공학석사)  
 2009년 8월: 한국과학기술원 전자공학과 (공학박사)  
 2010년 8월: 한국과학기술원 전자공학과 (Post-Doctorate)  
 2014년 9월: 삼성전자 책임연구원  
 2017년 3월~현재: 알에프피아 수석연구원  
 [주 관심분야] CMOS 및 화합물 전력증폭기, MMIC, 시스템 등

최 한웅 [충남대학교/석사과정]



2017년 2월: 충남대학교 전자공학과 (공학사)  
 2017년 3월~현재: 충남대학교 전자공학과 석사과정  
 [주 관심분야] mm-Wave, Phased-Array System 등

송 재혁 [충남대학교/석사과정]



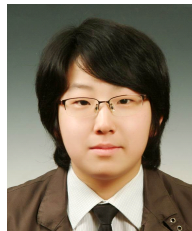
2018년 2월: 충남대학교 전자공학과 (공학사)  
 2018년 2월~현재: 충남대학교 전자공학과 석사과정  
 [주 관심분야] mm-Wave 회로 설계, 능동 위상 배열 시스템 등

이 은규 [알에프피아/연구원]



2004년 2월: 충남대학교 전자공학과 (공학사)  
 2006년 2월: 포항공과대학교 전자공학과 (공학석사)  
 2009년 2월: 삼성전자 연구원  
 2017년 2월: 충남대학교 전자공학과 (공학박사)  
 2018년 3월~현재: 알에프피아 연구원  
 [주 관심분야] 근거리 레이더 및 위상배열 응용을 위한 MMIC 및 시스템 등

김 상효 [충남대학교/석사과정]



2018년 2월: 충남대학교 전자공학과 (공학사)  
 2018년 2월~현재: 충남대학교 전자공학과 석사과정  
 [주 관심분야] mm-Wave 회로 설계, 능동 위상 배열 시스템 등

이 동 주 [LIG넥스원/선임연구원]



2005년 8월: 충남대학교 전자공학과 (공학사)  
2008년 2월: 광주과학기술원 전기전자컴퓨터공학부 (공학석사)  
2016년 8월: 광주과학기술원 전기전자컴퓨터공학부 (공학박사)  
2016년 9월~현재: LIG넥스원 선임연구원

[주 관심분야] mm-Wave MMIC 및 시스템, 능동 위상 배열 시스템 등

서 미 희 [국방과학연구소/선임연구원]



2006년 2월: 고려대학교 물리학과 (이학사)  
2013년 2월: 한국과학기술원 물리학과 (이학박사)  
2013년 3월~현재: 국방과학연구소 선임연구원

[주 관심분야] 초고주파 탐색기 송수신기

김 완 식 [LIG넥스원/수석연구원]



1991년 2월: 건국대학교 전자공학과 (공학사)  
1993년 2월: 건국대학교 전자공학과 (공학석사)  
2004년 2월: 건국대학교 정보통신공학과 (공학박사)  
2001년 12월~2005년 7월: 고등기술연구원 책임연구원

2005년 8월~현재: LIG넥스원(주) 수석연구원  
[주 관심분야] 초고주파 회로설계, 밀리미터파시스템, MMIC, 레이다 관련 센서시스템

정 방 철 [충남대학교/교수]



2002년 2월: 아주대학교 전자공학부 (공학사)  
2004년 8월: 한국과학기술원 전자공학과 (공학석사)  
2008년 2월: 한국과학기술원 전자공학과 (공학박사)  
2008년 1월~2010년 2월: 한국과학기술원 IT 융합연구소 선임연구원/연구교수

2010년 3월~2015년 8월: 경상대학교 정보통신공학과 교수  
2010년 3월~현재: 충남대학교 전자공학과 교수  
[주 관심분야] 무선통신 시스템, 레이다 신호처리 등

김 소 수 [국방과학연구소/책임연구원]



1993년 2월: 경북대학교 전자공학과 (공학사)  
1996년 2월: 경북대학교 전자공학과 (공학석사)  
2014년 2월: 충남대학교 전자공학과 (공학박사)  
1996년 1월~현재: 국방과학연구소 책임연구원

[주 관심분야] 초고주파탐색기 시스템

김 철 영 [충남대학교/교수]



2002년 2월: 충남대학교 전자공학과 (공학사)  
2004년 2월: 한국과학기술원 전자공학과 (공학석사)  
2008년 2월: 한국과학기술원 전자공학과 (공학박사)  
2011년 2월: University of California, San Diego(UCSD) 전기 및 컴퓨터공학과 (Post- Doctorate)

2011년 3월~현재: 충남대학교 전자공학과 교수  
[주 관심분야] 근거리 레이다 및 위상배열 응용을 위한 MMIC 및 시스템 등