

0.18- μ m CMOS 공정을 이용한 6~18 GHz 8-비트 실시간 지연 회로 설계

Design of a 6~18 GHz 8-Bit True Time Delay Using 0.18- μ m CMOS

이상훈 · 나윤식 · 이성호* · 이성철* · 서문교

Sanghoon Lee · Yunsik Na · Sungho Lee* · Sung Chul Lee* · Munkyo Seo

요 약

본 논문에서는 6~18 GHz 대역 8-비트 true time delay(TTD) 회로의 설계 및 측정결과에 대하여 기술하였다. 단위 지연 회로는 상대적으로 시간 지연 변화율이 일정한 m -유도 필터(m -derived filter)를 이용하였다. 설계한 8-비트 TTD는 2개의 single-pole double-throw(SPDT)와 7 개의 double-pole double-throw(DPDT) 스위치로 구현하였으며, 인덕터를 이용하여 반사 특성을 개선하였다. 설계된 8-비트 TTD는 0.18 μ m CMOS 공정을 이용하여 제작하였다. 측정된 TTD 회로의 시간 가변 범위는 250 ps이고, 시간 지연 해상도는 약 1 ps이다. 6~18 GHz의 동작 주파수에서 RMS 시간 지연 오차는 11 ps 미만이며, 입출력 반사 손실은 10 dB 이상이다. 공급 전압은 1.8 V이며, 소비 전력은 0.0 mW이다. 칩 면적은 2.36 \times 1.04 mm²이다.

Abstract

This paper presents a 6~18 GHz 8-bit true time delay (TTD) circuit. The unit delay circuit is based on m -derived filter with relatively constant group delay. The designed 8-bit TTD is implemented with two single-pole double-throw (SPDT) switches and seven double-pole double-throw (DPDT) switches. The reflection characteristics are improved by using inductors. The designed 8-bit TTD was fabricated using 0.18 μ m CMOS. The measured delay control range was 250 ps with 1 ps of delay resolution. The measured RMS group delay error was less than 11 ps at 6~18 GHz. The measured input/output return losses are better than 10 dB. The chip consumes zero power at 1.8 V supply. The chip size is 2.36 \times 1.04 mm².

Key words: CMOS, True Time Delay, Single-Pole Double-Throw, Double-Pole Double-Throw, m -Derived Filter

I. 서 론

실시간 지연 회로(True Time Delay: TTD)는 광대역 송수신기/위상배열 시스템의 빔 형성에 필수적이다. 위상배열 안테나의 정밀한 빔 제어를 위해서는 일정한 시간지연 변화와 높은 해상도를 필요로 한다. 본 논문에서는

m -유도 필터(m -derived filter)를 이용하여, 상대적으로 일정한 시간 지연 특성과 1 ps의 높은 해상도를 가지는 8-비트 TTD를 구현하였다. 설계된 8-비트 TTD 회로는 0.18 μ m CMOS 공정을 이용하여 제작하였다. II 장에서는 6~18 GHz 대역 8-비트 TTD 회로의 설계에 대하여 서술하고, III 장에서는 측정결과를 정리하였다.

「본 논문은 산업통상자원부 산업기술혁신사업의 지원을 받아 수행된 연구임(과제번호: 10062315).」

성균관대학교 전자전기컴퓨터공학과 (Department of Electronic and Computer Engineering, Sungkyunkwan University)

*전자부품연구원(Korea Electronics Technology Institute) 시스템반도체 연구본부

· Manuscript received September, 22, 2017 ; Revised October, 10, 2017 ; Accepted October, 31, 2017. (ID No. 20170922-101)

· Corresponding Author: Munkyo Seo (e-mail: mkseo@skku.edu)

II. 실시간 지연 회로 설계

그림 1은 일반적인 TTD 회로에서 사용 가능한 단위 시간 지연 회로인 상수- k (constant- k)와 m -유도 필터의 구조를 나타내었다. m -유도 필터는 두 개의 직렬 인덕터가 상호 인덕턴스를 가지고 있는 형태이며, 차단 주파수는 $f_c = \frac{1}{\pi \sqrt{LC(1+K)}}$ 이다. ($K = \frac{M}{L}$, M : mutual inductance) m -유도 필터의 결합계수인 K 값은 음수이므로 차단 주파수는 상수- k 필터에 비해 상대적으로 높고, 이로 인해 보다 넓은 주파수 대역폭을 가진다^[1]. 그림 2는 상수- k 와 m -유도 필터의 주파수에 따른 시간 지연 변화를 비교하였다. m -유도 필터의 시간 지연 특성이 상수- k 와 비교하여 상대적으로 일정함을 알 수 있다. 본 논문의 TTD 회로에서는 상수- k 구조보다 상대적으로 일정한 시간 지연 변화를 갖는 m -유도 필터 구조를 이용하여 설계하였다. 그림 3은 본 논문에서 설계한 8-비트 TTD 회로의 구성도이며, 각

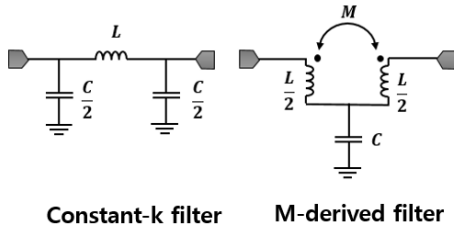


그림 1. 상수- k , m -유도 필터 구조

Fig. 1. Constant- k and m -derived filter structures.

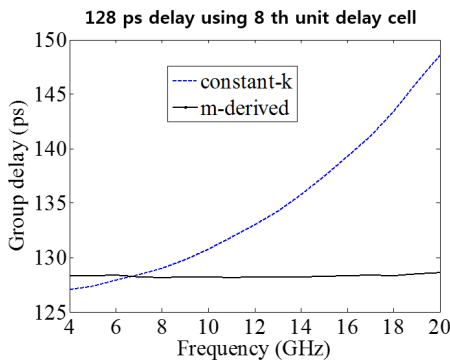


그림 2. 상수- k 와 m -유도 필터 구조의 시간 지연 특성

Fig. 2. Group delay characteristics of constant- k and m -derived filters.

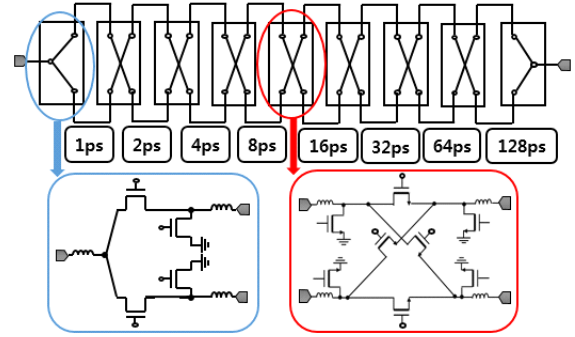


그림 3. 본 논문의 8-비트 TTD 회로 구성도

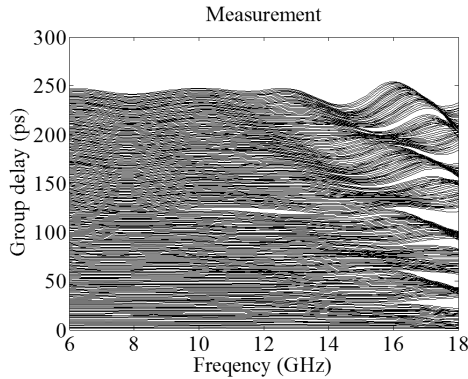
Fig. 3. 8-bit TTD structure in this work.

각의 단위 지연 회로는 0-bit(1 ps), 1-bit(2 ps), 2-bit(4 ps), 3-bit(8 ps), 4-bit(16 ps), 5-bit(32 ps), 6-bit(64 ps), 7-bit(128 ps)로 설계하였다. 8-비트 TTD는 전체 255 ps의 시간 지연 가변 범위를 가지며, 높은 시간 지연 해상도를 위해 단위 시간 지연을 1 ps로 설계하였다. 각각의 단위 시간 지연 회로들을 작동하기 위해서는 신호 경로에 많은 수의 직렬 스위칭 트랜지스터들이 사용되며, 이로 인해 높은 삽입 손실을 가진다. 설계된 TTD는 단일입력 이중출력(Single-Pole Double-Throw: SPDT), 이중입력 이중출력(Double-Pole Double-Throw: DPDT) 스위치를 이용하여 기존보다 직렬 스위칭 트랜지스터들의 사용을 줄여 삽입 손실을 개선하였다. 또한 각각의 스위치에 직렬 인덕터를 추가하여 반사 특성을 개선하였고, 병렬 FET을 이용하여 isolation 특성을 개선하였다. DPDT 스위치의 경우, 별도의 FET을 교차 연결하여 두 개의 직렬 SPDT 스위치와 비교하여 삽입 손실을 개선하였다^[2].

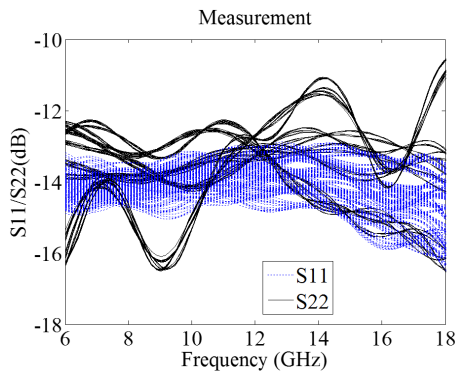
2개의 SPDT 스위치와 7개의 DPDT 스위치를 사용하여 각각의 단위 지연회로들을 연결하였으며, 스위치의 제어를 통해 전송 경로를 조절함으로써 시간 지연을 가변할 수 있는 구조이다. 설계된 8-비트 TTD의 참조 상태 삽입 손실은 약 15~27 dB이며, RMS 시간 지연 오차는 약 12 ps 이내이다.

III. 측정 결과

그림 4와 그림 5는 0.18 μm CMOS 공정을 이용하여 제작된 8-비트 TTD의 측정 결과를 나타내었다. 그림 4(a)



(a) 시간 지연
(a) Group delay

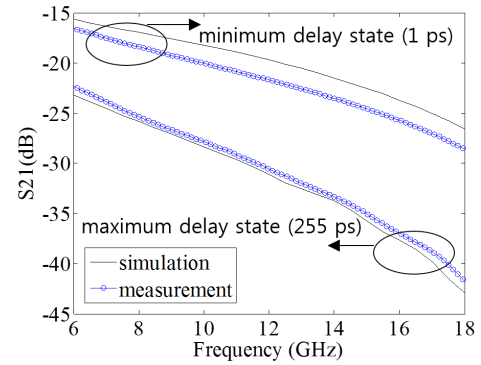


(b) 입출력 반사 손실 (S_{11}/S_{22})
(b) Input/output return losses (S_{11}/S_{22})

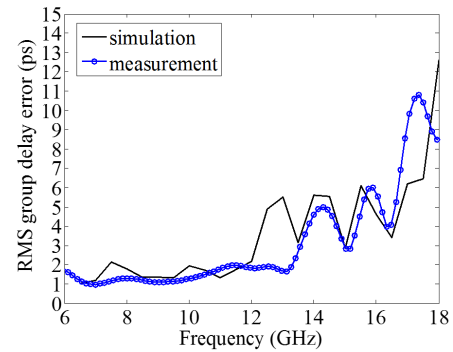
그림 4. 측정결과
Fig. 4. Measured results.

는 상태별 시간 지연(최소 시간 지연을 기준으로 한 상대 시간 지연), 그림 4(b)는 입출력 반사 손실을 나타내었다. 측정된 지연 시간 범위는 약 250 ps이며, 시뮬레이션 결과와의 차이는 약 10 ps이다. 입출력 반사 손실은 사용 주파수 범위에서 약 10 dB 이상이다. 그림 5(a)에 참조 상태와 최대 지연 상태의 측정된 삽입 손실을 나타내었으며, 시뮬레이션과의 차이는 약 1~3 dB 이하이다. 시간 지연(group delay)에 대한 정의는 식 (1)에 나타내었고, 식 (2)는 RMS 시간 지연 오차이며, $\Delta\tau$ 는 이상적인 시간 지연과 측정된 시간 지연의 차이이다. 그림 5 (b)는 RMS 시간 지연

$$\tau = -\frac{d\phi}{d\omega} \text{ [s]} \quad (1)$$



(a) 최소 지연 상태, 최대 지연 상태의 삽입 손실
(a) Minimum delay state and maximum delay state of insertion loss



(b) RMS 시간 지연 오차
(b) RMS group delay error

그림 5. 측정 결과
Fig. 5. Measured results.

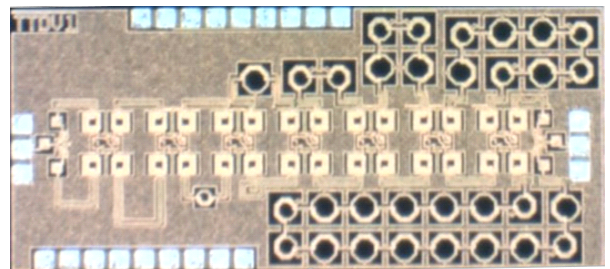


그림 6. 8-비트 TTD 칩 사진(칩 크기: 2.36×1.04 mm²)
Fig. 6. 8-bit TTD chip photograph(chip size: 2.36×1.04 mm²).

$$\Delta\tau_{RMS} = \sqrt{\frac{1}{N-1} \times \sum_{i=2}^N |\Delta\tau_i|^2} \text{ [s]} \quad (2)$$

오차를 나타내었으며, 6~13 GHz 대역에서 RMS 시간 지연

표 1. 기존 TTD 연구 결과와의 비교

Table. 1. Comparison of recently published TTD.

	Ref. [3]	Ref. [4]	Ref. [5]	Ref. [6]	This work
Process	130 nm CMOS	130 nm CMOS	GaAs M EMS	180 nm CMOS	180 nm CMOS
Frequency (GHz)	1~15	1~20	DC-40	5~20	6~18
Maximun delay(ps)	225	400	93	106	250
Resolution (ps)	15	5	6	3.3	1
DC power (mW)	78	2.6~6	0	0	0
RMS group delay error (ps)	N/A	8	N/A	1	11
Chip size (mm ²)	1.50	4	30	0.88	2.45

오차가 2 ps 이내 13 GHz 이상에선 삽입 손실과 간섭의 영향으로 RMS 시간 지연 오차가 11 ps으로 증가하였다. 그림 6은 제작된 8-비트 TTD의 칩 사진을 나타내었고, 칩 면적은 2.36×1.04 mm²이다. 최근에 발표된 TTD 연구결과를 표 1에서 비교하였다. 본 논문의 TTD는 약 1 ps의 상대적으로 높은 시간 지연 해상도를 가지고 있으므로 정밀한 위상 제어에 유리하다.

IV. 결 론

본 논문에서는 0.18 μ m CMOS 공정을 이용한 6~18 GHz 대역 8-비트 TTD 회로의 설계 및 측정 결과를 기술하였다. 시간 지연 범위는 약 250 ps, RMS 시간 지연 오차는 11 ps 이하로 측정되었다. 입출력 반사 손실은 10 dB 이상이며, 최소 삽입 손실은 약 17 dB이다. 상대적으로

일정한 시간 지연 특성을 위하여 m -유도 필터 구조를 이용하였고, 1 ps의 시간 지연 해상도를 가짐으로써 정밀한 시간 지연을 요구하는 위상배열/송수신기 시스템에 유리하다.

References

- [1] M. Hebb, C. W. Horton, and F. B. Joneset, "On the design of networks for constant time delay", *Journal of Applied Physics*, vol. 20, no. 6, pp. 616-620, Jun. 1949.
- [2] S. Sim, L. Jeon, and J.-G. Kim, "A compact X-band bi-directional phased-array T/R chipset in 0.13 μ m CMOS technology", *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 1, pp. 562-569, Jan. 2013.
- [3] T.-S. Chu, J. Roderick, and H. Hashemi, "An integrated ultra- wideband timed array receiver in 0.13 μ m CMOS using a path-sharing true time delay architecture", *IEEE Journal of Solid-State Circuits*, vol. 42, no. 12, pp. 2834-2850, Dec. 2007.
- [4] F. Hu, K. Mouthaan, "A 1~20 GHz 400 ps true-time delay with small delay error in 0.13 μ m CMOS for broadband phased array antennas", in *Microwave Symposium (IMS), 2015 IEEE MTT-S International*, Phoenix, USA, pp. 1-3, Jul. 2015.
- [5] M. Kim, J. B. Hacker, R. E. Mihailovich, and J. F. De Natale, "A DC-to-40 GHz four-bit RF MEMS true-time delay network", *IEEE Microwave and Wireless Components Letters*, vol. 11, no. 2, pp. 56-58, Feb. 2001.
- [6] J. Y. Choi, M.-K. Cho, D. Baek, and J. Kim, "A 5-20 GHz 5-bit true time delay circuit in 0.18 μ m CMOS technology", *Journal of Semiconductor Technology and Science*, vol. 13, no. 3, pp. 193-197, Jun. 2013.