

GPS용 RF Front-End 수신단을 위한 L 대역 저잡음 증폭기 개발

Development of an L-Band Low-Noise Amplifier for GPS RF Front-End Receiver

이병찬¹ · 손정택² · 임정택³ · 이재은⁴ · 송재혁⁵ · 김준형⁶ · 백민석⁷ · 박종성⁸ · 이은규⁹ · 김철영¹⁰

Byeong-Chan Lee¹ · Jeong-Taek Son² · Jeong-Taek Lim³ · Jae-Eun Lee⁴ · Jae-Hyeok Song⁵ ·
Joon-Hyung Kim⁶ · Min-Seok Baek⁷ · Jong-Seong Park⁸ · Eun-Gyu Lee⁹ · Choul-Young Kim¹⁰

요 약

GPS의 프론트-엔드 수신단에서는 잡음 지수가 매우 중요하며 잡음 지수가 낮고 크기가 작은 저잡음 증폭기를 요구한다. 본 논문에서는 0.18 μm CMOS 공정을 이용한 L 대역 저잡음 증폭기의 설계에 관한 내용이다. 저잡음 특성을 위해 입력단 직렬 인덕터를 제거하고 트랜지스터의 유효폭(effective width)을 늘려 임피던스 정합을 이루어 냈으며 작은 칩 크기를 위해 높은 인덕턴스를 요구하는 인덕터들을 적층 구조로 제작하였다. 제작된 저잡음 증폭기는 1.4 GHz부터 2.1 GHz에 이르는 대역에서 2.5 dB 이하의 잡음 지수, 10.57 dB 이상의 반사손실, 17.3 dB의 최고 이득, 1.05 mm×0.78 mm의 크기를 달성하였다.

Abstract

In the front-end receiver of a GPS, the noise figure is extremely important and requires a low-noise amplifier with a low noise figure and small size. This study aims to investigate the design of an L-band low-noise amplifier using the 0.18- μm CMOS process. For low-noise characteristics, the input series inductor was removed, the effective width of the transistor was increased to achieve impedance matching, and the inductors requiring high inductance had laminated structures with small chip sizes. The low-noise amplifier achieved a noise figure of less than 2.5 dB, a return loss of more than 10.57 dB, a peak gain of 17.3 dB, and a size of 1.05 mm×0.78 mm in frequency from 1.4~2.1 GHz.

Key words: LNA (low noise amplifier), GPS, CMOS

I. 서 론

GPS(global positioning system) 시스템은 높은 자동화, 고정밀, 전천후 실시간 위치 내비게이션, 항공, 운송, 지

구 측정, 지상 모션 모니터링 및 군사와 같은 분야에서 널리 사용된다. GPS 프론트 엔드 모듈의 주요 사양은 잡음으로, 약한 GPS 신호를 더 잘 수신하는 LNA(low noise amplifier)를 개발하여 설계공간을 줄이고 비용을 낮추며

「이 성과는 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. NRF-2021R1A4A1032580).」

충남대학교 전자공학과(Department of Electronic Engineering, Chungnam National University)

1: 학부과정(<https://orcid.org/0009-0001-9103-5836>), 2: 석·박사통합과정(<https://orcid.org/0000-0003-4794-5813>),

3: 박사과정(<https://orcid.org/0000-0002-2698-6942>), 4: 석·박사통합과정(<https://orcid.org/0000-0001-6616-6503>),

5: 박사과정(<https://orcid.org/0000-0003-3736-2753>), 6: 석사과정(<https://orcid.org/0000-0002-6873-9034>)

7: 석사과정(<https://orcid.org/0000-0002-3651-4498>), 8: 학부과정(<https://orcid.org/0009-0007-5828-499X>),

9: 박사후연구원(<https://orcid.org/0000-0002-7533-4975>), 10: 교수(<https://orcid.org/0000-0002-5532-7399>)

· Manuscript received January 3, 2024 ; Revised January 14, 2024 ; Accepted January 29, 2024. (ID No. 20240103-001)

· Corresponding Author: Choul-Young Kim (e-mail: cykim@cnu.ac.kr)

수신성능을 향상시킬 필요성이 있다.

CMOS(complementary metal oxide semiconductor) 공정으로 제작한 LNA는 생산 비용이 저렴하고 디지털 호환성과 집적도가 높아 고감도 GPS 수신기가 요구하는 성능(낮은 잡음 지수, 높은 이득, 낮은 전력 소모)을 만족하면 높은 시장경쟁력을 가질 수 있다.

II. 저잡음 증폭기 설계

저잡음 증폭기의 가장 중요한 성능 지표인 잡음 지수는 충분한 이득을 얻기 전, 발생한 손실이 그대로 잡음으로 합산되는 입력단에 가장 민감하다. 따라서 거대한 입력부 직렬 인덕터를 사용하는 것은 인덕터 내부의 저항 성분으로 인한 손실 때문에 회로의 잡음 지수를 크게 악화시킬 수 있다. 그렇기에, 낮은 잡음 지수를 위해서 거대한 직렬 인덕터를 이용하는 방식이 아닌, 다른 방식으로 정합 네트워크를 구성할 필요가 있다.

그림 1은 기존 공통 소스 증폭기의 정합 네트워크와 제안된 정합 네트워크에 관한 그림이다. L_{ESD} 는 정전기 방전 현상(electro-static discharge)을 방지하기 위한 인덕터이고 C_{DB} 는 직류 바이어스가 온전히 트랜지스터에 걸릴 수 있도록 하는 직류 블록(DC block)이다. L_s 는 회로의 안정

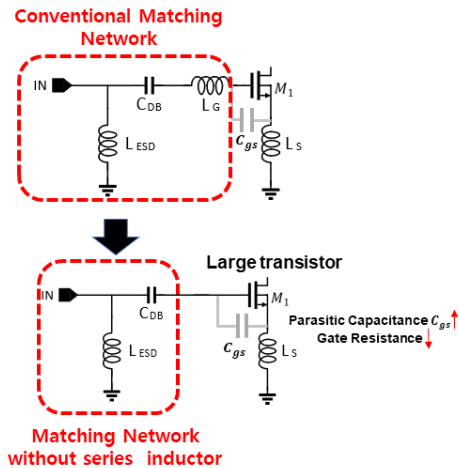


그림 1. 기존 저잡음 증폭기의 입력 정합 네트워크와 제안된 입력 정합 네트워크

Fig. 1. Conventional input matching network of LNA and proposed input matching network of LNA.

성과 잡음 정합을 위한 인덕터이다. L_G 는 기존의 정합 네트워크에서 트랜지스터의 기생 커패시턴스 성분, C_{gs} 으로 발생한 임피던스의 허수부를 상쇄하여 50 옴 정합을 도와주고 이득을 증대시켜주는 역할을 하였다. 하지만 트랜지스터의 유효폭을 넓히면 L_G 가 상쇄시켜야 할 허수부의 크기가 줄어들고, 끝내는 인덕터를 사용할 필요가 없어진다^[1]. 그림 2는 트랜지스터의 유효폭과 L_{ESD} 를 조절하여 어떻게 입력 임피던스를 50 옴에 정합시키는지 표현한 그림이다.

본 저잡음 증폭기는 넓은 주파수 대역과 높은 전압이득을 위하여 2단 공통 소스 증폭기로 설계되었다. 그림 3

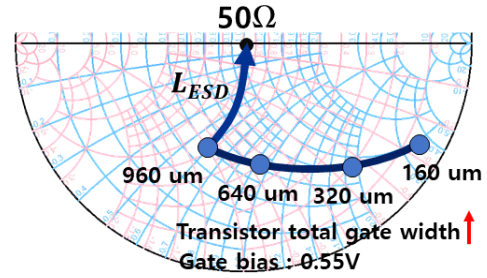


그림 2. 트랜지스터의 유효폭과 L_{ESD} 를 조절하여 입력 임피던스를 50옴에 정합시키는 제적

Fig. 2. The trajectory of input impedance matching process adjusting effective width of transistor and L_{ESD} .

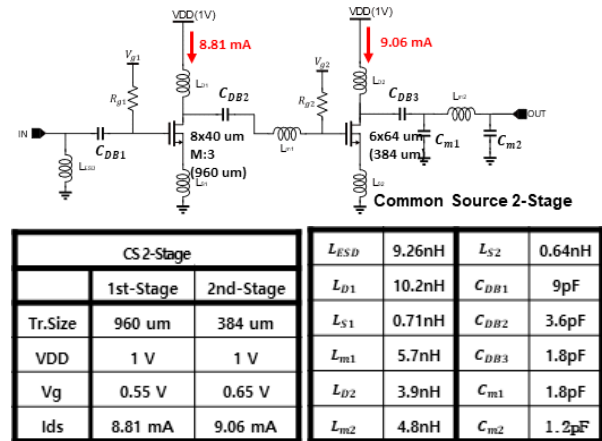


그림 3. 저잡음 증폭기의 회로도 및 소비 전류, 바이어스 전압, 소자값

Fig. 3. The schematic of LNA, current consumption, bias voltage, figures of components.

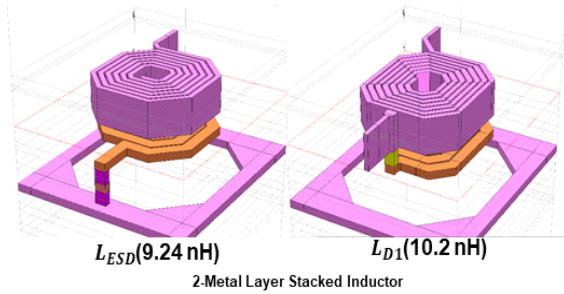


그림 4. L_{ESD} 와 L_{DI} 의 적층 구조
Fig. 4. Laminated structure of L_{ESD} and L_{DI} .

은 본 저잡음 증폭기의 회로도와 트랜지스터의 크기, 소모 전류와 기타 소자값, 전압 등을 표시한 그림이다. 이 회로는 총 17.87 mA의 전류를 사용하며, 트랜지스터의 유효폭이 클수록 전류 소모가 크다는 단점을 상쇄하기 위해 게이트 바이어스 V_g 와 드레인 바이어스 V_{DD} 를 적절하게 낮추었다.

L_{ESD} 와 L_{DI} 는 각각 9.24 nH, 10.2 nH의 매우 큰 인덕턴스를 갖는데, 이는 칩의 크기를 매우 크게 만들 수 있다. 따라서 적층 구조 인덕터를 이용하여 소자의 크기를 크게 줄여 칩의 크기를 제한하였다. 그림 4는 설계한 적층 구조 인덕터들을 보여준다.

III. 설계 결과

그림 5 및 그림 6은 설계한 저잡음 증폭기의 산란행렬과 잡음 지수 그래프이다. 1.4 GHz에서 2.1 GHz에 이르는

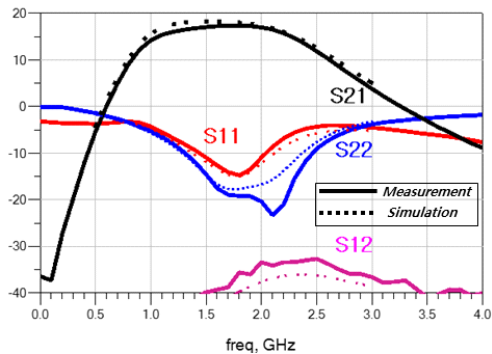


그림 5. 산란행렬 시뮬레이션 및 측정결과
Fig. 5. Simulation and measurement results of S-parameter.

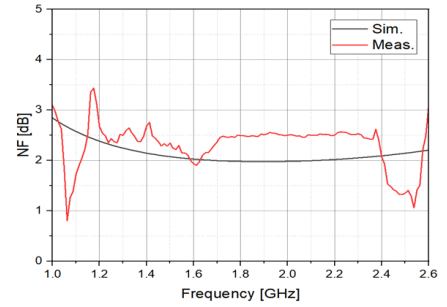


그림 6. 잡음지수 시뮬레이션 및 측정 결과
Fig. 6. Simulation and measurement results of noise figure.

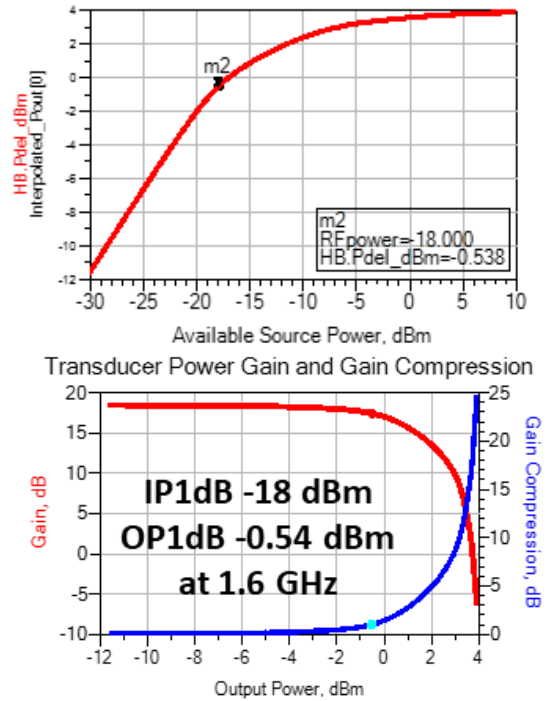


그림 7. 선형성 시뮬레이션 결과
Fig. 7. Simulation results of linearity.

대역에서 잡음 지수는 1.89~2.52 dB, 반사손실은 10.57 dB 이상, 최고 이득은 17.38 dB를 달성하였다. 그림 7은 회로의 선형성을 나타낸 그래프이다. 이 회로는 1.6 GHz에서 -18 dBm의 IP1 dB를 갖고 -0.54 dBm의 OP1 dB를 갖는다. 그림 8은 해당 회로의 레이아웃이다. 해당 회로는 $1,050 \mu\text{m} \times 780 \mu\text{m}$ 의 크기를 갖는다. 표 1은 기존 연구와 설계한 저잡음 증폭기의 성능을 비교한 표이다.

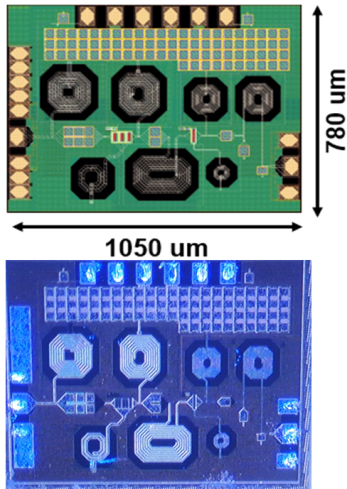


그림 8. 회로의 레이아웃과 마이크로포토프로그래프
Fig. 8. Layout and microphotograph of circuit.

IV. 결 론

본 논문에서는 $0.18 \mu\text{m}$ CMOS 공정을 이용하여 GPS 수신단용 저잡음 증폭기를 설계하였다. 입력부 직렬 인덕터를 사용하지 않고 큰 유효폭 트랜지스터를 이용하여 입력부, 잡음 정합을 이뤄내어 낮은 잡음 지수를 갖게 되었고, 적층 구조 인덕터를 이용하여 작은 칩 크기를 구현할 수 있었다.

표 1. 저잡음 증폭기 성능 비교표

Table 1. Performance comparison with other LNA.

Ref.	This work	[2]	[3]	[4]
Noise figure [dB]	1.89~2.52	2.1 (min)	2.5~2.8	3
ESD	YES	No	No	No
S_{11} [dB]	<-10.57	-	<10	-12
S_{22} [dB]	<-12.5	-	<10	-12.6
Perak gain [dB]	17.3	19	30.5	17.6
Topology	CS 2-stage	CS 2-stage	CS 2-stage	Cascode 1-stage
Freq. [GHz]	1.4-2.1	2.1~2.4	1.57/2.1/2.4/2.4/3.5	1.5
Chip area [mm×mm]	1.05×0.78	-	2.5×1.5	-
Power dissipation [mW]	17.8	13.5	54.5	0.96
OP1dB [dBm]	-0.49 (simul.)	-	-	-
VDD (V)	1	1.8	1.2	0.45
Process	$0.18 \mu\text{m}$ CMOS	$0.18 \mu\text{m}$ CMOS	$0.18 \mu\text{m}$ CMOS	$0.18 \mu\text{m}$ CMOS

References

- [1] H. W. Choi, S. Choi, and C. Y. Kim, "Ultralow-noise figure and high gain Ku-band bulk CMOS low-noise amplifier with large-size transistor," *IEEE Microwave and Wireless Components Letters*, vol. 31, no. 1, pp. 60-63, Jan. 2021.
- [2] Y. S. Hwang, C. J. Kim, J. H. Kim, and H. J. Yoo, "A controllable variable gain LNA for 2 GHz band," in *IEEE APMC 2005 Proceedings*, Suzhou, Dec. 2005, vol. 5, pp. 4-7.
- [3] A. M. Gamal, H. N. Ahmed, and M. A. El-Kfay, "A quad-band 0.9/1.8/2.45/3.5 GHz, multi-standard, concurrent LNA using a dual-band impedance transformer," in *2015 Asia-Pacific Microwave Conference (APMC)*, Nanjing, Dec. 2015, pp. 1-3.
- [4] E. Kargar, G. Nabovati, K. Mafinezhad, and H. Nabovati, "An ultra low voltage ultra low power folded cascode CMOS LNA using forward body bias technology for GPS application," in *2011 19th Iranian Conference on Electrical Engineering*, Tehran, May 2011, pp. 1-4.