

65-nm CMOS 공정을 이용한 MOM 캐패시터 설계 및 분석

Design of Metal-Oxide-Metal Capacitors in a 65-nm CMOS Process

박 광 원¹ · 전 상 근^{*2}Kwangwon Park¹ · Sanggeun Jeon^{*2}

요 약

본 논문에서는 밀리미터파 대역에서 65-nm CMOS 공정으로 다양한 구조의 Metal-Oxide-Metal(MOM) 캐패시터를 설계한 후, 측정 및 모델링을 통해 캐패시턴스 밀도를 서로 비교하였다. 일반적으로 가장 많이 사용되는 HPP(Horizontal Parallel Plate, 수평 평행판), VPP(Vertical Parallel Plate, 수직 평행판), PW(Parallel Wire, 엇갈린 구조의 수직 평행판)의 세 가지 구조를 상호 비교하였다. HPP 구조는 수직 필드만을 활용하기 때문에 적층되는 메탈레이어(metal layer) 개수가 4, 6, 8개로 증가할수록 캐패시턴스 밀도가 각각 $0.2 \text{ fF}/\mu\text{m}^2$, $0.64 \text{ fF}/\mu\text{m}^2$, $0.76 \text{ fF}/\mu\text{m}^2$ 로 증가하였다. 수평 필드만을 이용하는 VPP 구조는 상대적으로 작은 $0.27 \text{ fF}/\mu\text{m}^2$ 를 나타내었고, 수평 필드와 수직 필드를 동시에 이용하는 PW 구조는 $0.88 \text{ fF}/\mu\text{m}^2$ 의 캐패시턴스 밀도를 보였다. 본 연구에서 사용된 CMOS 공정에서는 다수의 메탈레이어를 적층한 HPP와 PW 구조의 MOM 캐패시터가 캐패시턴스 밀도 측면에서 가장 유리하며, 밀리미터파 대역에서 Metal-Insulator-Metal (MIM) 캐패시터를 효과적으로 대체할 수 있음이 밝혀졌다.

Abstract

Three types of metal - oxide - metal capacitors fabricated in a 65-nm CMOS process are compared. The HPP structure utilizing only the vertical electric field exhibits a higher capacitance density of 0.2, 0.64, and $0.76 \text{ fF}/\mu\text{m}^2$ as the number of stacked metal layers increase to four, six, and eight, respectively. The VPP structure, which utilizes only the horizontal electric field, exhibits a relatively small capacitance density of $0.27 \text{ fF}/\mu\text{m}^2$. In contrast, the PW structure using the vertical and horizontal electric fields exhibits the highest capacitance density of $0.88 \text{ fF}/\mu\text{m}^2$. In the given CMOS process, it is observed that the HPP structure with many metal layers and the PW structure are advantageous at millimeter-wave frequencies, offering a suitable replacement for metal - insulator - metal capacitors.

Key words: MOM Capacitors, Horizontal Parallel Plate, Vertical Parallel Plate, Parallel Wire.

I. 서 론

온칩 캐패시터는 밀리미터파 대역 집적회로 설계에서 임피던스 매칭, RF 바이패스, DC-블록, 또는 바이어스 회

로에 쓰이는 필수적인 소자이다. 이러한 용도의 캐패시터는 대개 집적 회로에서 상대적으로 큰 면적을 차지하기 때문에 캐패시턴스 밀도를 높이기 위한 연구가 필수적이다.

CMOS 공정에서는 MOS 캐패시터, Metal-Insulator-Metal

「본 연구는 방위사업청과 국방과학연구소가 지원하는 미래전투체계 네트워크기술 특화연구센터 사업의 일환으로 수행되었습니다(UD160070BD).」
고려대학교 전기전자공학부(School of Electrical Engineering, Korea University)

1: 석사과정(<https://orcid.org/0000-0002-5682-9403>), 2: 교수(<https://orcid.org/0000-0001-7453-2331>)

· Manuscript received July 22, 2019 ; Revised August 28, 2019 ; Accepted October 23, 2019. (ID No. 20190722-070)

· Corresponding Author: Sanggeun Jeon (e-mail: sgjeon@korea.ac.kr)

(MIM) 캐패시터, 그리고 Metal-Oxide-Metal(MOM) 캐패시터 등 다양한 구조로 온칩 캐패시터가 구현된다. MOS 캐패시터는 얇은 gate-oxide 구조를 가지고 있어 높은 캐패시턴스 밀도를 갖는다. 하지만 온도 변화 및 공정 변화에 민감하고, 전압에 대한 비선형성을 가지고 있다는 단점이 있다. MIM 캐패시터는 상대적으로 높은 선형성을 갖지만, 추가적인 공정 mask와 공정 단계가 필요하여 상대적으로 비용 면에서 불리하다. 또한, 밀리미터파 대역으로 주파수가 증가할수록 낮은 품질계수(Q-factor)와 높은 손실을 보이고^[1], 높은 dielectric relaxation^[2]을 갖는다는 단점이 있다.

반면, MOM 캐패시터는 높은 선형성과 품질계수를 가지고 있지만, 대개 메탈레이어(metal layer)간 SiO₂의 두께가 캐패시턴스 값을 결정하므로 상대적으로 작은 캐패시턴스 밀도를 갖는다는 단점이 있다. 그래서 캐패시턴스 밀도를 높이기 위한 다양한 구조들이 발표되었다^{[3],[4]}. 기존의 HPP(Horizontal Parallel Plate, 수평 평행판) 구조 외에 quasi-fractal 캐패시터^[3], PW(Parallel Wire, 엇갈린 구조의 수직 평행판) 캐패시터^{[3],[4]}, VPP(Vertical Parallel Plate, 수직 평행판) 캐패시터^[4] 그리고 VB(Vertical Bars)^[4]가 제안되었다.

한편, 이렇게 다양한 MOM 캐패시터 구조의 캐패시턴스 밀도를 서로 비교 분석하는 연구 결과도 일부 보고되었다^{[3],[4]}. 대부분은 VPP, VB 및 PW 구조가 HPP 구조보다 더 높은 캐패시턴스 밀도를 갖는 것으로 결론이 도출되었다. 하지만 캐패시턴스 밀도는 동일한 MOM 구조라도 해당 공정에서 제공되는 메탈레이어의 개수, 메탈레이어의 최소 수평 간격(S_{min}), 그리고 SiO₂의 두께(t_{ox}) 등에 의해 달라지게 된다. 따라서, 어떤 MOM 구조가 캐패시터 밀도 측면에서 가장 최적인지는 해당 공정마다 정확한 모델링과 분석을 통해 찾아야 한다.

본 논문에서는 65-nm CMOS 공정을 이용하여 HPP, VPP 그리고 PW 구조 등 다양한 MOM 캐패시터를 설계하여 상호 비교 분석하였다. 공정에서 제공되는 메탈레이어 및 SiO₂의 구조와 디멘전을 고려하여 캐패시턴스 밀도를 최대화하였다. 설계된 MOM 캐패시터는 제작 후 측정과 등가회로 모델링을 통하여 캐패시턴스 밀도를 추출하였으며, 이를 통해 밀도 측면에서 가장 유리한 MOM 구조를 제시하였다.

II. MOM 캐패시터 설계

그림 1에는 본 연구에서 사용한 65-nm CMOS 공정의 BEOL(Back end of line) 정보를 보여준다. M1부터 LB까지 총 9개의 메탈레이어가 있으며, 각 레이어(layer) 두께(t_{metal}), 레이어의 최소 수평 간격(S_{min}), 그리고 SiO₂의 두께(t_{ox})가 표시되어 있다.

전형적인 MOM 구조 중에서 수직 필드만을 활용하는 HPP 구조는 그림 2(a)에 나와 있다^[4]. HPP 캐패시턴스 밀도는 주로 공정의 t_{ox} 와 메탈레이어의 개수로 결정된다. 회로 설계 단계에서는 t_{ox} 를 조절할 수 없으므로 레이어 개수가 설계 파라미터로 사용되며, 레이어 개수가 증가할수록 캐패시턴스 밀도도 같이 증가한다. 본 연구에서는 레이어 개수에 따른 밀도 변화를 비교하기 위하여 총 3가지 종류의 HPP 캐패시터를 설계하였다. HPP-1 구조는 LB, EA 레이어를 비아(via)로 연결하고, OL, B2 레이어를 비아로 연결하여 총 4개의 메탈레이어를 활용하였다. HPP-2 구조는 LB, EA, B1 레이어를 비아로 연결하고, OL, B2, M4 레이어를 비아로 연결하여 총 6개의 메탈레이어를 활용하였다. 마지막으로 HPP-3 구조는 LB, EA, B1, M3 레이어와 OL, B2, M4, M2 레이어를 각각 비아로 연결하여 총 8개의 메탈레이어를 활용하였다.

수직 필드를 제외하고 수평 필드만 사용하는 VPP 구조는 그림 2(b)에서 볼 수 있다^[4]. VPP 캐패시터는 많은 수의 비아를 이용하여 메탈레이어들을 수직으로 연결함으로써 수평 필드에 의한 캐패시턴스를 이용한다. VPP 구

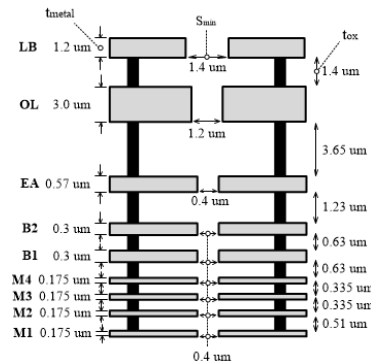


그림 1. 65-nm CMOS 공정의 BEOL 정보

Fig. 1. BEOL structure of the 65-nm CMOS technology.

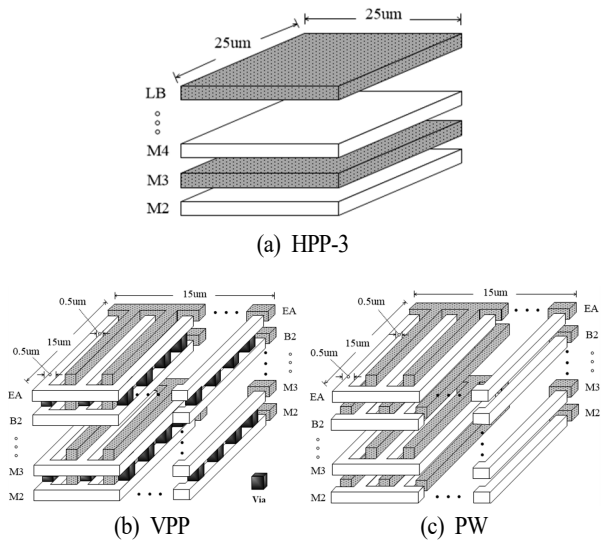


그림 2. 설계된 MOM 캐패시터 구조
Fig. 2. Designed MOM capacitor structures.

조에서 최대의 캐패시턴스 밀도를 확보하기 위해서는 S_{\min} 이 작은 메탈레이어를 사용해야 한다. 그림 1에 나타나 있듯이 OL과 LB는 두꺼운 레이어로서 S_{\min} 이 $1.2 \mu\text{m}$ 이상이므로 VPP 구조로는 적절하지 않다. 따라서 L_{\min} 이 $0.4 \mu\text{m}$ 인 EA 레이어를 최상층 메탈로 사용하고, 그 아래 B2, B1, M4, M3, M2 레이어를 모두 비아로 연결함으로써 총 6개의 메탈레이어가 적층된 각지긴 구조(interdigitated structure)로 설계하였다. 각 finger의 폭과 간격은 각각 $0.5 \mu\text{m}$ 이며, 전체 크기는 $15 \mu\text{m} \times 15 \mu\text{m}$ 이다.

그림 2(c)는 수평 및 수직 필드를 동시에 활용한 PW 구조를 보여준다^{[3],[4]}. 수평 및 수직 필드를 동시에 활용하기 위해 동일 모양의 각지긴 구조를 엇갈린 형태로 적층하였다. PW 구조도 VPP 구조와 동일하게 EA 레이어를 최상층 메탈로 B2, B1, M4, M3, M2 레이어를 비아로 연결하여 총 6개의 메탈레이어를 이용하여 설계되었다. 또한, 각 finger의 폭과 간격은 각각 $0.5 \mu\text{m}$ 이고, 전체 크기도 $15 \mu\text{m} \times 15 \mu\text{m}$ 로서 VPP 구조와 동일하다.

III. 제작 및 측정

설계된 MOM 캐패시터는 삼성 65-nm CMOS 공정으로 제작되었다. 그림 3은 제작된 MOM 캐패시터의 사진을

나타낸다. 캐패시터의 S -파라미터는 온칩 프로빙 환경에서 HP E8364B DC-to-50 GHz 회로망 분석기(Network analyzer)로 측정되었다. 온칩 open-short 패턴을 이용하여 프로빙 패드 및 feed line을 de-embedding함으로써^[5] 측정 기준면을 캐패시터 양단으로 이동시켰다. 측정된 S -파라미터를 그림 4에 나타난 등가회로 모델에 피팅함으로써 각 소자 파라미터를 추출하였으며, 이를 통해 캐패시터 밀도, 자기 공진 주파수 (SRF), 품질계수를 추출하였다. 그림 5는 0~50 GHz 대역에서 HPP-1, VPP 그리고 PW 구조에 대한 등가회로 모델링의 결과를 각각 보여준다. 측정 값, 모델링 값, 그리고 EM-시뮬레이션 값이 서로 잘

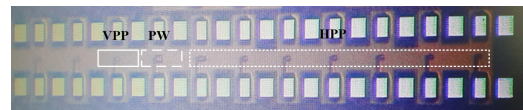


그림 3. 제작된 MOM 캐패시터 사진
Fig. 3. Photo of the fabricated MOM capacitors.

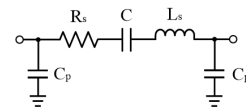


그림 4. 캐패시터 등가 모델
Fig. 4. Equivalent circuit model of MOM capacitor.

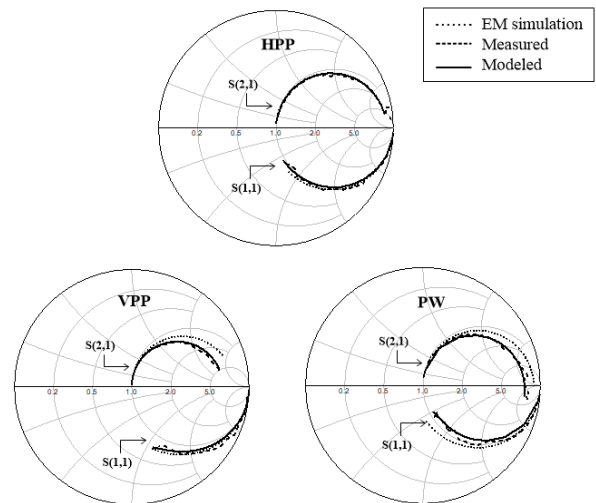


그림 5. MOM 캐피터 등가회로의 모델링 결과
Fig. 5. Modeling results of MOM capacitors.

표 1. 제작된 MOM 캐패시터의 성능비교

Table 1. Performance comparison of the fabricated MOM capacitors.

Structure	Used Layer	Area [μm^2]	Capacitance [fF]	Capacitance density [fF/ μm^2]	Q-factor (@10 GHz)	SRF [GHz]
HPP-1	LB-B2	196	39	0.2	6.9	>120
HPP-2	LB-M4	196	127	0.64	2.4	69
HPP-3	LB-M2	625	480	0.76	0.6	17
VPP	EA-M2	225	62	0.27	5.1	71
PW	EA-M2	225	200	0.88	1.3	37.5

일치함을 보여준다.

제작된 MOM 캐패시터들의 성능은 표 1에 정리되어 있다. HPP 구조의 경우, HPP-1에서 HPP-3으로 갈수록, 즉 더 많은 수의 메탈레이어를 사용할수록 큰 캐패시턴스 밀도를 갖는 것이 확인되었다. HPP-3 구조는 최대 $0.76 \text{ fF}/\mu\text{m}^2$ 의 캐패시턴스 밀도를 나타내었다. 한편, VPP 구조는 기존의 연구 결과^[4]와는 달리 상대적으로 낮은 $0.27 \text{ fF}/\mu\text{m}^2$ 의 캐패시터 밀도를 나타내었다. 이는 본 연구에 사용된 공정의 대부분 메탈레이어에서 t_{ox} 가 S_{min} 보다 작기 때문이다. 마지막으로, 수평 필드와 수직 필드를 동시에 활용한 PW 구조에서는 $0.88 \text{ fF}/\mu\text{m}^2$ 의 가장 높은 캐패시턴스 밀도를 나타내었다. 본 공정에서 제공하는 MIM 캐패시터의 밀도가 $1.2 \text{ fF}/\mu\text{m}^2$ 인 점을 고려했을 때, HPP-3나 PW 구조의 MOM 캐패시터가 약간의 밀도 저하를 감수하는 대신 밀리미터파 대역에서 저비용, 저손실 소자로 사용될 수 있음을 알 수 있다.

한편, 표 1에서 품질계수(@ 10 GHz)와 자기 공진 주파수 측면에서 보면, HPP-3가 상대적으로 많이 불리해 보인다. 하지만 이는 본 연구에서 제작된 HPP-3의 캐패시턴스 ($C=480 \text{ fF}$)가 다른 구조에 비해 상대적으로 큰 것에 기인한다. 품질계수와 자기 공진 주파수는 각각 C 와 \sqrt{C} 에 반비례하므로, 동일하게 작은 캐패시턴스로 제작되었다면 그만큼 더 향상된 성능을 나타낼 것으로 보인다.

IV. 결 론

본 논문에서는 앞서 보고된 다양한 구조의 MOM 캐패시터를 설계 제작하였고, 이를 65-nm CMOS 공정에 적용하여 캐패시턴스 밀도를 상호 비교 분석하였다. 기존의

연구 결과와는 달리 수평 필드만 이용하는 VPP 구조보다는 수직 필드만 이용하는 HPP 구조에서 더 높은 캐패시턴스 밀도를 얻었다. 또한, 수직 및 수평 필드를 모두 이용하는 PW 구조도 우수한 밀도 특성을 보였다. 본 연구에서 제시된 MOM 캐패시터는 밀리미터파 대역 집적회로 설계시 고비용, 고손실의 MIM 캐패시터를 대체하여 사용될 수 있다.

References

- [1] B. Suh, H. Lee, S. Kim, and S. Jeon, "A D-band multiplier-based OOK transceiver with supplementary transistor modeling in 65-nm bulk CMOS technology," *IEEE Access*, vol. 7, pp. 7783-7793, 2019.
- [2] I. S. Han, H. M. Kwon, S. K. Kwon, W. I. Choi, S. Lim, and J. S. Kim, "A study of dielectric relaxation and capacitance matching of $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3$ MIM capacitors," *IEEE Electron Device Letter*, vol. 34, no. 10, pp. 1223-1225, 2013.
- [3] H. Samavati, A. Hajimiri, A. R. Shahani, G. N. Nasserbakht, and T. H. Lee, "Fractal capacitors," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 12, pp. 2035-2041, Sep. 1998.
- [4] R. Aparicio, A. Hajimiri, "Capacity limits and matching properties of integrated capacitors," *Journal of Solid-State Circuits*, vol. 37, no. 3, pp. 384-393, Mar. 2002.
- [5] M. C. A. M. Koolen, J. A. M. Geelen, and M. P. J. G. Versleijen, "An improved de-embedding technique for on-wafer high-frequency characterization," in *Proceedings of the 1991 Bipolar Circuits and Technology Meeting*, 1991, pp. 188-191.